



## PRÁCTICA 9 "TECLADO MATRICIAL"

### Código VHDL

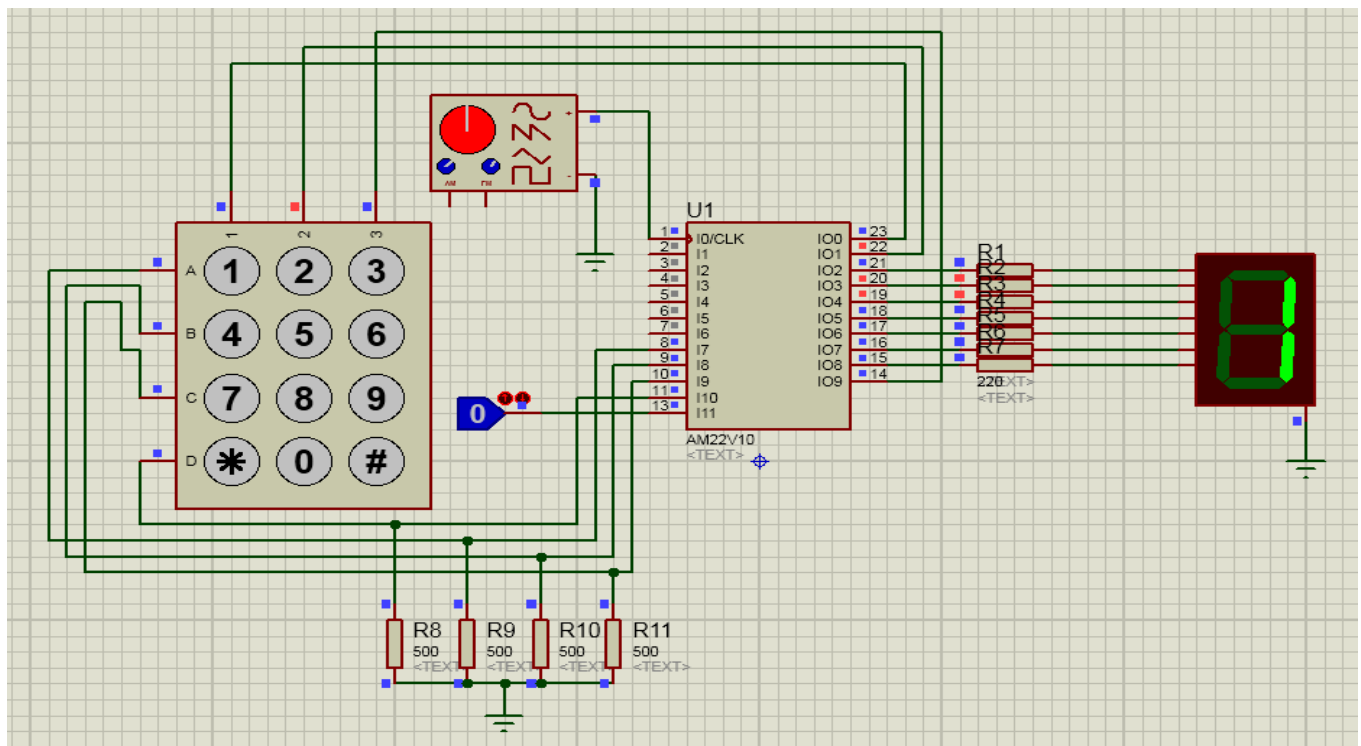
```
1  --Santos Mèndez Ulises Jesus
2  --2CV8
3  --Pràctica 9 "Teclado"
4  library ieee;
5  use ieee.std_logic_1164.all;
6
7  entity teclado is
8  port (clk,clr: in std_logic;
9        fil: in std_logic_vector(3 downto 0);
10       col: inout std_logic_vector(2 downto 0);
11       display: out std_logic_vector(6 downto 0));
12
13       attribute pin_numbers of teclado: entity is
14       "clr:13 display(6):21 display(5):20 "
15 &    "display(4):19 display(3):18 display(2):17 "
16 &    "display(1):16 display(0):15 fil(3):8 "
17 &    "fil(2):9 fil(1):10 fil(0):11 "
18 &    "col(2):23 col(1):22 col(0):14 ";
19 end teclado;
20
21 architecture arqteclado of teclado is
22 signal tecla: std_logic_vector(6 downto 0);
23 signal l: std_logic;
24 begin
```

```
25 --CONTADOR DE ANILLO
26     process(clk,clr)
27     begin
28         if(clr='1') then
29             col <= "100";
30         elsif(rising_edge(clk)) then
31             col <= to_stdlogicvector(to_bitvector(col)
32                 rol 1);
33         end if;
34     end process;
35 --CONVERTIDOR DE CODIGO
36     process(col,fil,tecla)
37     begin
38         case col&fil is
39             when "0100001" => tecla <= "1111110";--0
40             when "1001000" => tecla <= "0110000";--1
41             when "0101000" => tecla <= "1101101";--2
42             when "0011000" => tecla <= "1111001";--3
43             when "1000100" => tecla <= "0110011";--4
44             when "0100100" => tecla <= "1011011";--5
45             when "0010100" => tecla <= "1011111";--6
46             when "1000010" => tecla <= "1110001";--7
47             when "0100010" => tecla <= "1111111";--8
48             when "0010010" => tecla <= "1110011";--9
```

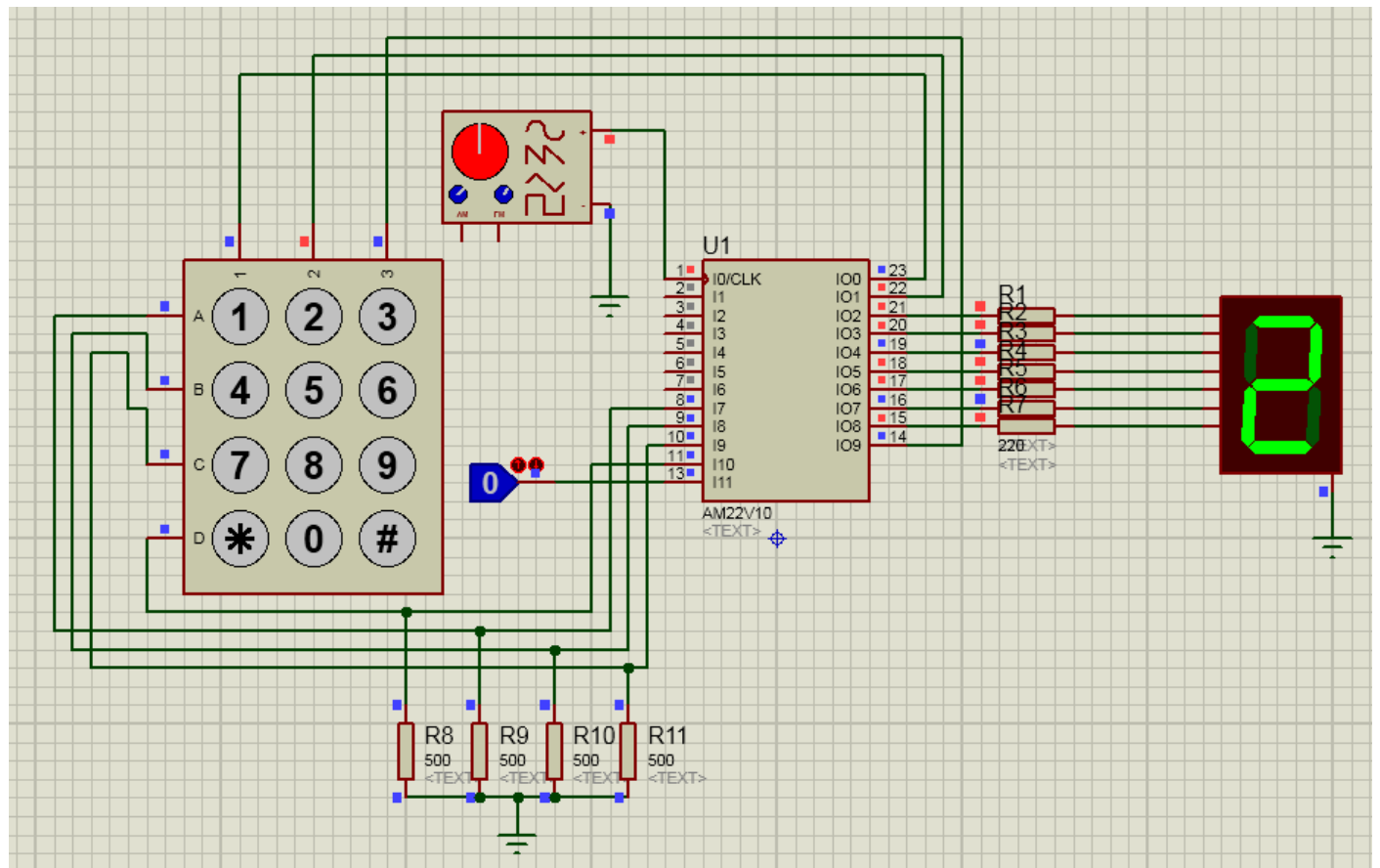
```
49         when "1000001" => tecla <= "1110111";--A
50         when "0010001" => tecla <= "1111011";--g
51         when others => tecla <= "-----";
52     end case;
53 end process;
54 --COMPUERTA
55 process(fil)
56 begin
57     case fil is
58         when "0000" =>
59             l <= '0';
60         when others =>
61             l <= '1';
62     end case;
63 end process;
64 --REGISTRO
65 process(clk,clr)
66 begin
67     if(clr = '1') then
68         display <= (others => '0');
69     elsif(rising_edge(clk)) then
70         if(l = '1') then
71             display <= tecla;
72         else
73             display <= display;
74         end if;
75     end if;
76 end process;
77 end arqteclado;
```

## Simulación en Proteus2 y en Active HDL-Sim

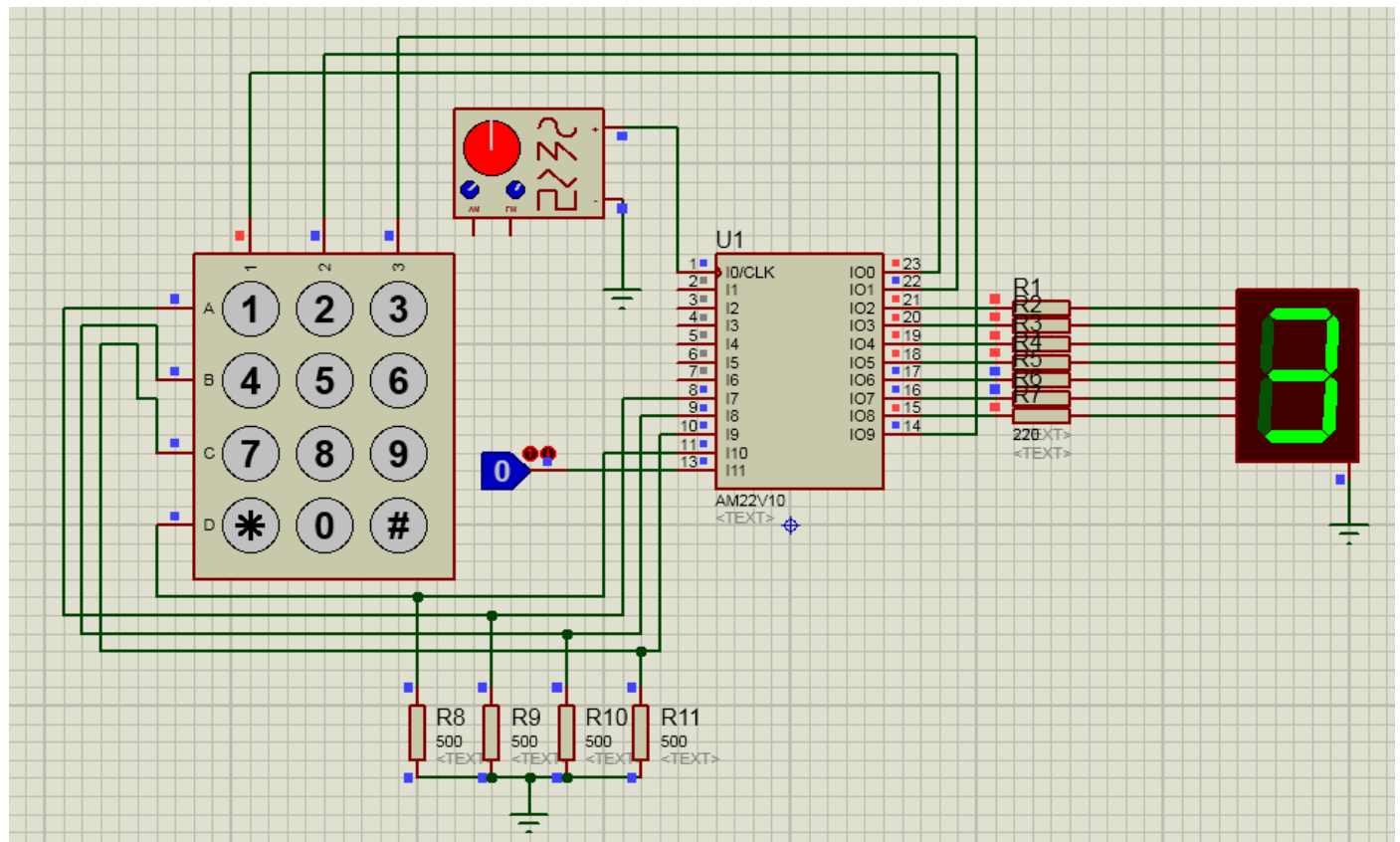
Name	Value	Sti...	
col(0)	0	<= 0	
fil	8		8
fil(3)	1	<= 1	
fil(2)	0	<= 0	
fil(1)	0	<= 0	
fil(0)	0	<= 0	
display	79		ZZ00 30 79



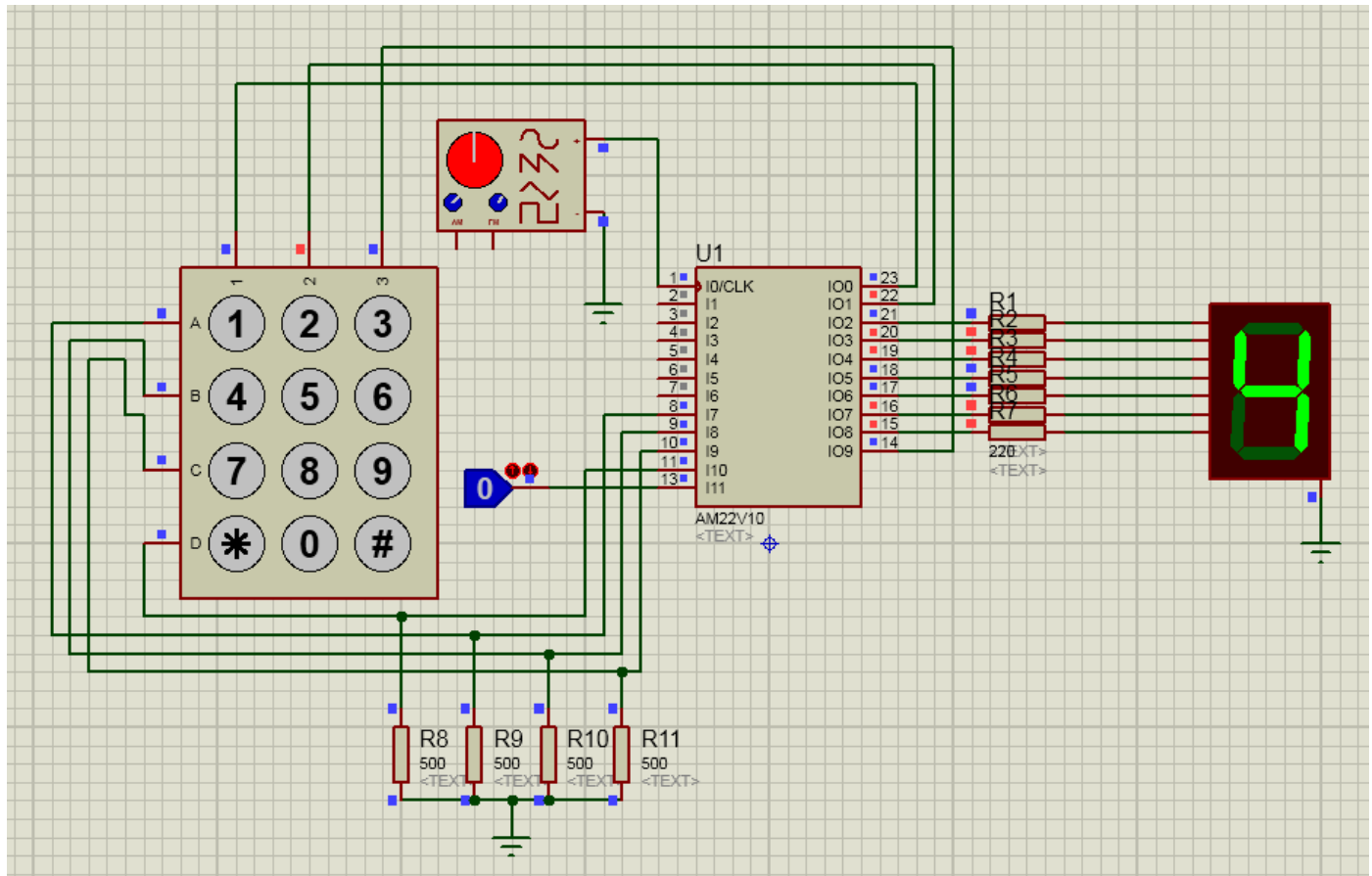
Name	Value	Sti...	
col(0)	0	<= 0	
fil	8		8
fil(3)	1	<= 1	
fil(2)	0	<= 0	
fil(1)	0	<= 0	
fil(0)	0	<= 0	
display	30		ZZ00 30 79 60



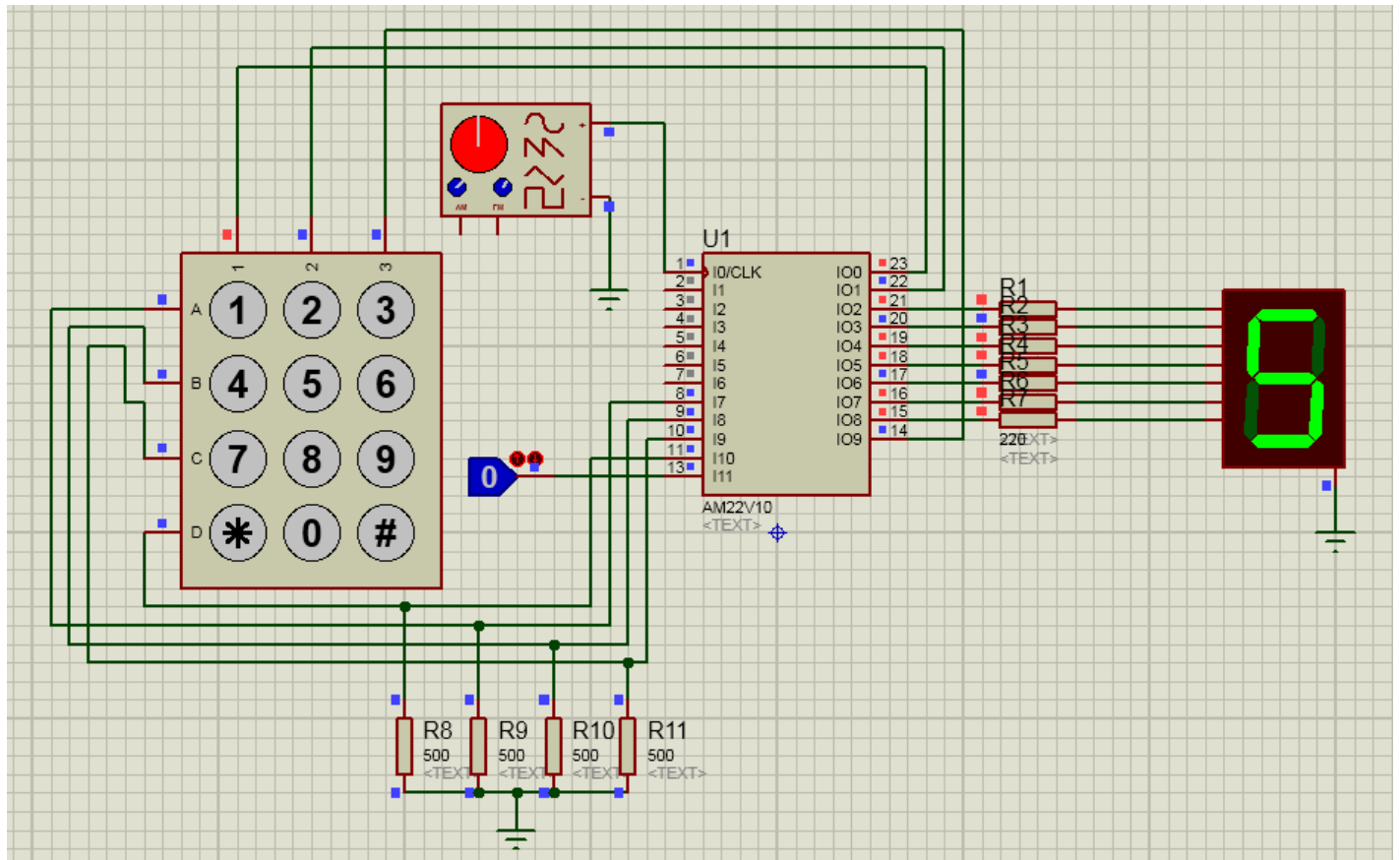
Name	Value	Sti...	
col(0)	1	<= 1	
fil	8		8
fil(3)	1	<= 1	
fil(2)	0	<= 0	
fil(1)	0	<= 0	
fil(0)	0	<= 0	
display	79		00 30 6D 79 30 6D 79



Name	Value	Sti...	50100150
clk	0	Clock	
clr	0	<= 0	
col	4		4
fil	4		4
display	33		0033

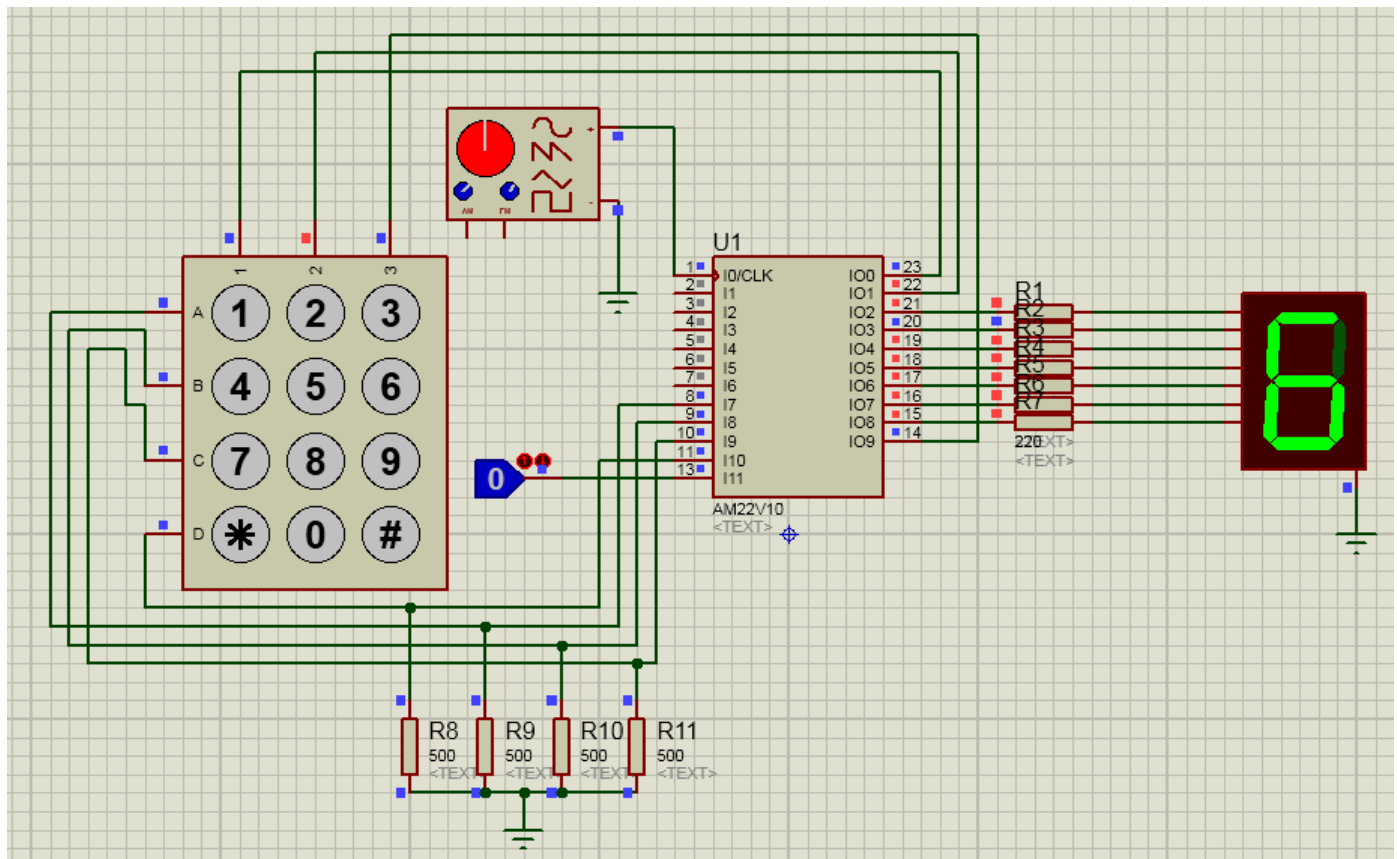


Name	Value	Sti...	50100150200250
clk	0	Clock	
clr	0	<= 0	
col	2		4
fil	4		4
display	33		003358

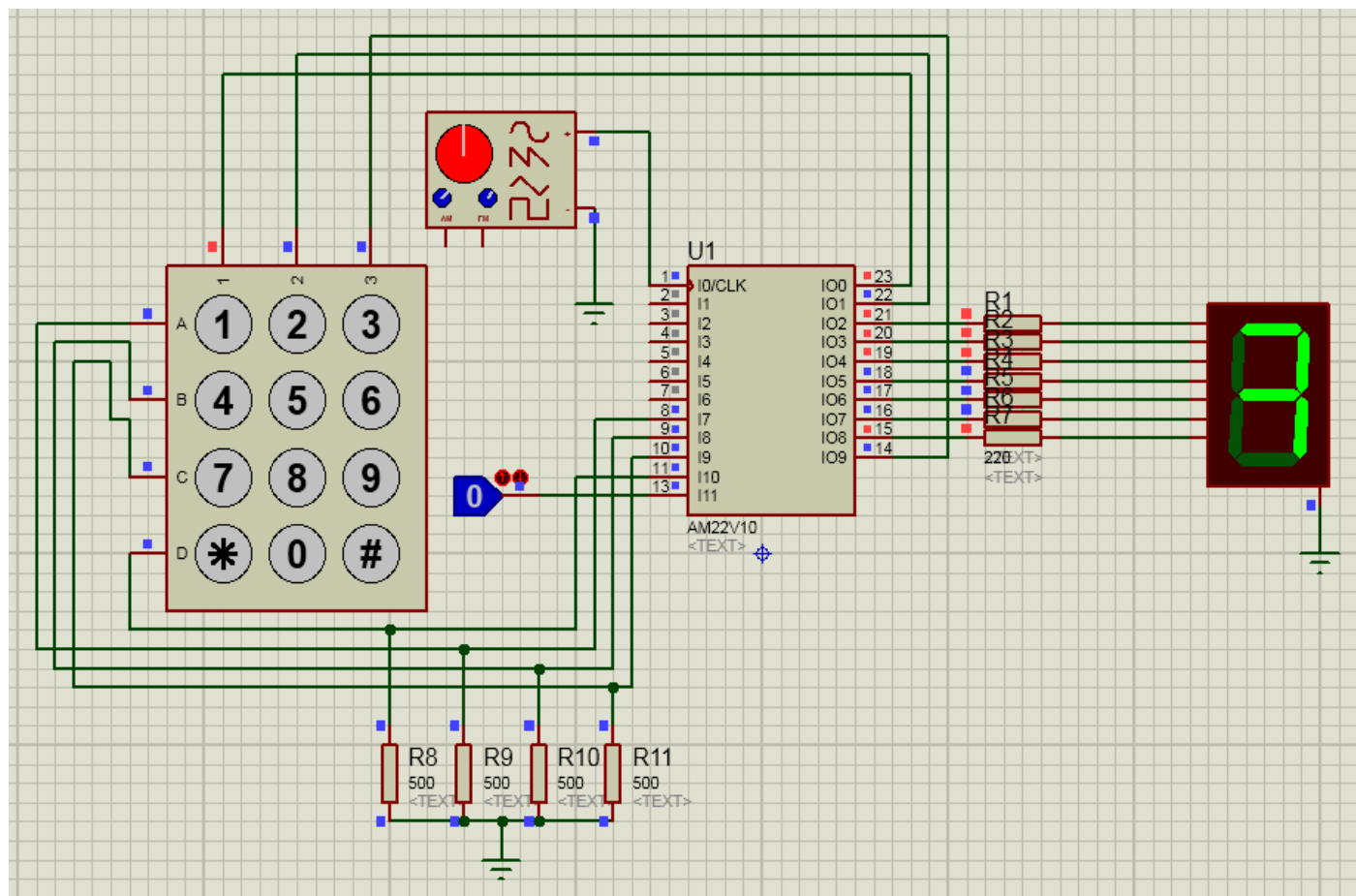


Name	Value	Sti...	50100150200250300350
clk	0	Clock	
clr	0	<= 0	
col	1		1
fil	4		4
display	33		00335B5F

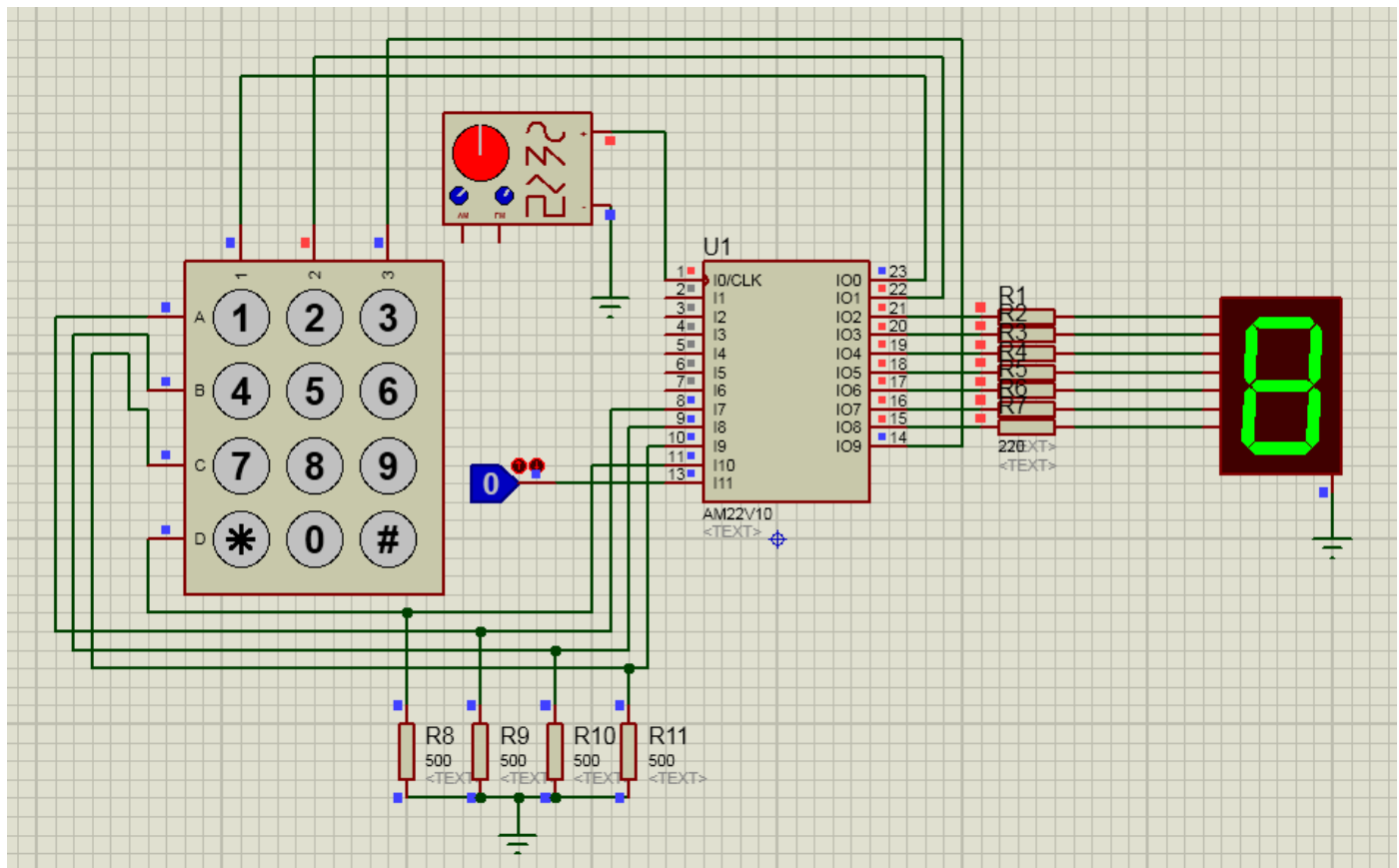




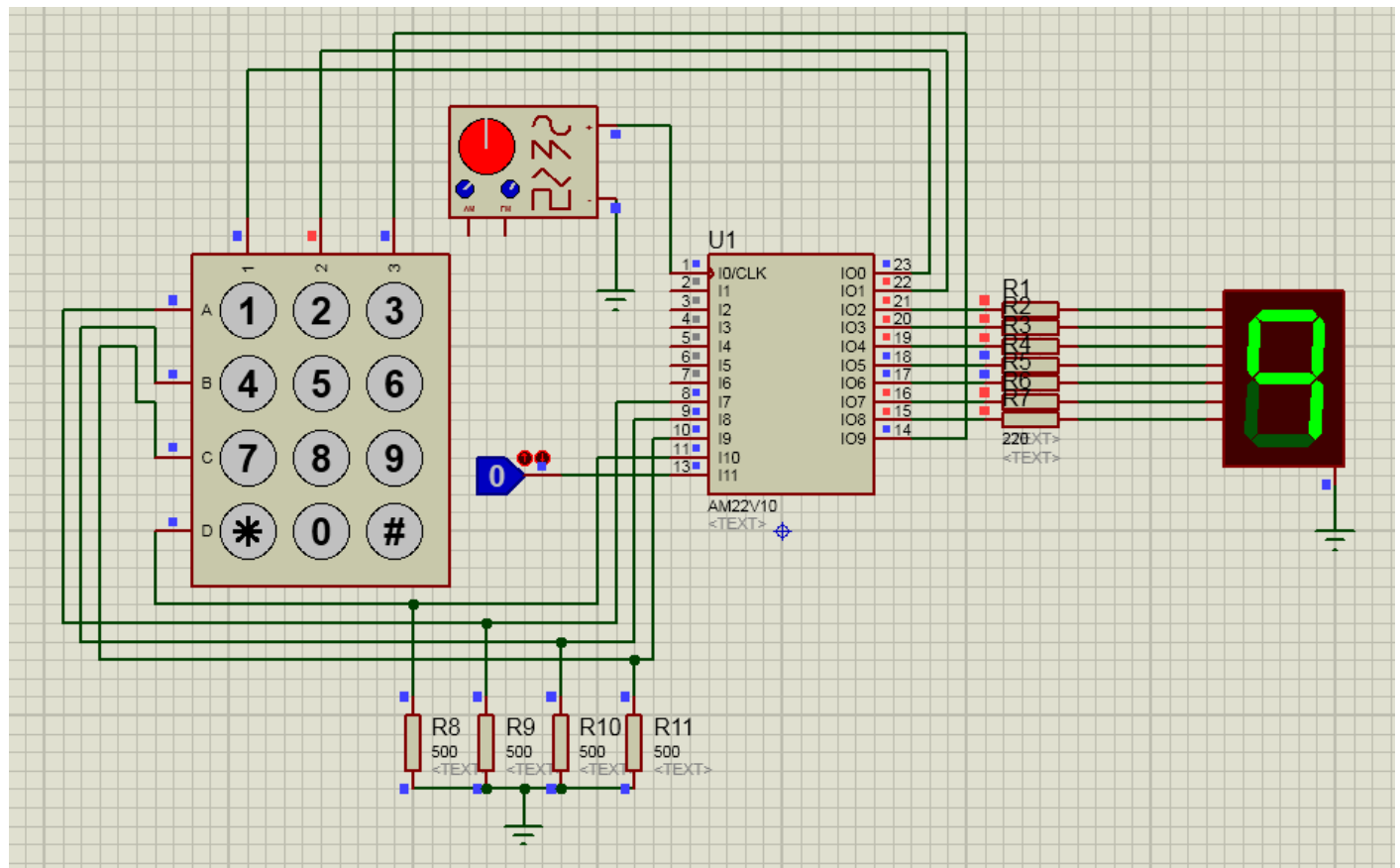
Name	Value	Sti...	50100150
clk	0	Clock	
clr	0	<= 0	
col	4		4
fil	2		2
display	71		0071



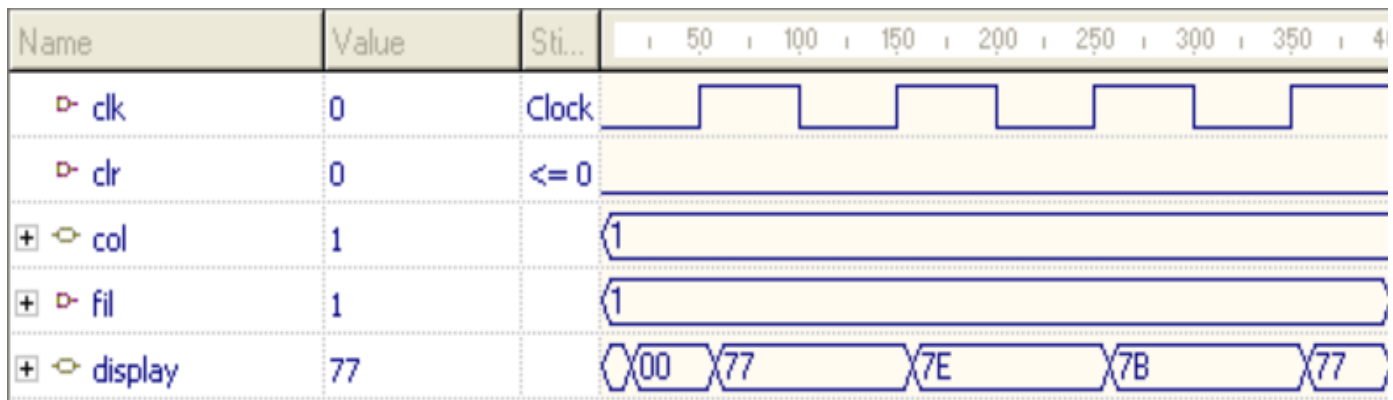
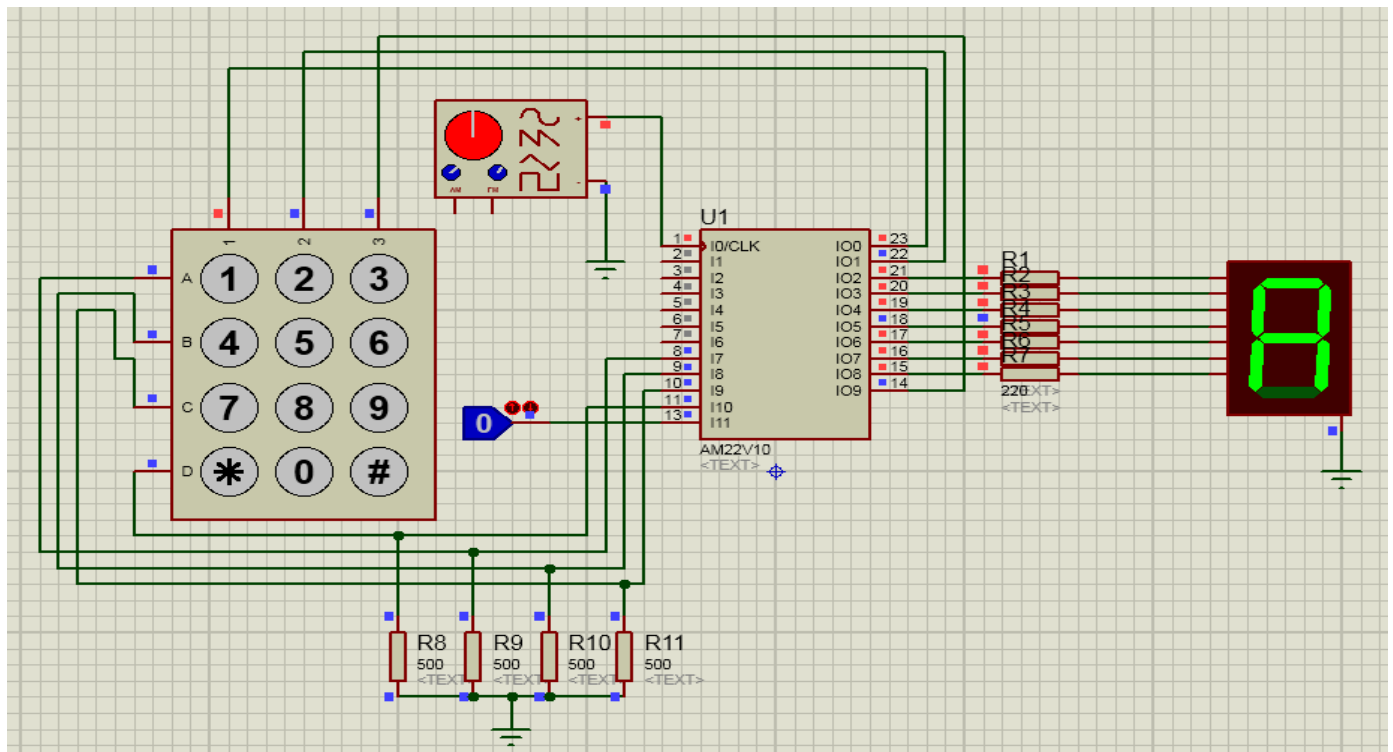
Name	Value	Sti...	50100150200250
clk	0	Clock	
clr	0	<= 0	
col	1		1
fil	2		2
display	73		00717F

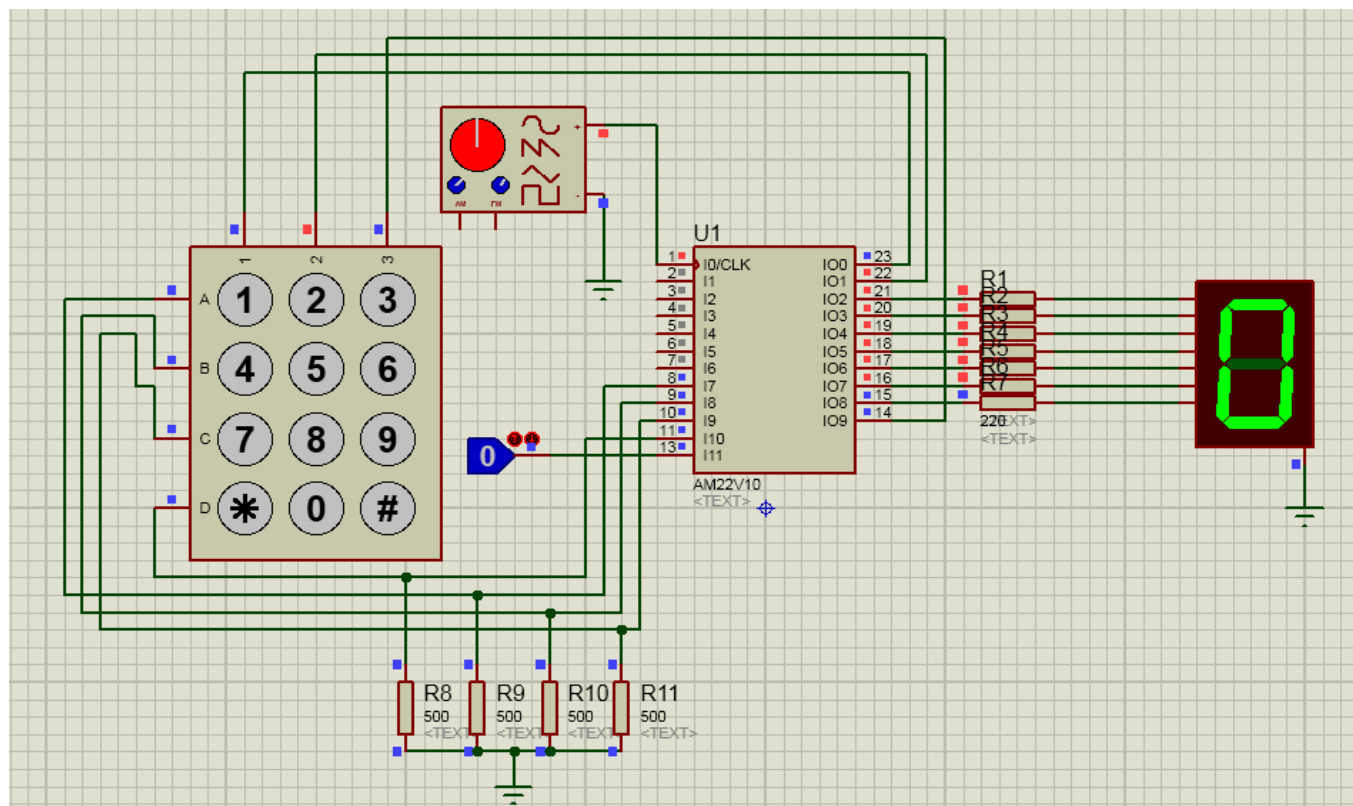


Name	Value	Sti...	50100150200250300350
clk	0	Clock	
clr	0	<= 0	
col	4		
fil	1		
display	77		

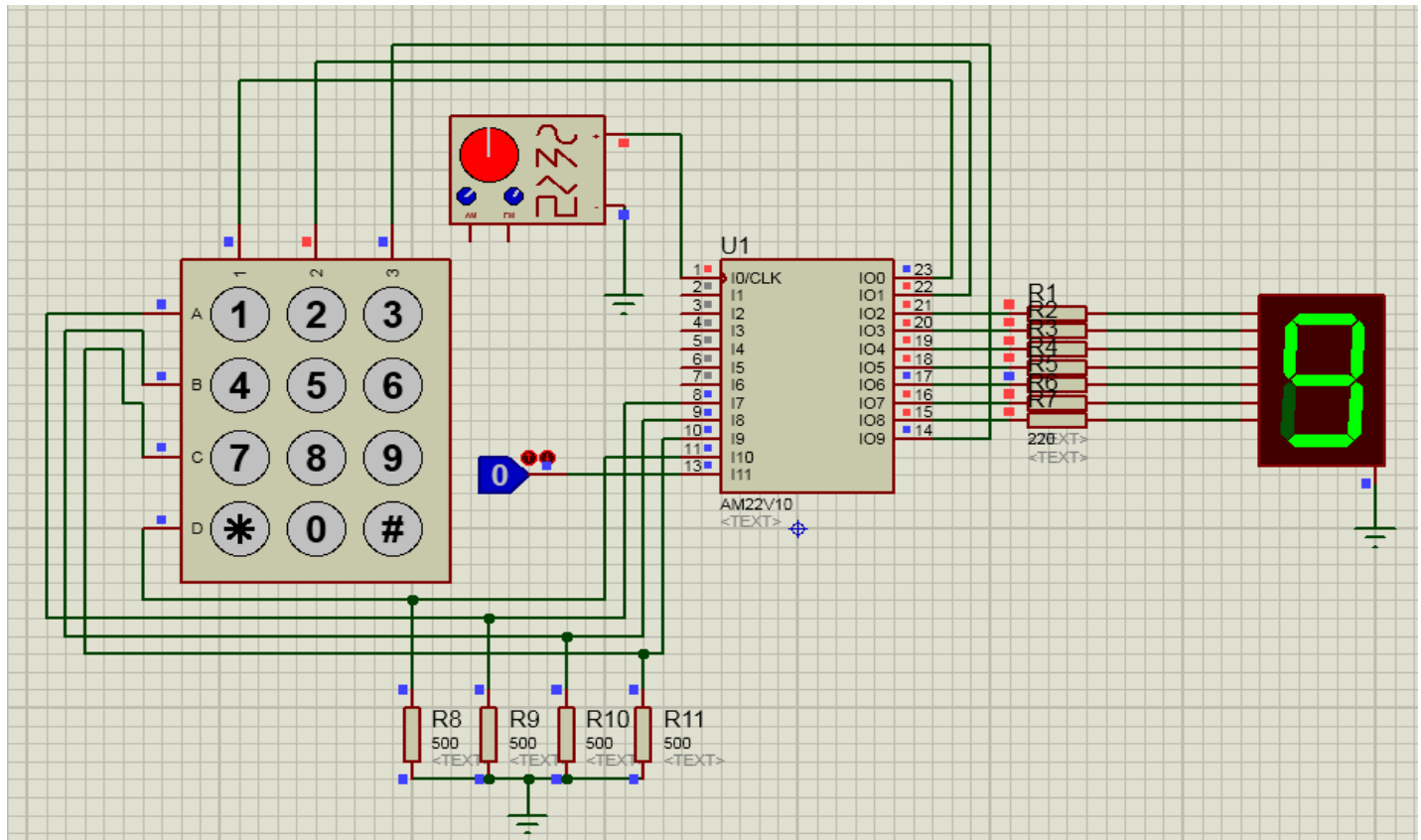


Name	Value	Sti...	50100150200250
clk	0	Clock	
clr	0	<= 0	
col	2		2
fil	1		1
display	77		00777E





Name	Value	Sti...	50100150200250300350400
clk	0	Clock	
clr	0	<= 0	
col	1		
fil	1		
display	77		



### CUESTIONARIO:

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?  
R= 1 dispositivo PLD.
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?  
R= 1 555, 6 4013, 8 7408, 7 7432, 6 7404
3. ¿Cuántos pines de entrada y salida del PLD 22V10 se usan en el diseño?  
R= 6 entradas y 10 salidas.
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD22V10?  
R= Se ocupan 43 términos productos de cada salida y se ocupa un 72% del PLD.
5. ¿Qué frecuencia se debe utilizar para detectar la tecla presionada?  
R= 10 Hz
6. ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?  
R=
7. ¿Qué puedes concluir de esta práctica?  
R= En conclusión la descripción del autómata para el teclado ya es el base en la asignación de los estados uniéndolos, así como el decidir la rotación del 1 viajero a través de una entrada para reemplazar un multiplexor.