

PRÁCTICA 6 “MENSAJE MULTIPLEXADO”

Código VHDL, Contador 7 bits

```
1  --Santos Mèndez Ulises Jesùs
2  --2CV8
3  --Practica 6 "Contadores"
4  --Contador de 3 bits
5  library ieee;
6  use ieee.std_logic_1164.all;
7
8  entity counter is
9  port (clk,clr,en: in std_logic;
10       q: out std_logic_vector(2 downto 0));
11
12       attribute pin_numbers of counter: entity is
13       "q(2):16 q(1):15 q(0):14 clr:2 en:3 ";
14 end counter;
15
16 architecture arq_count of counter is
17 begin
18     process (clk,clr)
19         variable aux: std_logic;
20     begin
21         if (clr='1') then
22             q <= (others => '0');
23         elsif (rising_edge(clk)) then
24             aux := '1';
25
26             for i in 0 to 2 loop
27                 if (i-1 >= 0) then
28                     for j in 0 to i-1 loop
29                         aux := aux and q(j);
30                     end loop;
31                 end if;
32                 aux := aux and en;
33                 q(i) <= q(i) xor aux;
34             end loop;
35         end if;
36     end process;
37 end arq_count;
```

Código VHDL, Contador Genérico

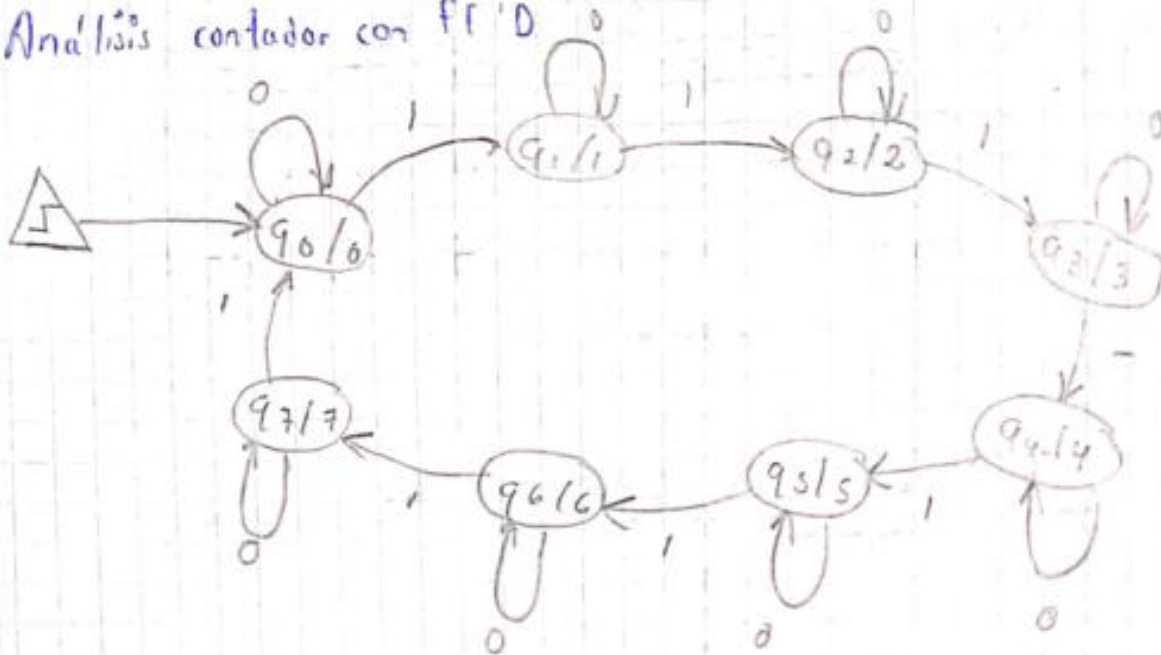
```
1 --Santos Mèndez Ulises Jesùs
2 --2CV8
3 --Pràctica 6 "Contadores"
4 library ieee;
5 use ieee.std_logic_1164.all;
6 use ieee.std_logic_arith.all;
7 use ieee.std_logic_unsigned.all;
8
9 entity contador is
10 port (clk,clr,en,le,ud: in std_logic;
11       D: in std_logic_vector(6 downto 0);
12       c: out std_logic;
13       q: inout std_logic_vector(6 downto 0));
14
15     attribute pin_numbers of contador: entity is
16       "c:22 q(6):20 q(5):19 q(4):18 q(3):17 q(2):16 "
17 &    "q(1):15 q(0):14 clr:13 d(6):2 d(5):3 d(4):4 "
18 &    "d(3):5 d(2):6 d(1):7 d(0):8 en:9 le:10 ud:11 ";
19 end contador;
20
21 architecture arq_count of contador is
22 begin
23 --En 0//Le x// Ud x// Retenciòn
24 --En 1//Le 1// Ud x// Carga
```

```
25 --En 1//Le 0// Ud 1// Conteo ascendente
26 --En 1//Le 0// Ud 0// Conteo descendente
27
28     process(clk,clr)
29     begin
30         if(clr = '1') then
31             q <= (others => '0');
32         elsif(rising_edge(clk)) then
33             if(en = '1') then
34                 if(le = '1') then
35                     q <= D;
36                 elsif(ud = '1' and le = '0') then
37                     q <= q+1;
38                 elsif(ud = '0' and le = '0') then
39                     q <= q-1;
40                 end if;
41             else
42                 q <= q;
43             end if;
44         end if;
45     end process;
46 process(q,c)
47 begin
48     case q is
49
50         when "1111111" =>
51             c <= '1';
52         when "0000000" =>
53             c <= '1';
54         when others =>
55             c <= '0';
56     end case;
57 end process;
58 end arq_count;
```

Análisis de contador con FF'D

Santos Méndez Ulises Jesús

Análisis contador con FF'D



Edo-act	E	Edo- sig	Salida
q0	1	q1	0
q1	1	q2	1
q2	1	q3	2
q3	1	q4	3
q4	1	q5	4
q5	1	q6	5
q6	1	q7	6
q7	1	q0	7
q0	0	q0	0
q1	0	q1	1
q2	0	q2	2
q3	0	q3	3
q4	0	q4	4
q5	0	q5	5
q6	0	q6	6
q7	0	q7	7

Edo. Act	E	Edo. sig	Salida	D ₂	D ₁	D ₀
Q ₂ Q ₁ Q ₀		Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺				
0 0 0	1	0 0 1	0 0 0	0	0	1
0 0 1	1	0 1 0	0 0 1	0	1	0
0 1 0	1	0 1 1	0 1 0	0	1	1
0 1 1	1	1 0 0	0 1 1	1	0	0
1 0 0	1	1 0 1	1 0 0	1	0	1
1 0 1	1	1 1 0	1 0 1	1	1	0
1 1 0	1	1 1 1	1 1 0	1	1	1
1 1 1	1	0 0 0	1 1 1	0	0	0
Edo. Act	E	Edo. sig	Salida	D ₂	D ₁	D ₀
Q ₂ Q ₁ Q ₀		Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺				
0 0 0	0	0 0 0	0 0 0	0	0	0
0 0 1	0	0 0 1	0 0 1	0	0	1
0 1 0	0	0 1 0	0 1 0	0	1	0
0 1 1	0	0 1 1	0 1 1	0	1	1
1 0 0	0	1 0 0	1 0 0	1	0	0
1 0 1	0	1 0 1	1 0 1	1	0	1
1 1 0	0	1 1 0	1 1 0	1	1	0
1 1 1	0	1 1 1	1 1 1	1	1	1

Q ₂ E	00	01	11	10
Q ₂ Q ₁	00	0	0	0
01	0	0	1	0
11	1	1	0	1
10	1	1	1	1

$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + Q_2 \bar{E} + \bar{Q}_2 Q_1 Q_0 E$$

$$D_2 = Q_2 \oplus (Q_0 Q_1 E)$$

Q ₁ E	00	01	11	10
Q ₁ Q ₀	00	0	1	0
01	1	1	0	1
11	1	1	0	1
10	0	0	1	0

$$D_1 = Q_1 \bar{Q}_0 + Q_1 \bar{E} + \bar{Q}_1 Q_0 E$$

$$D_1 = Q_1 \oplus (Q_0 E)$$

Q ₀ E	00	01	11	10
Q ₀ Q ₁	00	0	1	0
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

$$D_0 = \bar{Q}_0 E + Q_0 \bar{E}$$

$$D_0 = Q_0 \oplus E$$

⊕ → XOR

$$D_i = Q_i \oplus \bigoplus_{j=0}^{i-1} Q_j \quad \dots \text{Formula generalizada para el contador con FF'D.}$$

Análisis de contador con FF'JK

Se hace el análisis con FF'JK

Edo. Act	E	Edo. sig	Salida	J ₂	k ₂	J ₁	k ₁	J ₀	k ₀
Q ₂ Q ₁ Q ₀		Q ₂ ⁺ Q ₁ ⁺ Q ₀ ⁺							
0 0 0	1	0 0 1	0 0 0	0	X	0	X	1	X
0 0 1	1	0 1 0	0 0 1	0	X	1	X	X	1
0 1 0	1	0 1 1	0 1 0	0	X	X	0	1	X
0 1 1	1	1 0 0	0 1 1	1	X	X	1	X	1
1 0 0	1	1 0 1	1 0 0	X	0	0	X	1	X
1 0 1	1	1 1 0	1 0 1	X	0	1	X	X	1
1 1 0	1	1 1 1	1 1 0	X	0	X	0	1	X
1 1 1	1	0 0 0	1 1 1	X	1	X	1	X	1

Edo. Act	E	Edo. sig	Salida	J ₂	k ₂	J ₁	k ₁	J ₀	k ₀
0 0 0	0	0 0 0	0 0 0	0	X	0	X	0	X
0 0 1	0	0 0 1	0 0 1	0	X	0	X	X	0
0 1 0	0	0 1 0	0 1 0	0	X	X	0	0	X
0 1 1	0	0 1 1	0 1 1	0	X	X	0	X	0
1 0 0	0	1 0 0	1 0 0	X	0	0	X	0	X
1 0 1	0	1 0 1	1 0 1	X	0	0	X	X	0
1 1 0	0	1 1 0	1 1 0	X	0	X	0	0	X
1 1 1	0	1 1 1	1 1 1	X	0	X	0	X	0

Q ₂ E	00	01	11	10
Q ₂ Q ₁	00	0	0	0
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

Q ₂ E	00	01	11	10
Q ₂ Q ₁	00	X	X	X
01	X	X	X	X
11	0	0	1	0
10	0	0	0	0

Q ₂ E	00	01	11	10
Q ₂ Q ₁	00	0	0	1
01	X	X	X	X
11	X	X	X	X
10	0	0	1	0

$$J_2 = Q_1 Q_0 E$$

$$k_2 = Q_1 Q_0 E$$

$$J_1 = Q_0 E$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10	$Q_2 \backslash Q_1 Q_0$	00	01	11	10	$Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	X	X	X	X	00	0	1	X	X	00	X	X	1	0
01	0	0	1	0	01	0	1	X	X	01	X	X	1	0
11	0	0	1	0	11	0	1	X	X	11	X	X	1	0
10	X	X	X	X	10	0	1	X	X	10	X	X	1	0

$$k_1 = Q_0 \bar{k}$$

$$J_0 = \bar{k}$$

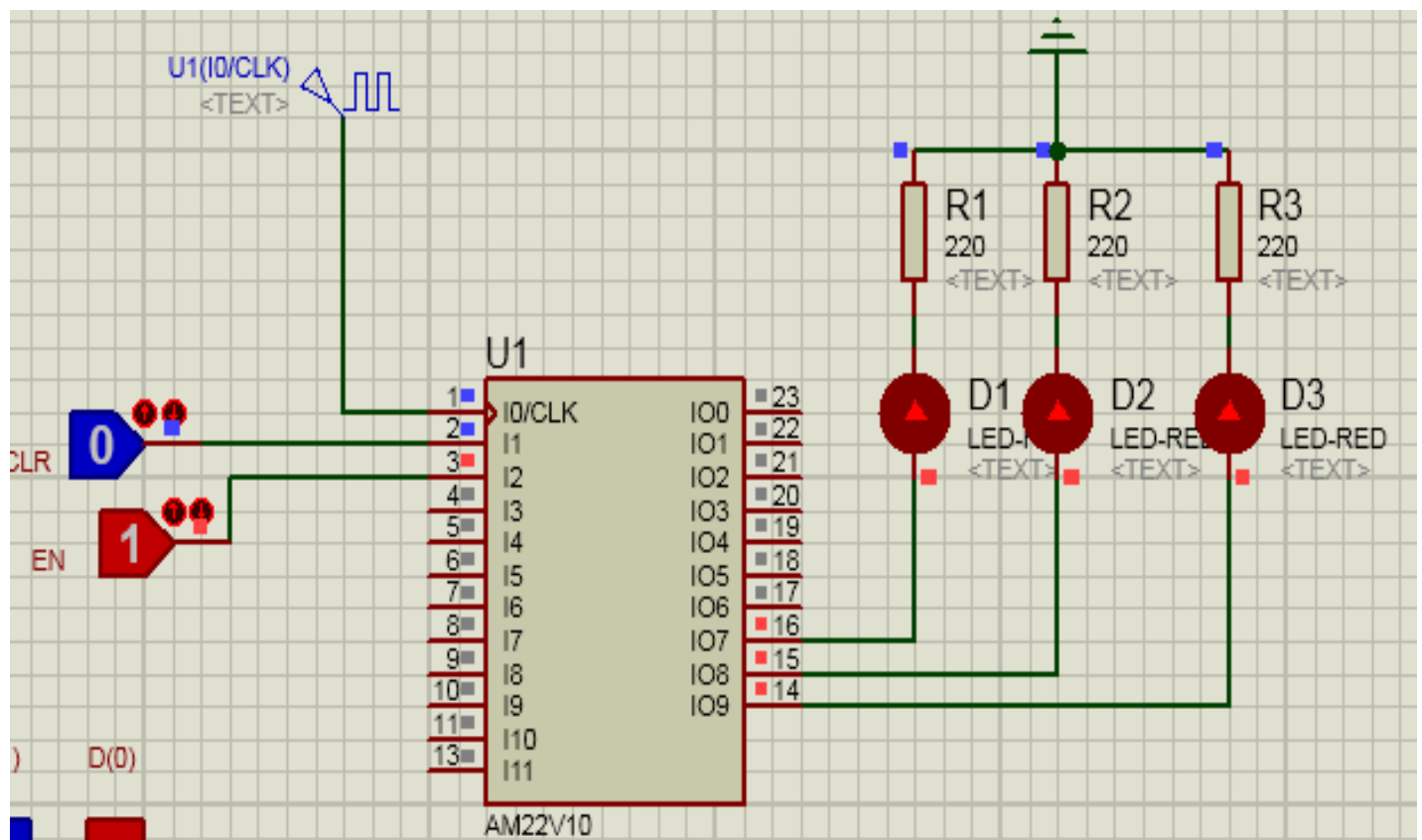
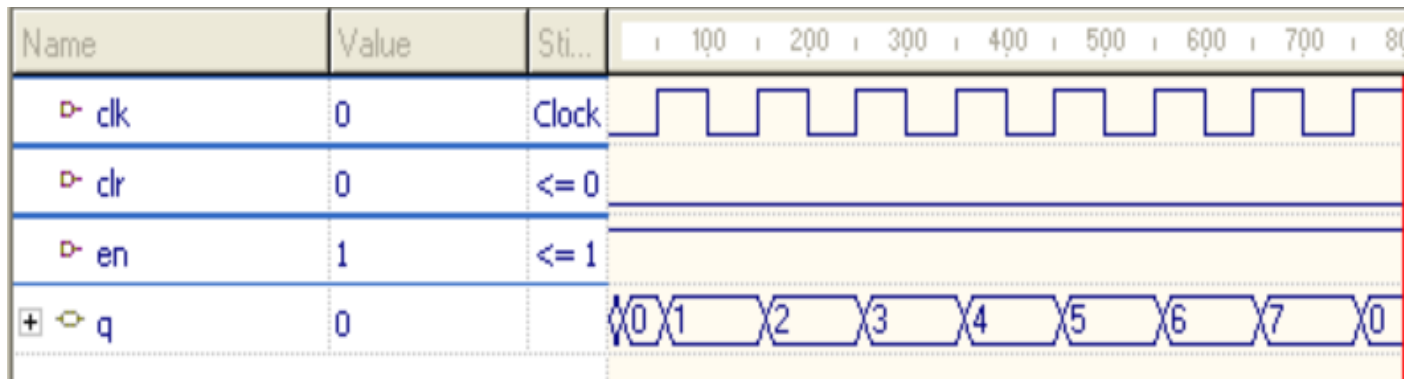
$$k_0 = \bar{k}$$

$$J_i = Q_i \bar{k} \prod_{j=0}^{i-1} Q_j$$

$$k_i = Q_i \bar{k} \prod_{j=0}^{i-1} Q_j$$

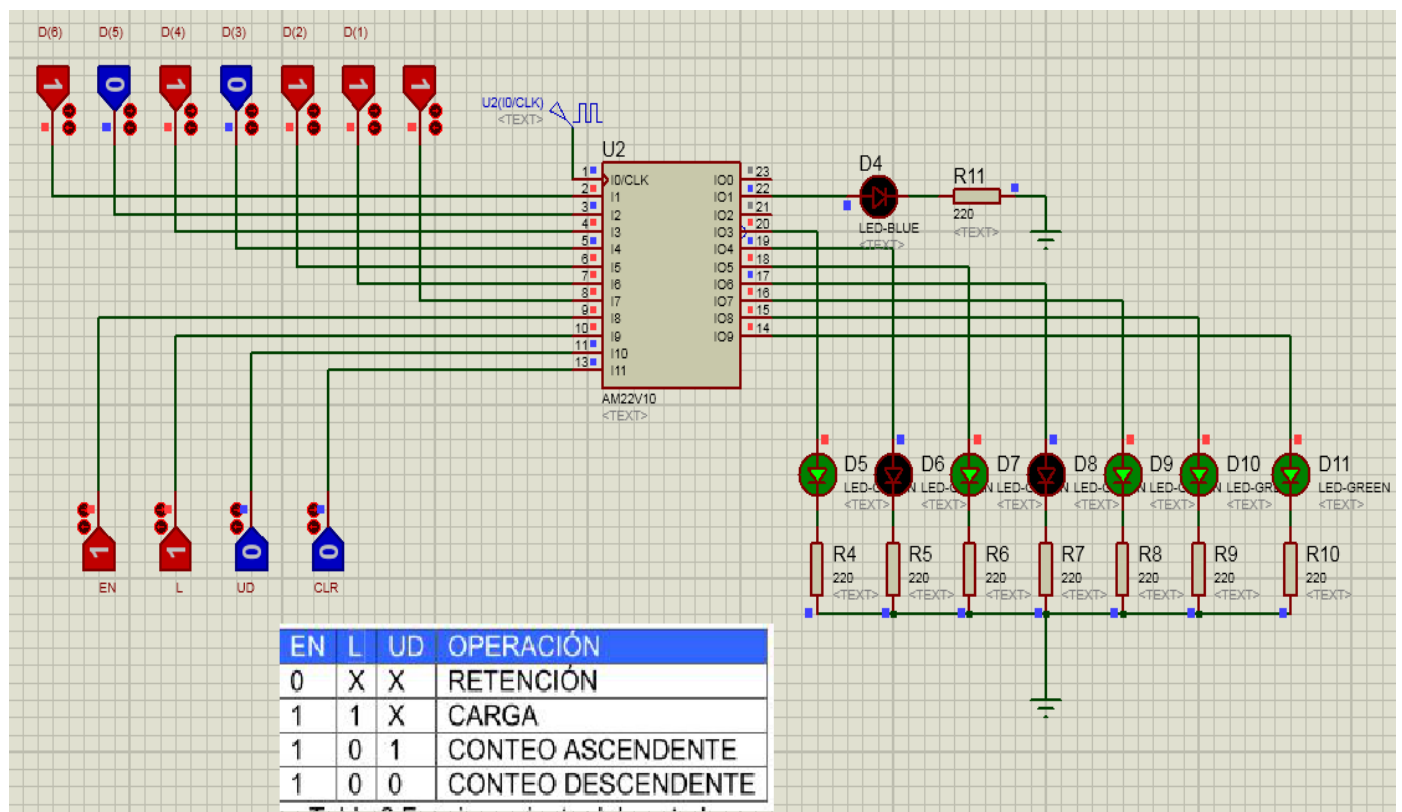
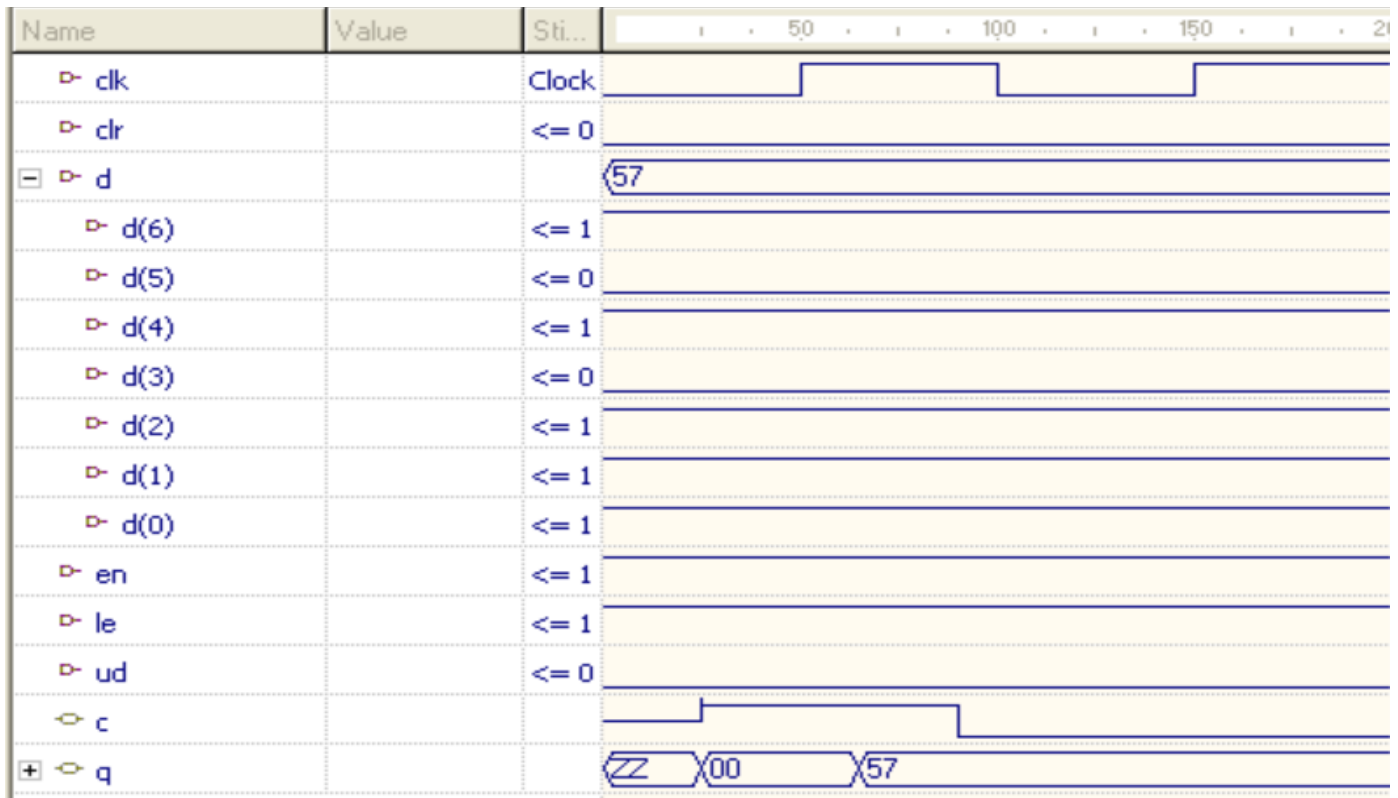
Simulación en Active-HDL Sim y en Proteus

Contador de 3 bits

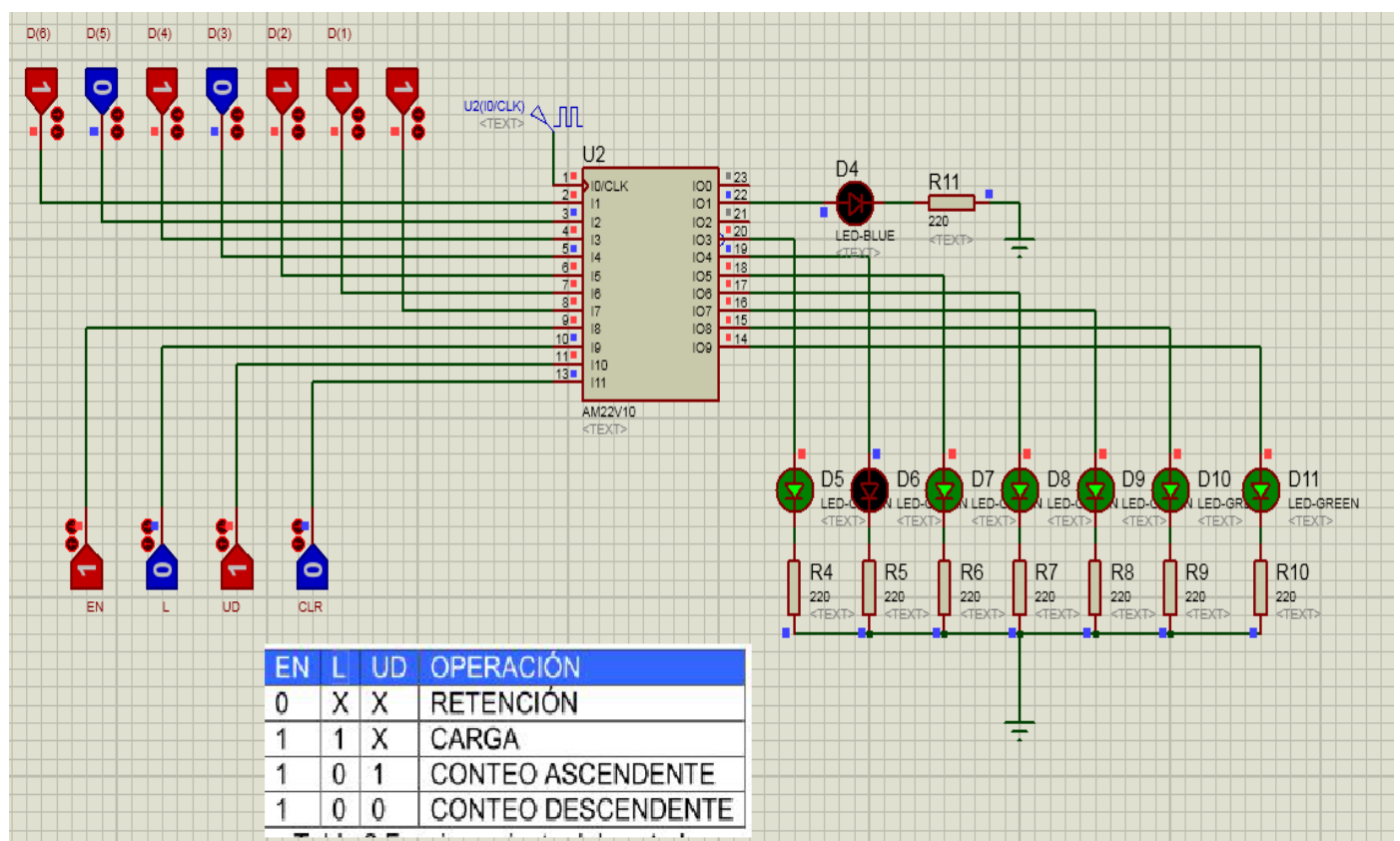
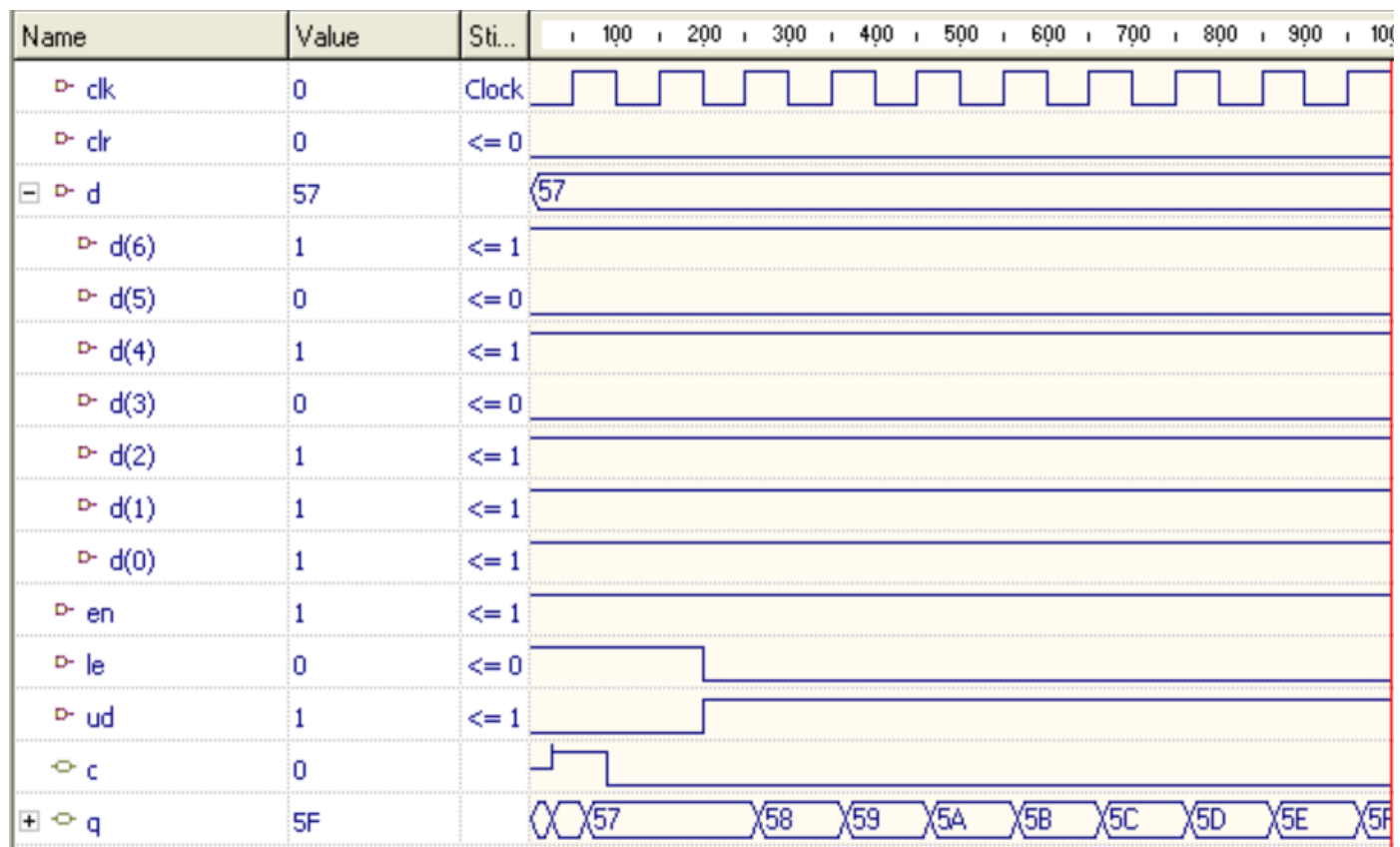


Contador Genérico

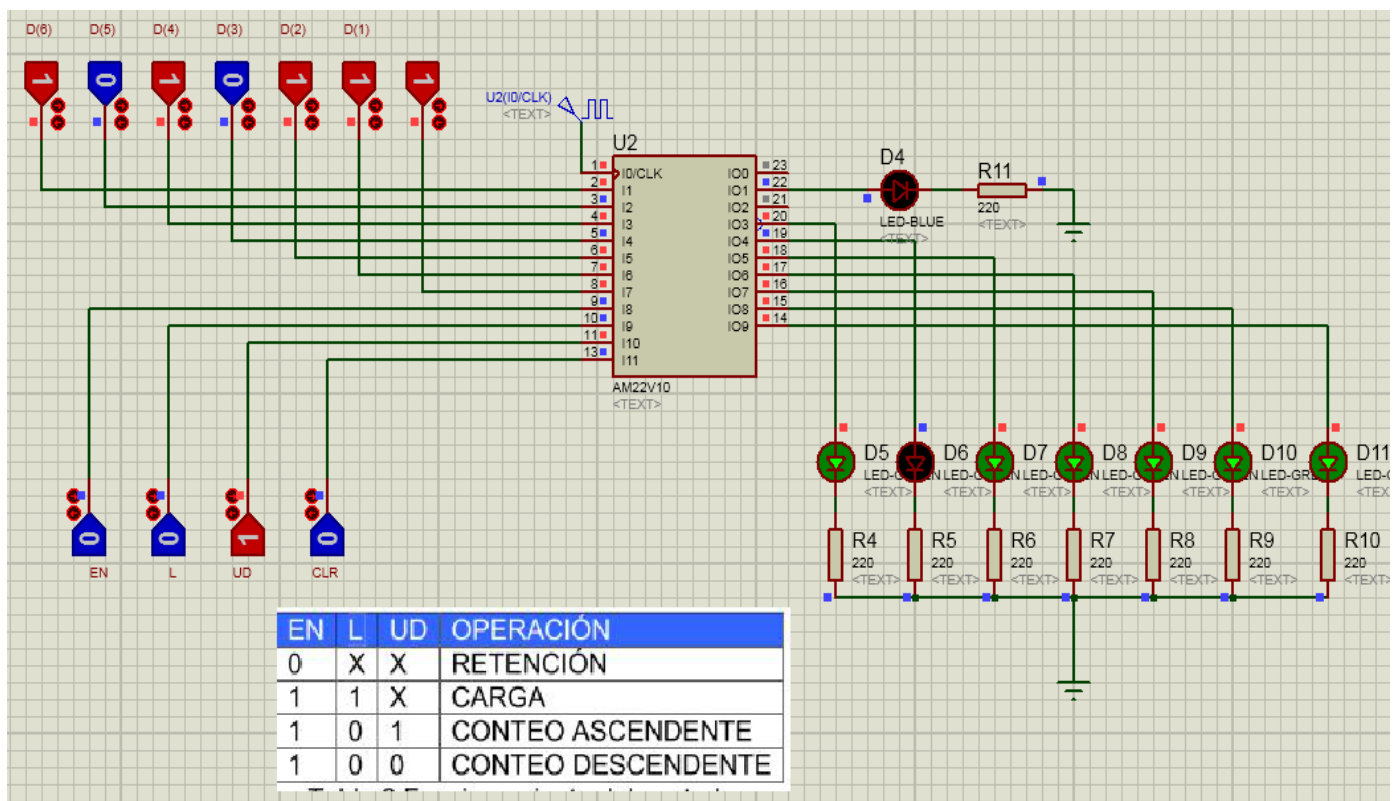
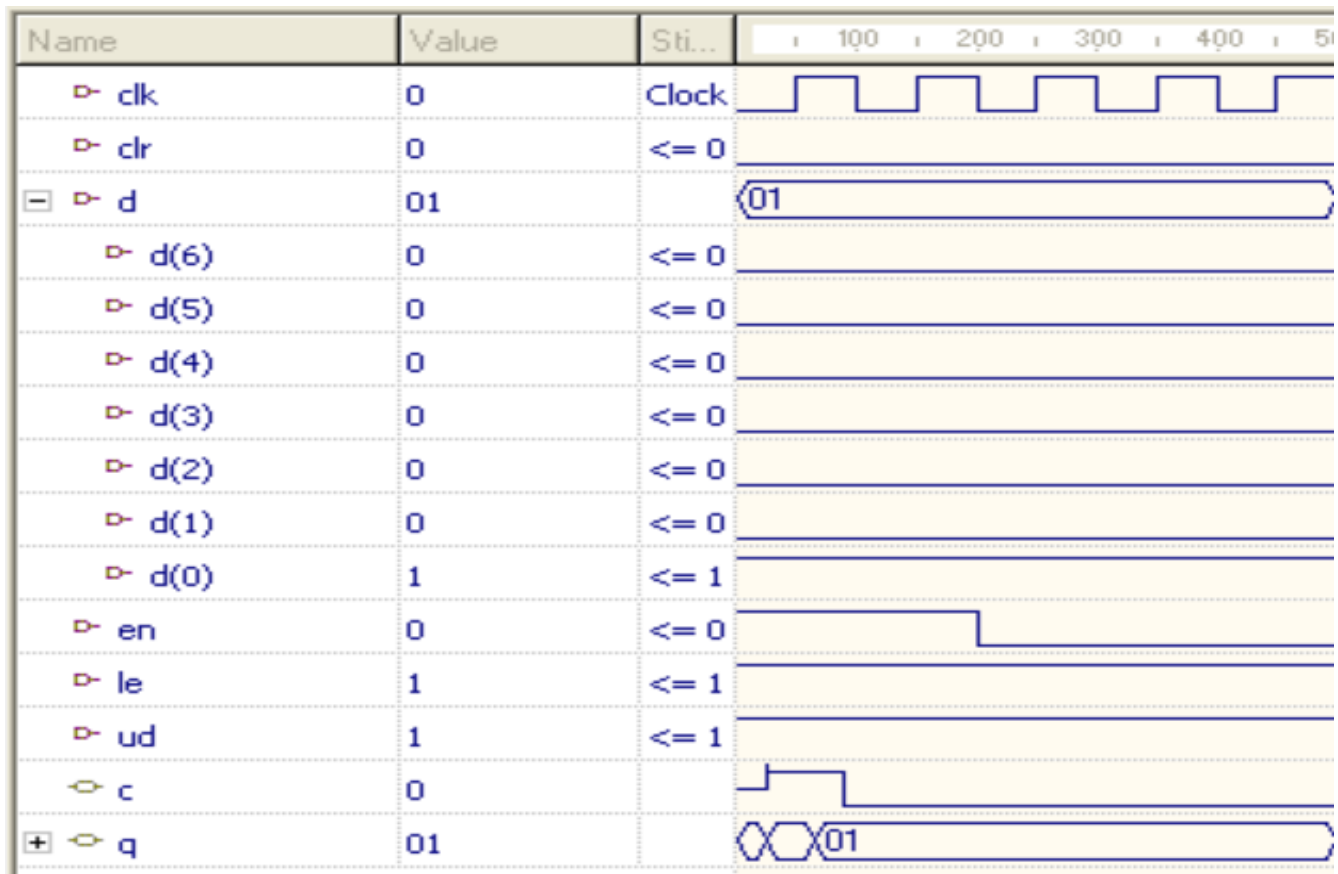
1) Carga del 87 (decimal)



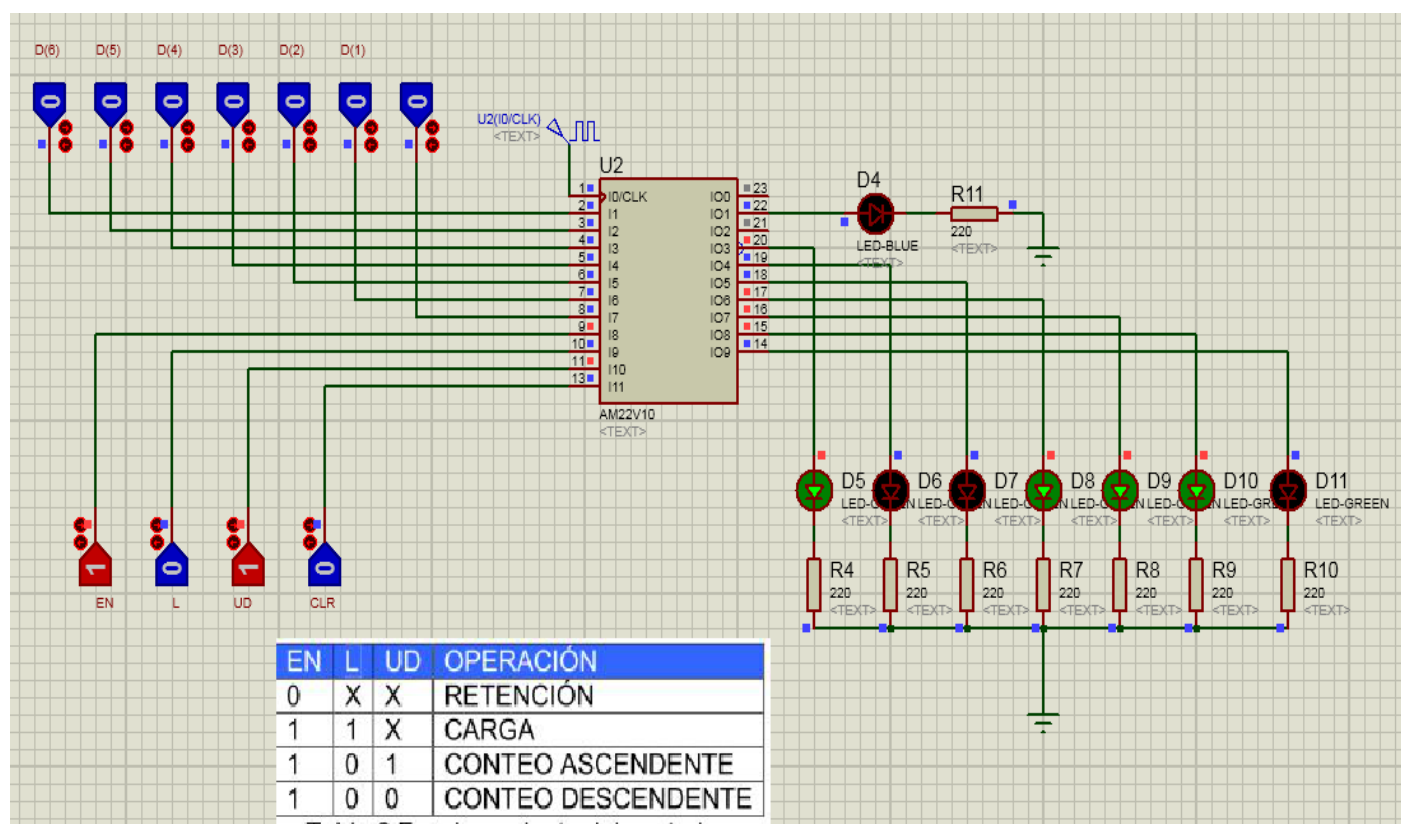
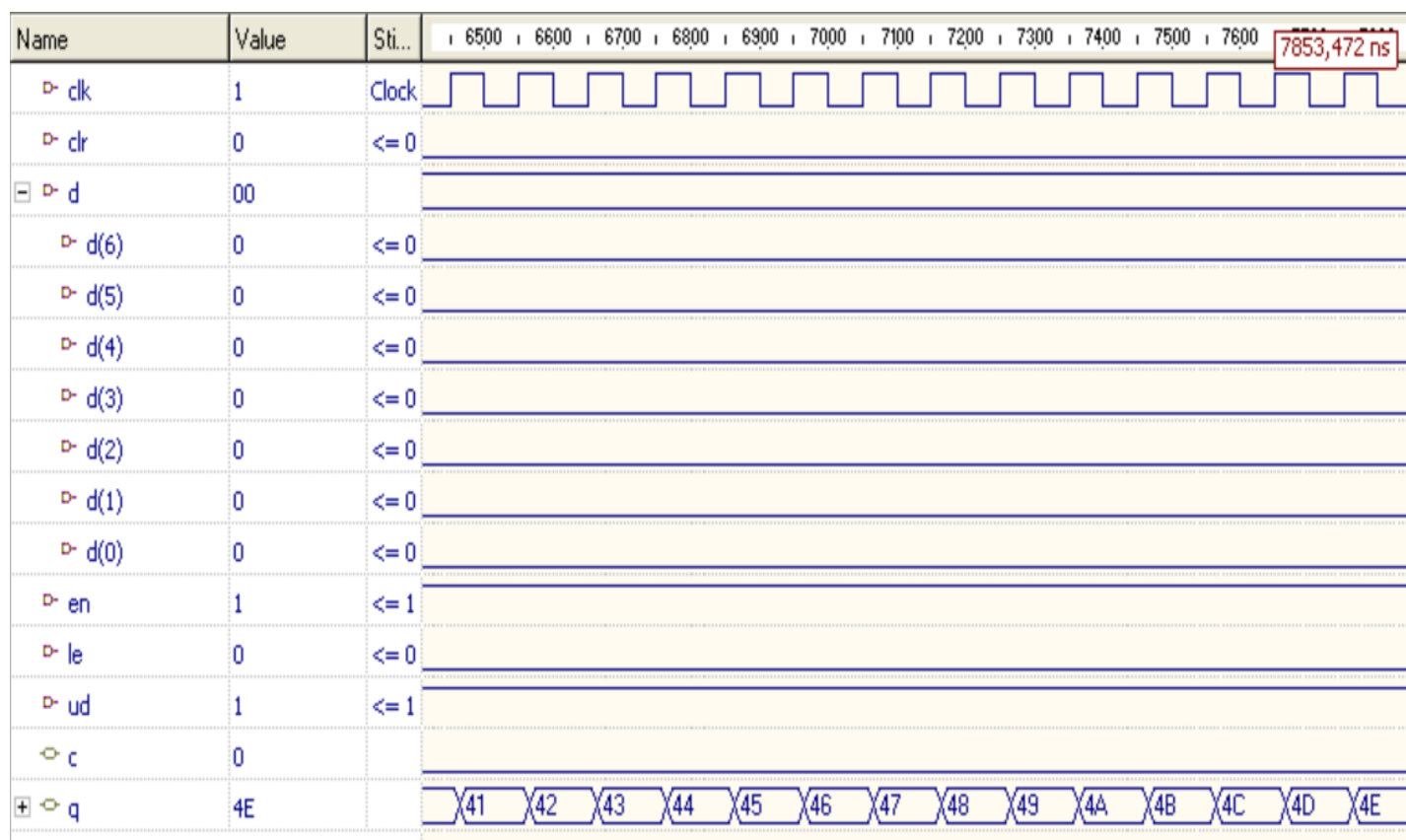
2) Contar hasta llegar al 95 (decimal)



3) Retener 3 ciclos



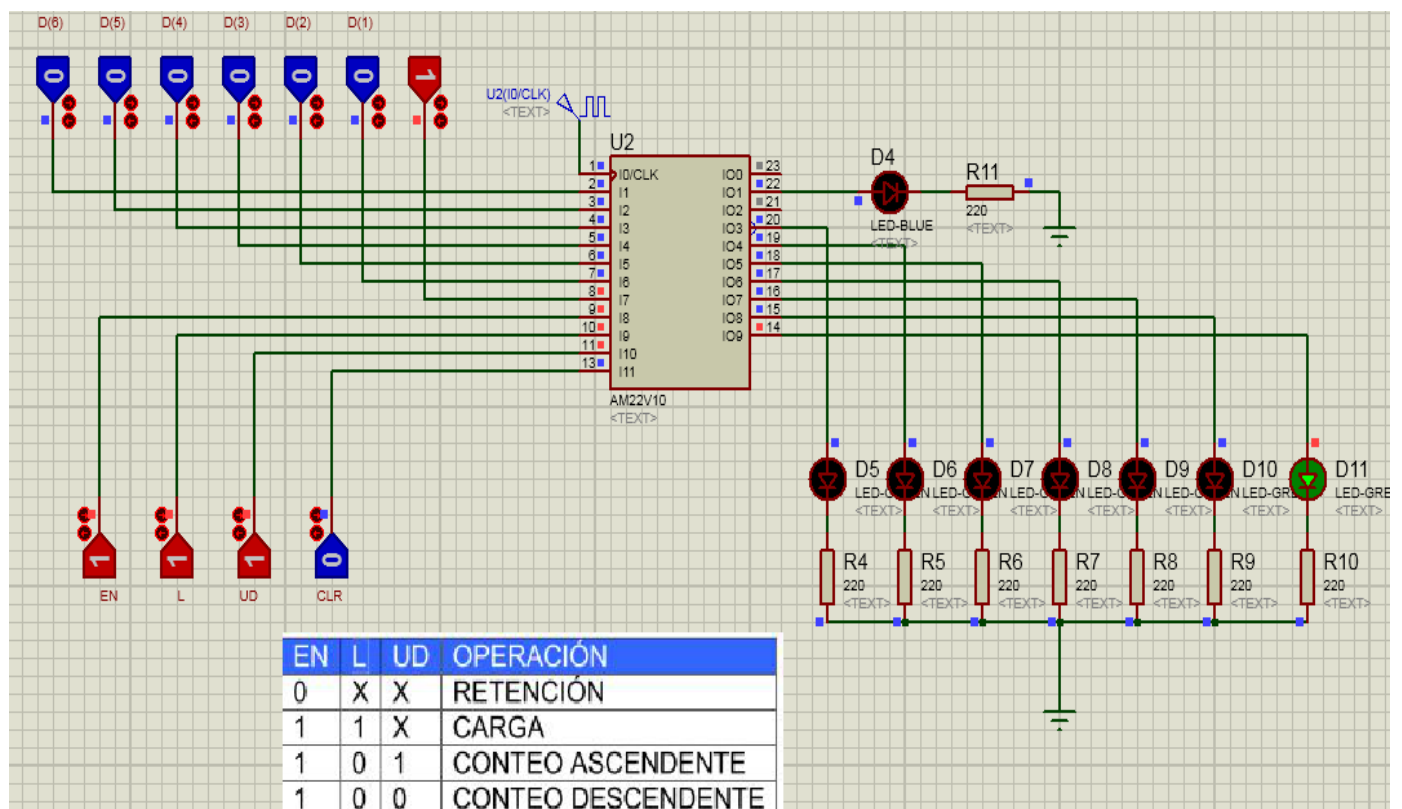
4) Contar hasta llegar al 78 (decimal)





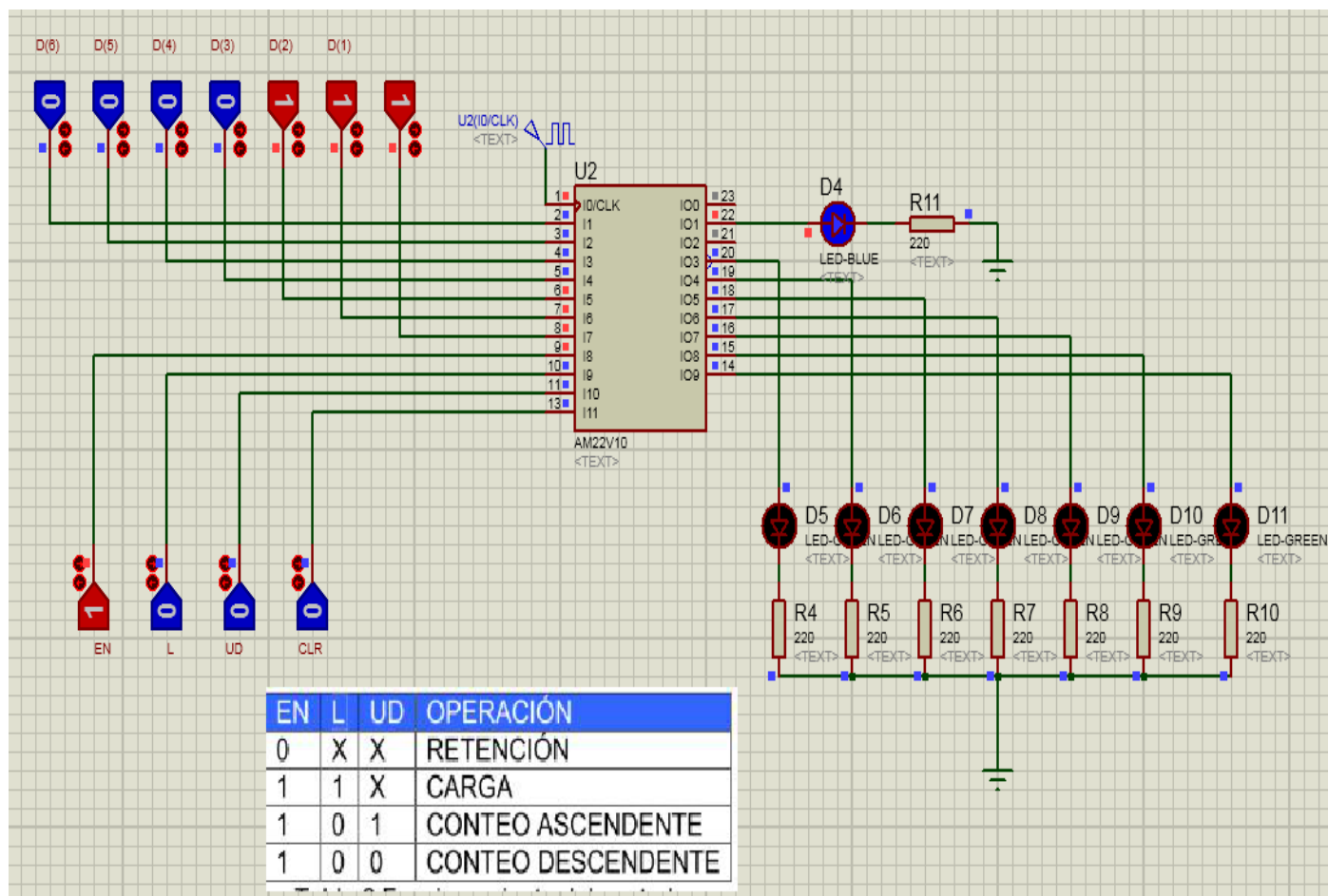
5) Carga del 01 (decimal)

Name	Value	Sti...	100	200	300
clk	0	Clock			
clr	0	<= 0			
d	01		01		
d(6)	0	<= 0			
d(5)	0	<= 0			
d(4)	0	<= 0			
d(3)	0	<= 0			
d(2)	0	<= 0			
d(1)	0	<= 0			
d(0)	1	<= 1			
en	1	<= 1			
le	1	<= 1			
ud	1	<= 1			
c	0				
q	01		01		

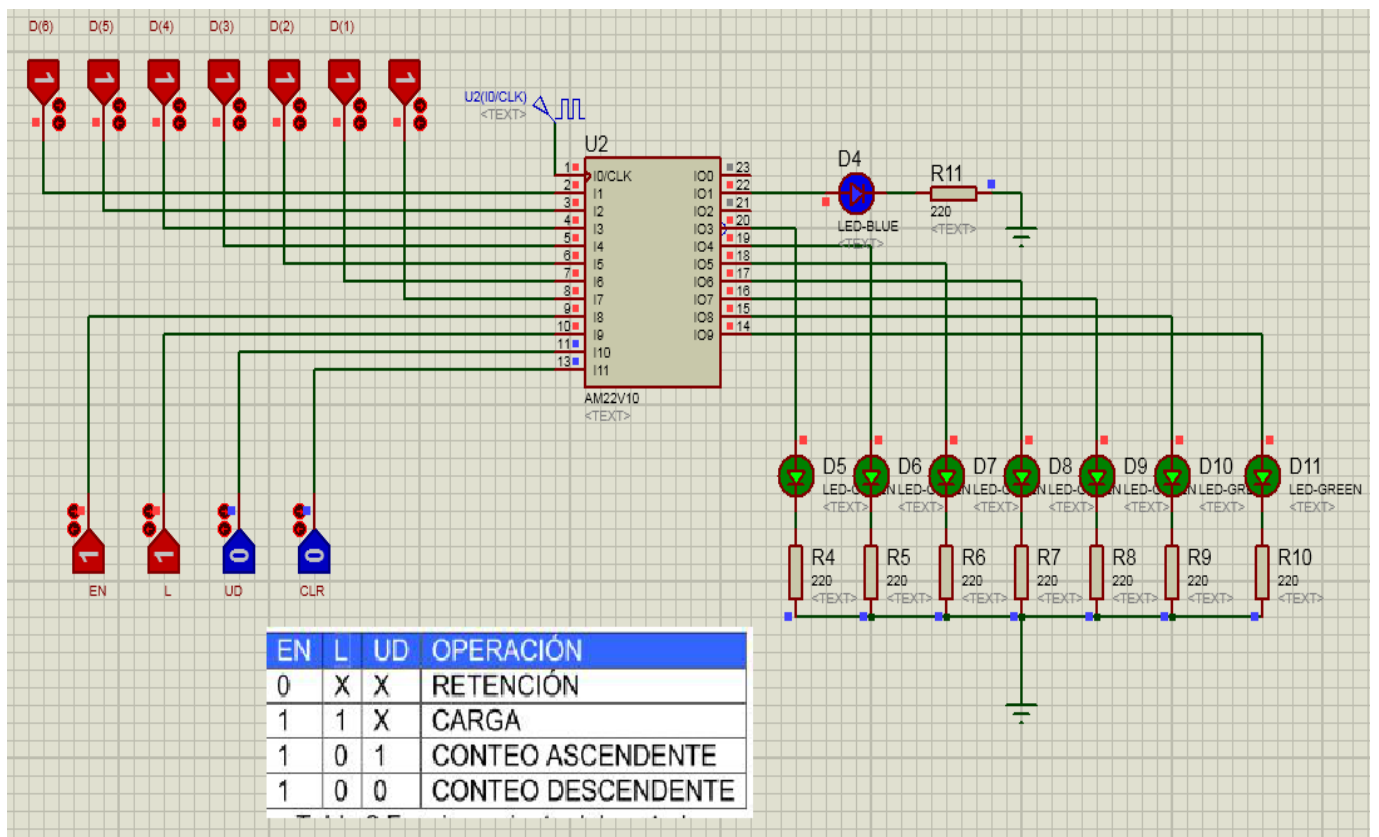
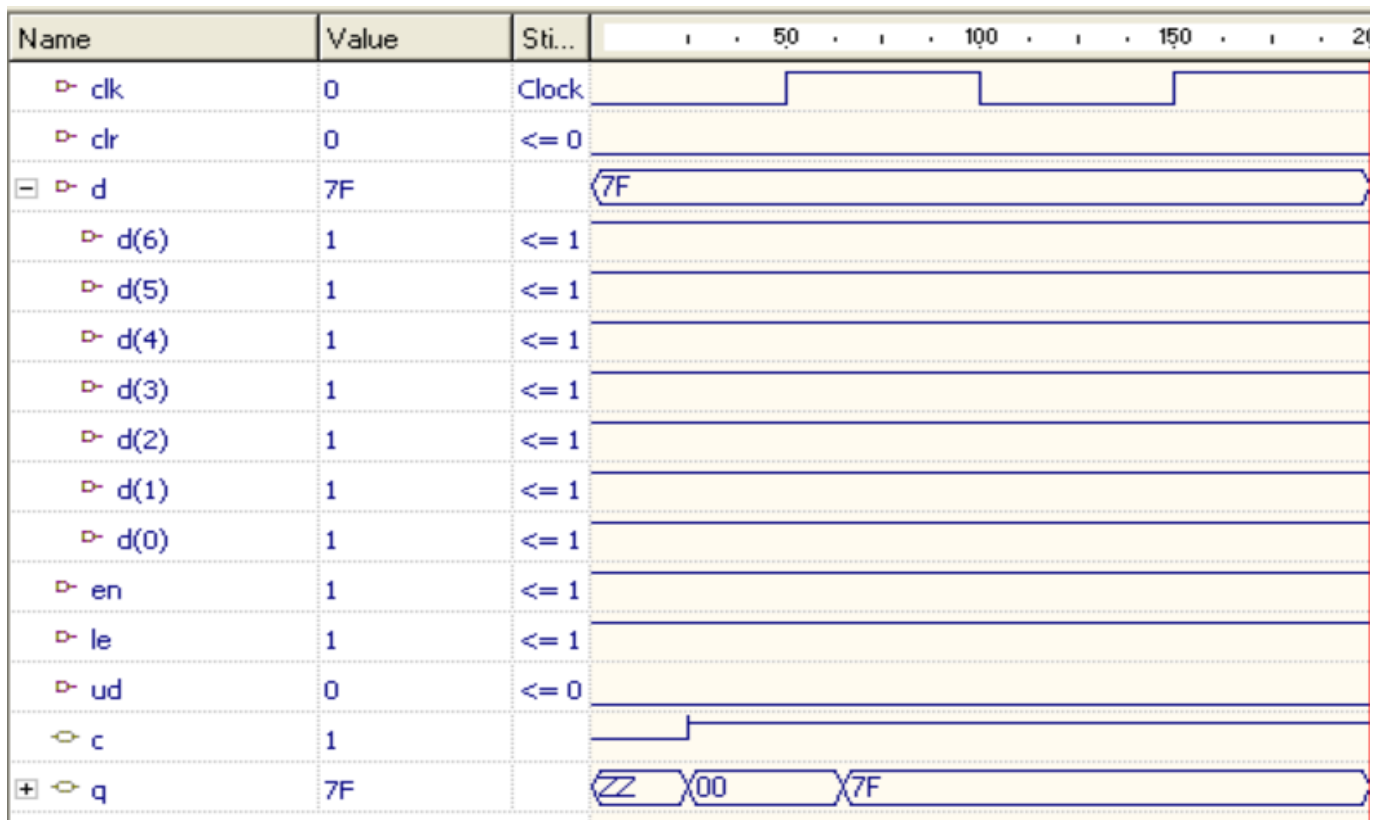


6) Mostrar acarreo descendente

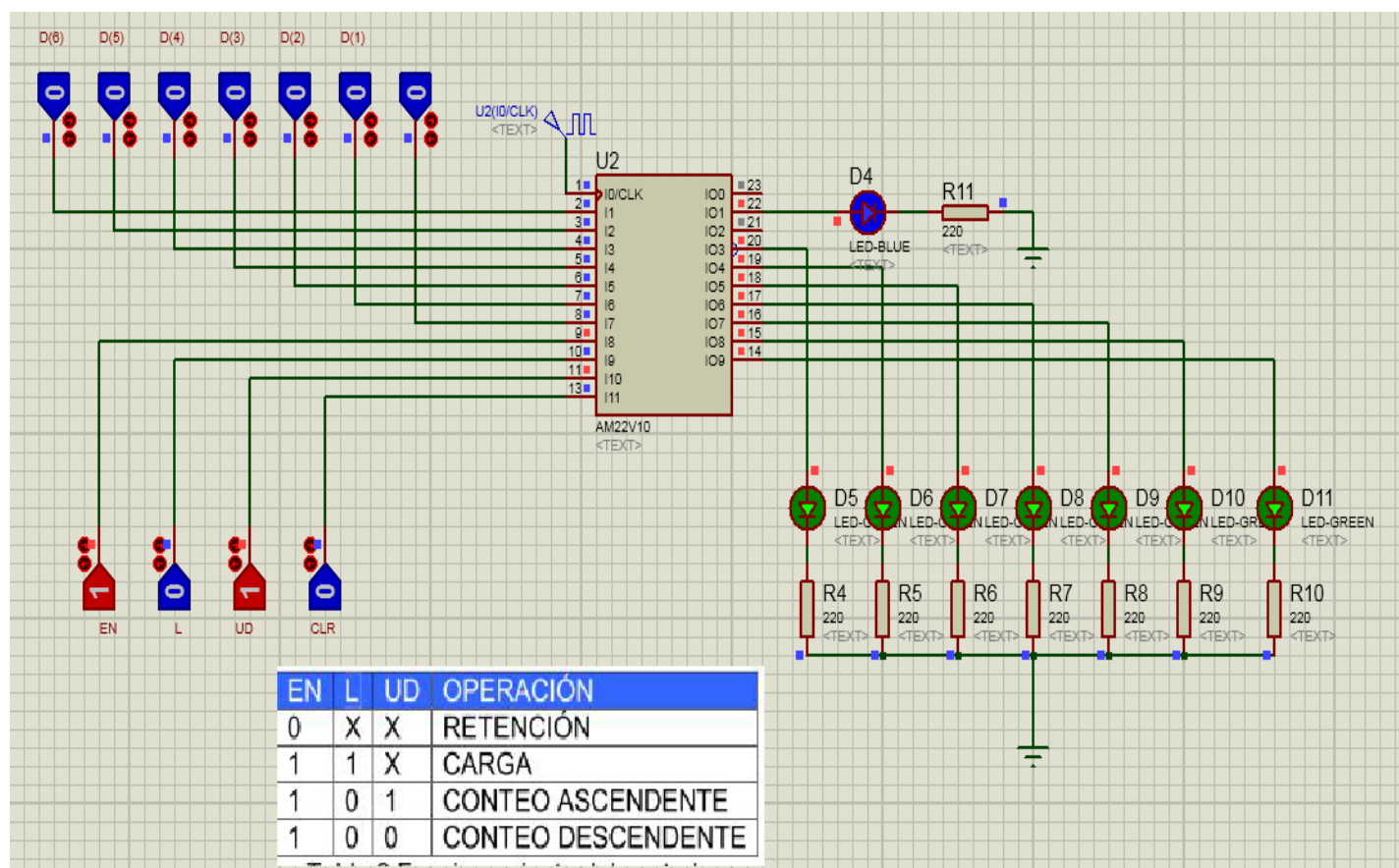
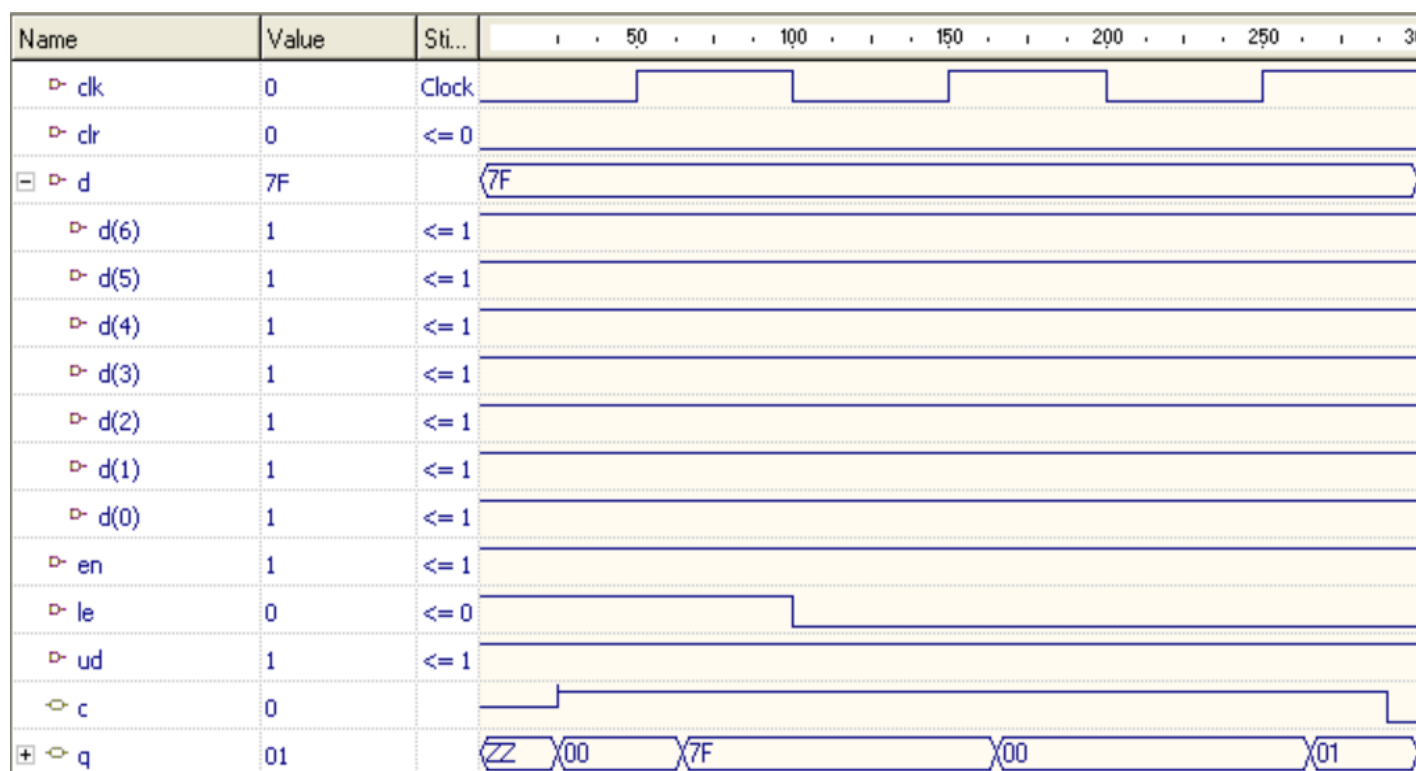
Name	Value	Sti...	
clk	0	Clock	
clr	0	<= 0	
d	01		01
d(6)	0	<= 0	
d(5)	0	<= 0	
d(4)	0	<= 0	
d(3)	0	<= 0	
d(2)	0	<= 0	
d(1)	0	<= 0	
d(0)	1	<= 1	
en	1	<= 1	
le	0	<= 0	
ud	0	<= 0	
c	1		
q	7F		ZZ 00 7F



7) Carga del máximo



8) Mostrar acarreo ascendente



RPT del contador de 3 bits

C22V10

clk =	1	24	* not used
clr =	2	23	* not used
en =	3	22	* not used
not used *	4	21	* not used
not used *	5	20	* not used
not used *	6	19	* not used
not used *	7	18	* not used
not used *	8	17	* not used
not used *	9	16	= q(2)
not used *	10	15	= q(1)
not used *	11	14	= q(0)
not used *	12	13	* not used

RPT del contador genérico

C22V10

clk =	1	24	* not used
d(6) =	2	23	* not used
d(5) =	3	22	= c
d(4) =	4	21	* not used
d(3) =	5	20	= q(6)
d(2) =	6	19	= q(5)
d(1) =	7	18	= q(4)
d(0) =	8	17	= q(3)
en =	9	16	= q(2)
le =	10	15	= q(1)
ud =	11	14	= q(0)
not used *	12	13	= clr

Cuestionario:

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?
R= 2 PLD's 22V10.
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?
R=1 555, 13 Flip Flops 4013.
3. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?
R= Para el contador de 3 bits se tienen 3 entradas y 3 salidas, para el contador genérico se tienen 12 entradas y 8 salidas.
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?
R= Para el contador de 3 bits se ocupan 9 términos producto y un 27 % de las macroceldas, para el contador genérico se ocupan 56 términos producto y se ocupa un 90% de las macroceldas.
5. ¿Por qué se tienen que usar variables para implementar la ecuación genérica del contador con señal de control *enable*?
R= Porque el enable es el que se encarga que se cuente a una posición más o a una posición menos.
6. ¿Qué nivel de diseño se implementó al usar los operadores + y – en el contador?
R= Se utilizó la librería aritmética para el uso de signos para propósitos.
7. ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?
R= Las señales asíncronas son clear y clock, ud, d, l, son síncronas.
8. ¿Qué puedes concluir de esta práctica?
R= En conclusión se logró utilizar más herramientas que se nos proporciona por VHDL para facilitar más la codificación del programa.