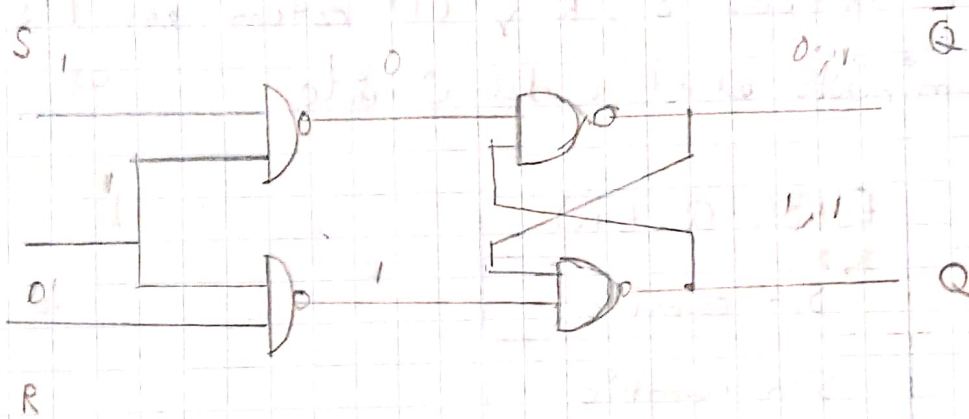
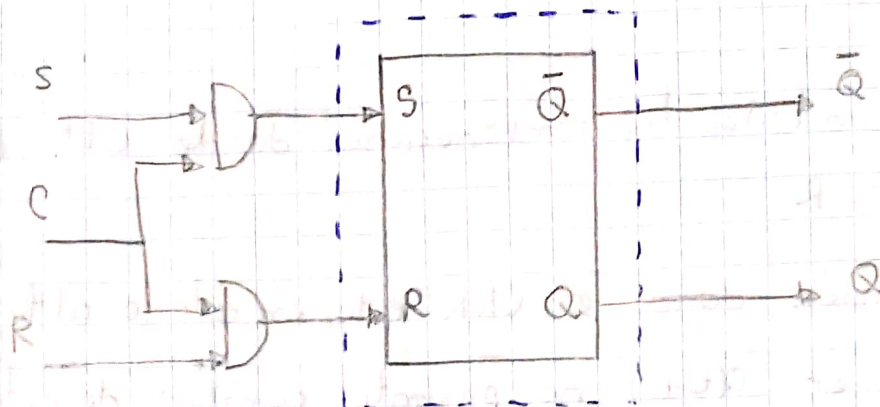


Tarea: Sacar el latch SR con compuertas NAND



NAND		
A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

S	R	C	$Q(t)$	$\bar{Q}(t)$	$Q(t+1)$	$\bar{Q}(t+1)$
0	0	0	1	0	1	0
0	0	0	0	1	0	1
0	0	1	1	0	1	0
0	0	1	0	1	0	1
0	1	0	1	0	1	0
0	1	0	0	1	0	1
0	1	1	1	0	1	0
0	1	1	0	1	1	0
1	0	0	1	0	1	0
1	0	0	0	1	0	1
1	0	1	1	0	1	1
1	0	1	0	1	0	1
1	1	0	1	0	1	0
1	1	0	0	1	0	1
1	1	1	1	0	X	X
1	1	1	0	1	X	X

\* Se hace el análisis de la tabla general de todas las combinaciones.

- Se observa que en todas las combinaciones donde CLK es 0 sin importar S o R
- Hay una excepción donde el CLK está en estado alto, no obstante S y R en  $Q(t+1)$  no presentan cambios de estado
- Cuando todas las entradas S, R y CLK están en 1's se vuelve indeterminado el estado del circuito.

C	S	R	Estado $Q(t+1)$
0	X	X	Sin cambio
1	0	0	Sin cambio
1	0	1	0, reset
1	1	0	1, set
1	1	1	Indeterminado