

## PRÁCTICA 2: "FLIP FLOPS"

### Código VHDL

```
1  --Santos Méndez Ulises Jesús
2  --2CV8
3  --Practica 2 "FLIP FLOPS"
4  library ieee;
5  use ieee.std_logic_1164.all;
6
7  entity pract is
8  port (j,k,clk,clr,t,d,s,r: in std_logic;
9         qsr,qd,qt,qjk: inout std_logic;
10         sel: in std_logic_vector(1 downto 0);
11         display: out std_logic_vector (5 downto 0));
12
13     attribute pin_numbers of pract: entity is
14         "j:2 k:3 t:4 s:5 r:6 d:7 sel(0):8 sel(1):9 clr:13 "
15 &    "display(5):21 display(4):20 display(3):19 "
16 &    "display(2):18 display(1):17 display(0):16 ";
17 end pract;
18
19 architecture Apract of pract is
20     signal Q: std_logic;
21
22 begin
23     --Flip Flop JK
24     process(clk,clr,qjk)
25     begin
26         if(clr= '1') then
27             qjk<='0';
28         elsif(rising_edge(clk)) then
29             qjk<=(j and (not qjk)) or ((not k)and qjk);
30         end if;
31     end process;
```

```
32 --Flip Flop T
33     process (clk, clr, qt)
34     begin
35         if (clr='1') then
36             qt<='0';
37         elsif (rising_edge(clk)) then
38             qt<= t xor qt;
39         end if;
40     end process;
41
42 --Flip Flop D
43     process (clk, clr, qd)
44     begin
45         if (clr='1') then
46             qd<='0';
47         elsif (rising_edge(clk)) then
48             qd<=d;
49         end if;
50     end process;
51 --Flip Flop SR
52     process (clk, clr, qsr)
53     begin
54         if (clr='1') then
55             qsr<='0';
56         elsif (rising_edge(clk)) then
57             qsr<= s or ((not r) and qsr);
58         end if;
59     end process;
60 --Multiplexor
61     process (qjk, sel, qt, qd, qsr, q)
62     begin
63         if (sel="00") then
64             Q<= qjk;
65         elsif (sel="01") then
66             Q<= qt;
67         elsif (sel="10") then
68             Q<= qd;
69         else
70             Q<= qsr;
71         end if;
72     end process;
```

```
73 --Decodificador
74     process (Q)
75     begin
76         case Q is
77             when '0'=> display <= "111111";
78             when others=> display <="011000";
79         end case;
80     end process;
81 end Apract;
```

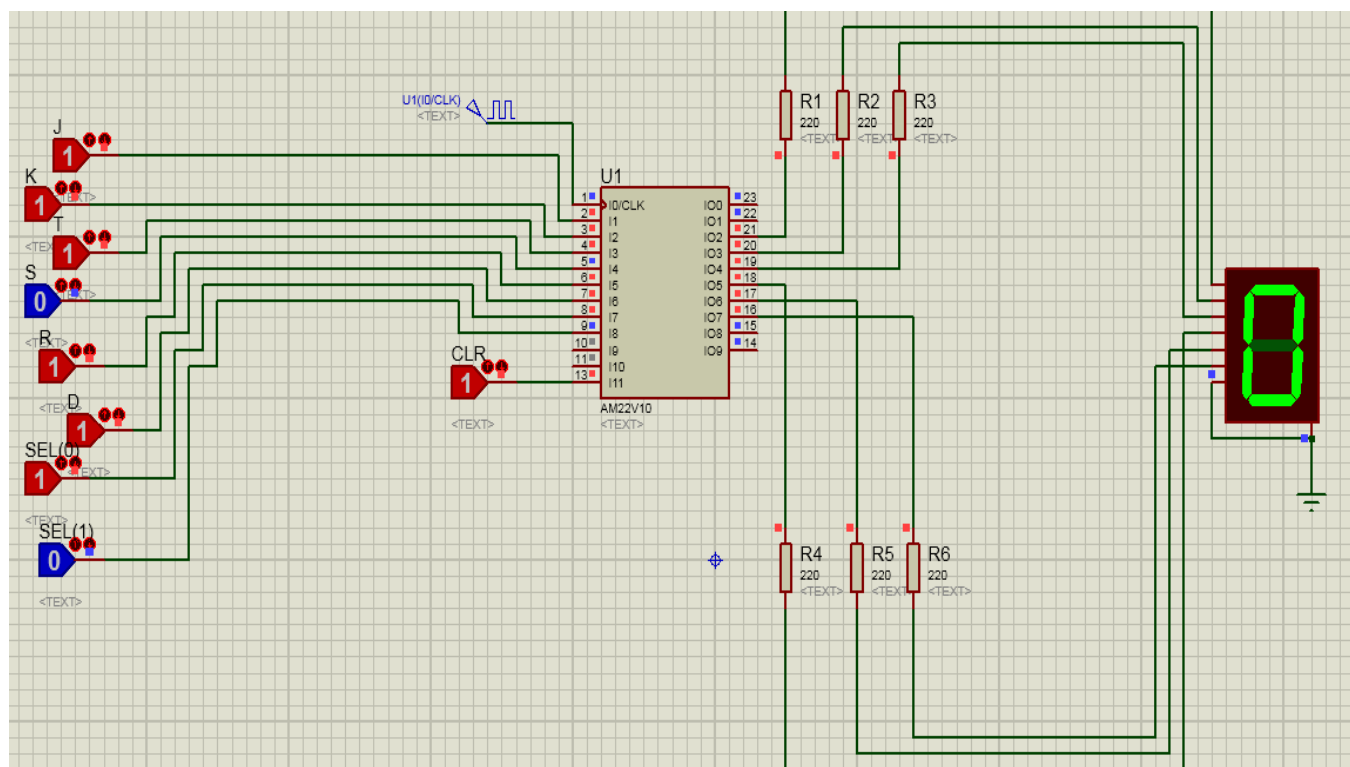
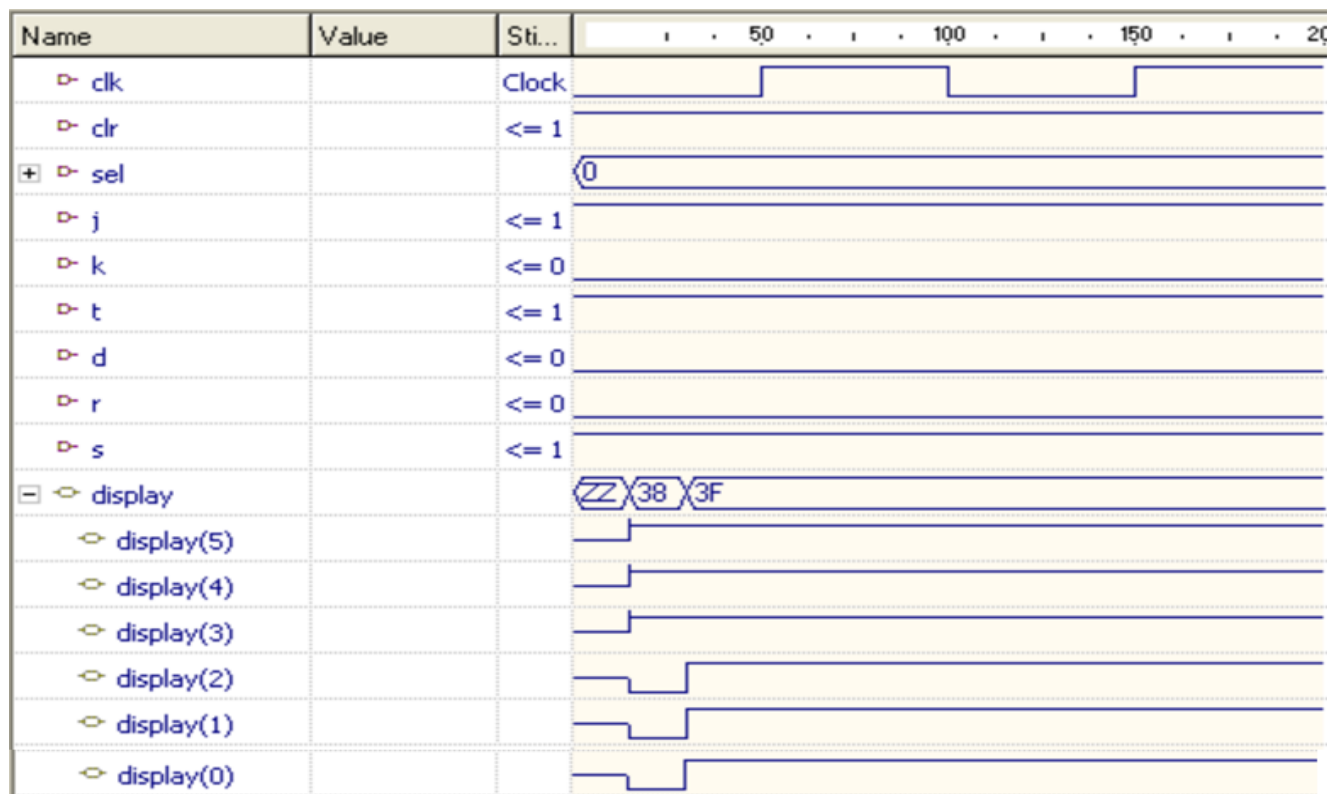
#### Diagrama de pines del PALCE22V10-15PC (.rpt)

##### C22V10

clk =  1	24  * not used
j =  2	23 = qsr
k =  3	22 = qd
t =  4	21 = display(5)
s =  5	20 = display(4)
r =  6	19 = display(3)
d =  7	18 = display(2)
sel(0) =  8	17 = display(1)
sel(1) =  9	16 = display(0)
not used * 10	15 = qjk
not used * 11	14 = qt
not used * 12	13 = clr

## Simulación en Active-HDL Sim y Proteus

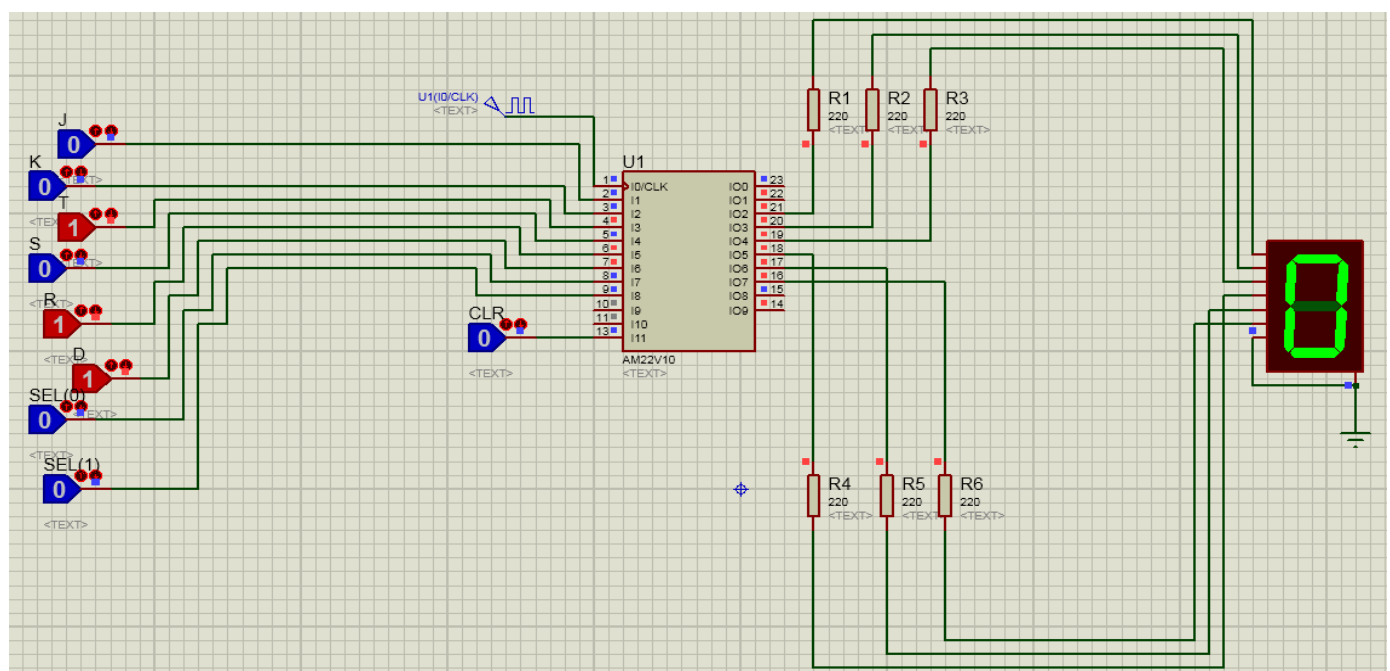
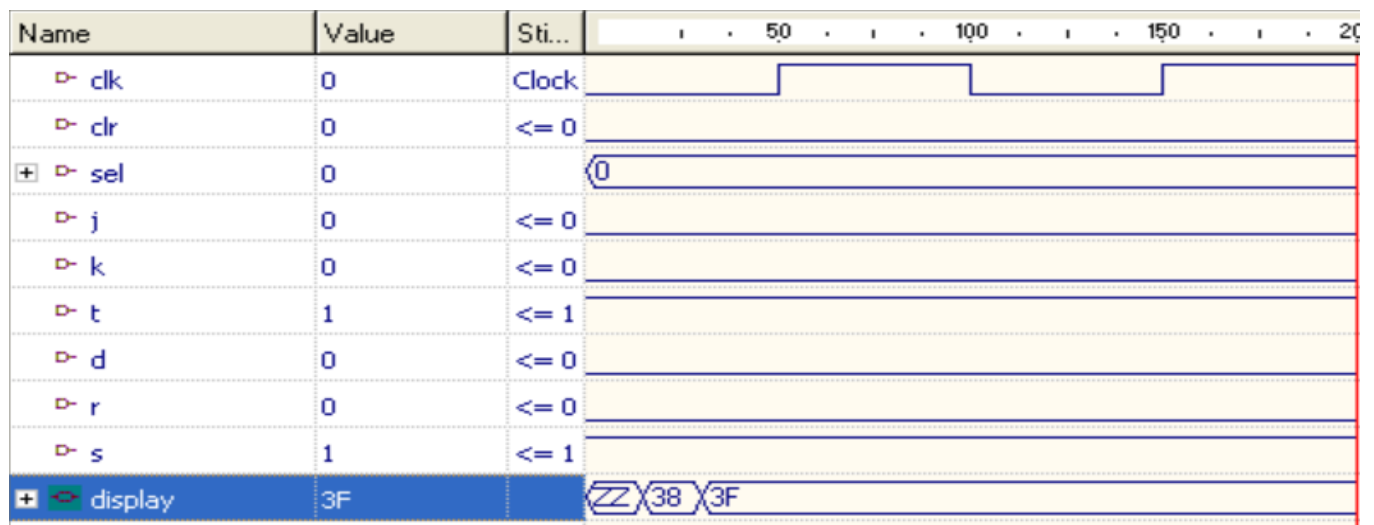
- 1) Caso donde clear está en 1: No importa que valor se introduzca en las entradas y que se seleccione, nuestro resultado será 0.



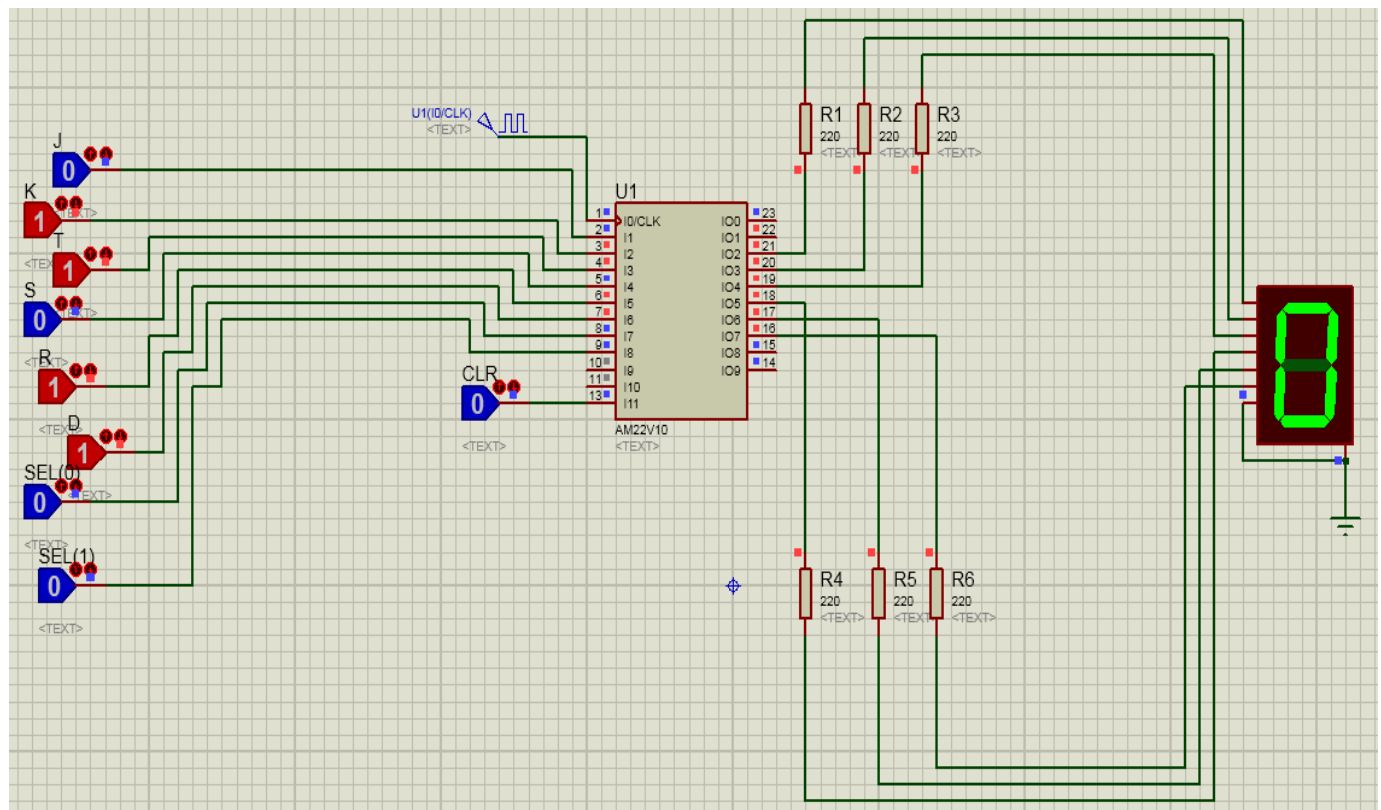


## 2) Se comprueba la tabla de verdad del flip flop JK

J	K	CLK	Q(t+1)
0	0	↑ ó ↓	Q(t)
0	1	↑ ó ↓	0
1	0	↑ ó ↓	1
1	1	↑ ó ↓	$\overline{Q(t)}$

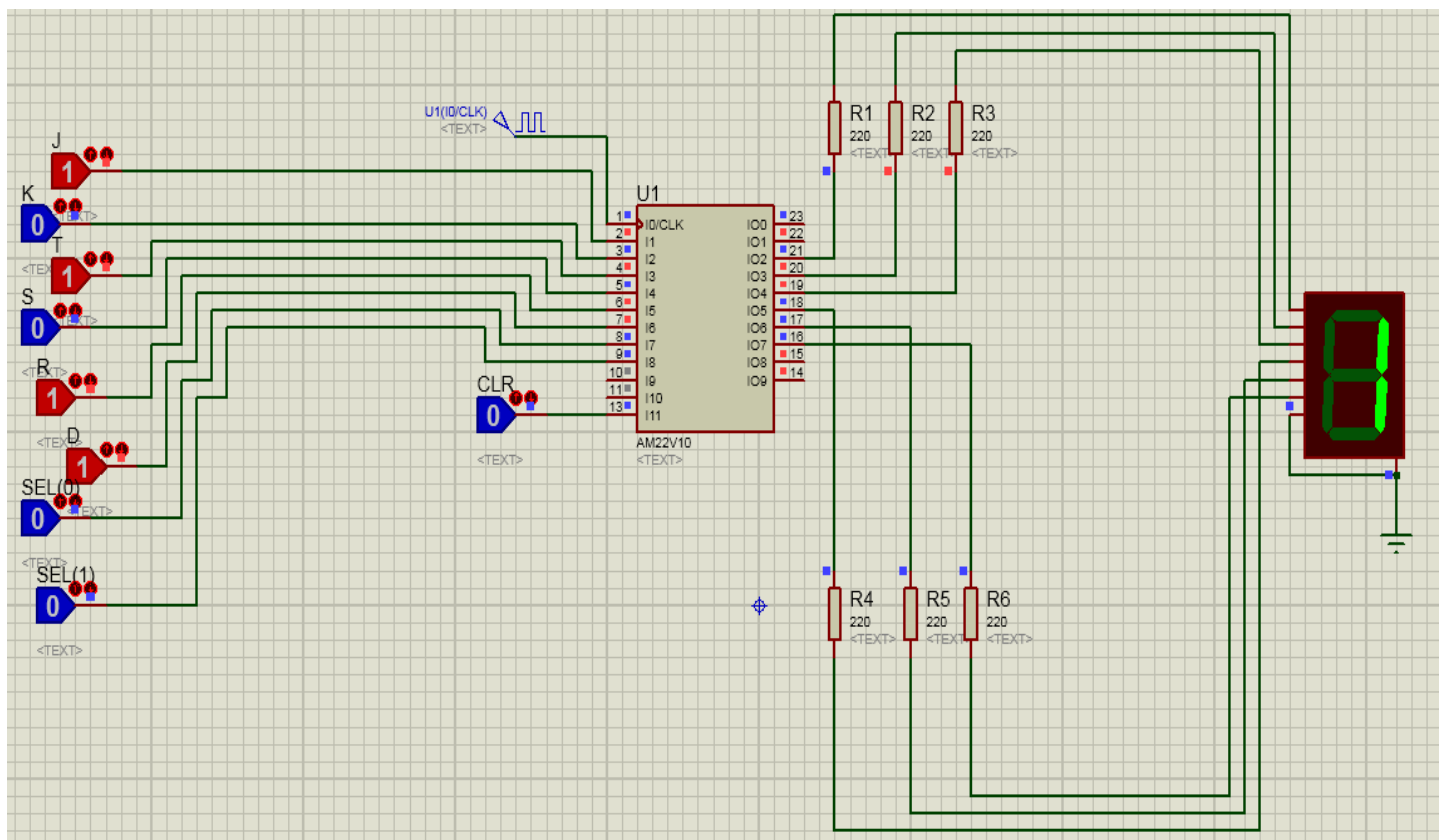


Name	Value	Sti...	50	100	150	200
clk	0	Clock				
clr	0	<= 0				
sel	0	<= 0				
j	0	<= 0				
k	1	<= 1				
t	1	<= 1				
d	0	<= 0				
r	0	<= 0				
s	1	<= 1				
display	3F		38	3F		



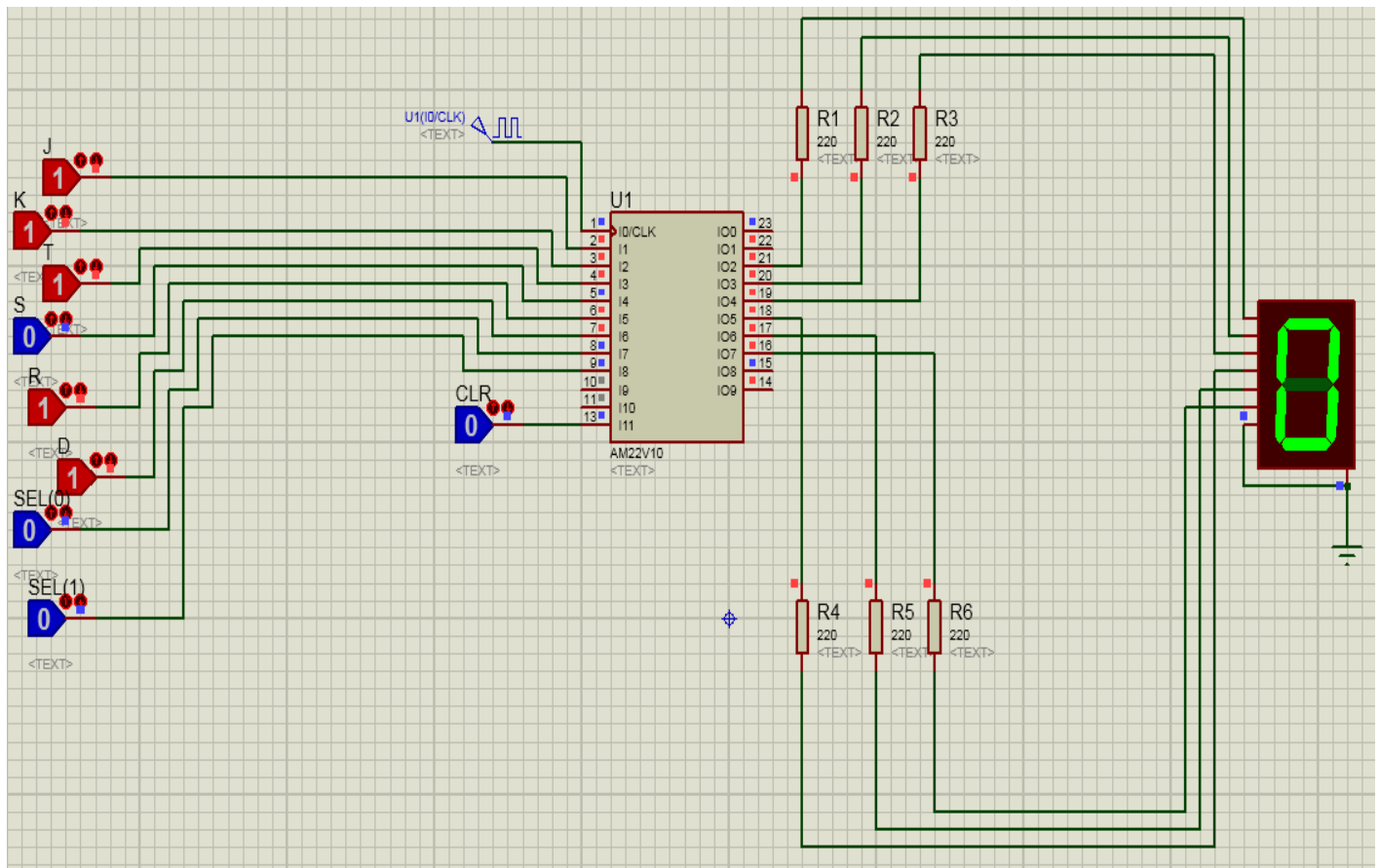


Name	Value	Sti...	
clk	0	Clock	
clr	0	<= 0	
sel	0		0
j	1	<= 1	
k	0	<= 0	
t	1	<= 1	
d	0	<= 0	
r	0	<= 0	
s	1	<= 1	
display	18		ZZ 38 3F 1F 18





Name	Value	Sti...	
clk	0	Clock	
clr	0	$\leq 0$	
sel	0		0
j	1	$\leq 1$	
k	1	$\leq 1$	
t	1	$\leq 1$	
d	0	$\leq 0$	
r	0	$\leq 0$	
s	1	$\leq 1$	
display	18		38 3F 1F 18 38 3F



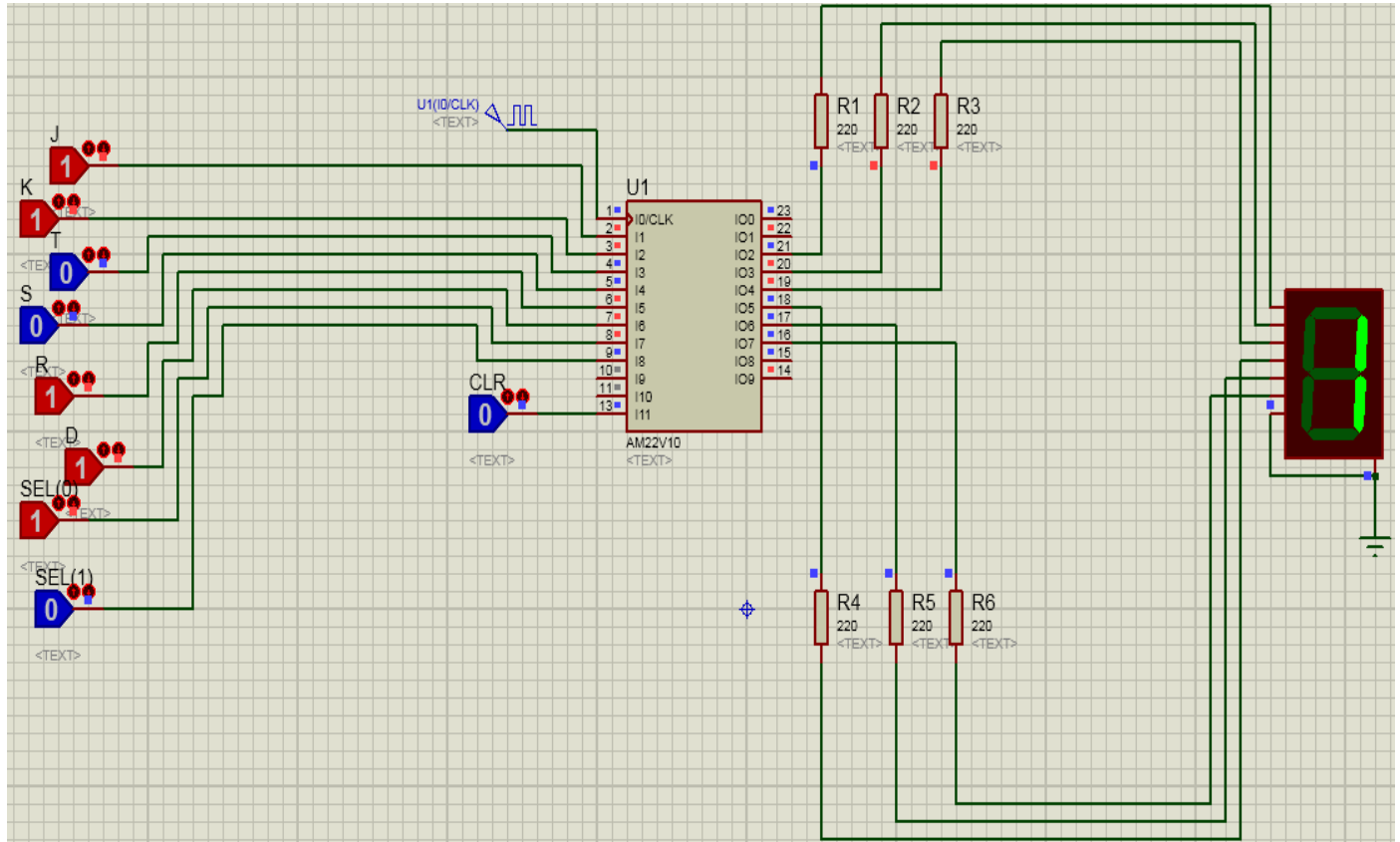
Presento oscilaciones el display en 1 y 0 y eso se debe a que en la tabla de estados y excitación el comportamiento depende mucho de  $Q(t)$  y será diferente en  $Q(t+1)$ .



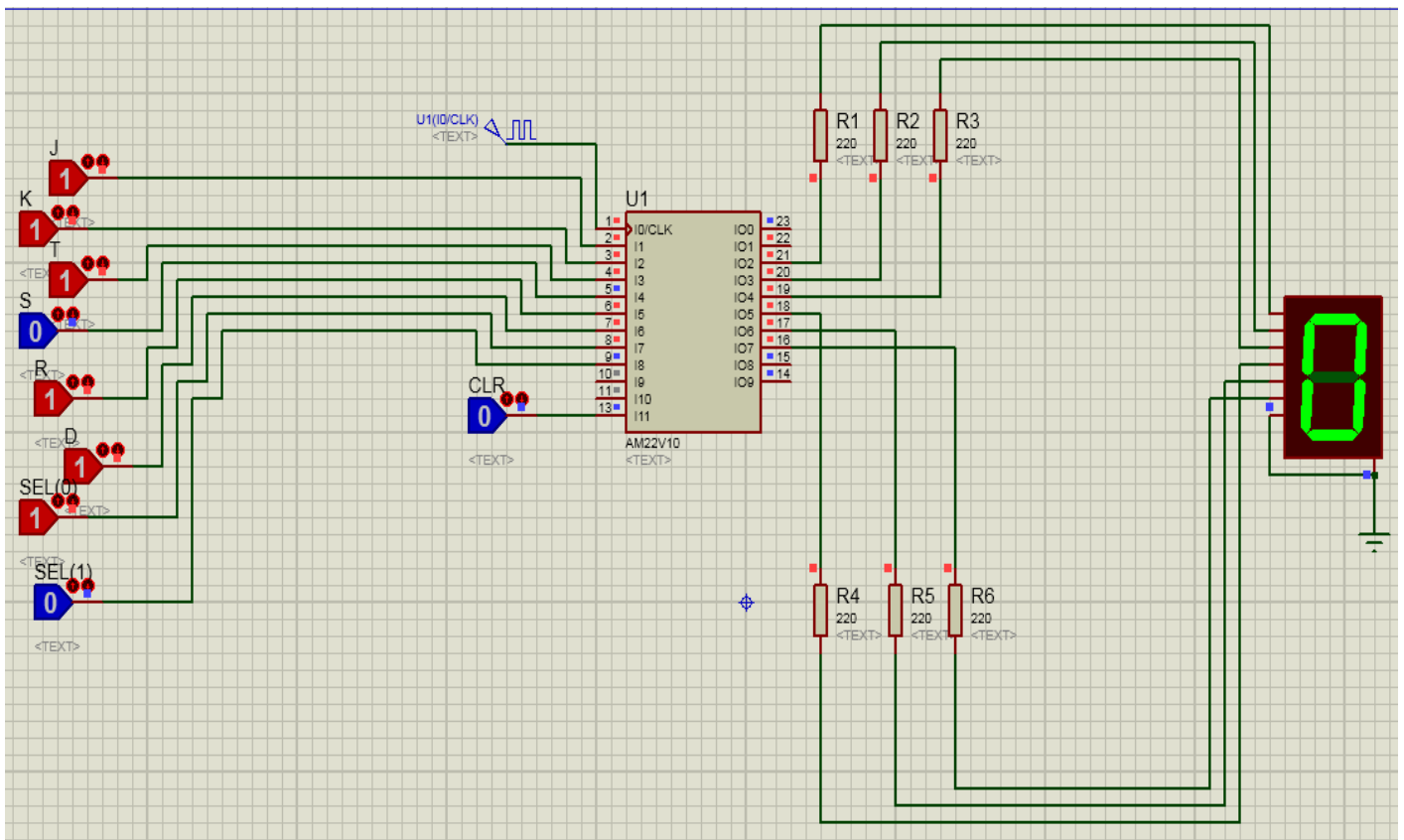
### 3) Se comprueba la tabla de verdad del Flip Flop T

T	CLK	Q(t+1)
0	$\uparrow$ ó $\downarrow$	$Q(t)$
1	$\uparrow$ ó $\downarrow$	$\overline{Q(t)}$

Name	Value	Sti...	
clk	0	Clock	
clr	0	$\leq 0$	
sel	1	$\{1$	
j	1	$\leq 1$	
k	1	$\leq 1$	
t	0	$\leq 0$	
d	0	$\leq 0$	
r	0	$\leq 0$	
s	1	$\leq 1$	
display	3F	$\{ZZ\}38\{3F$	



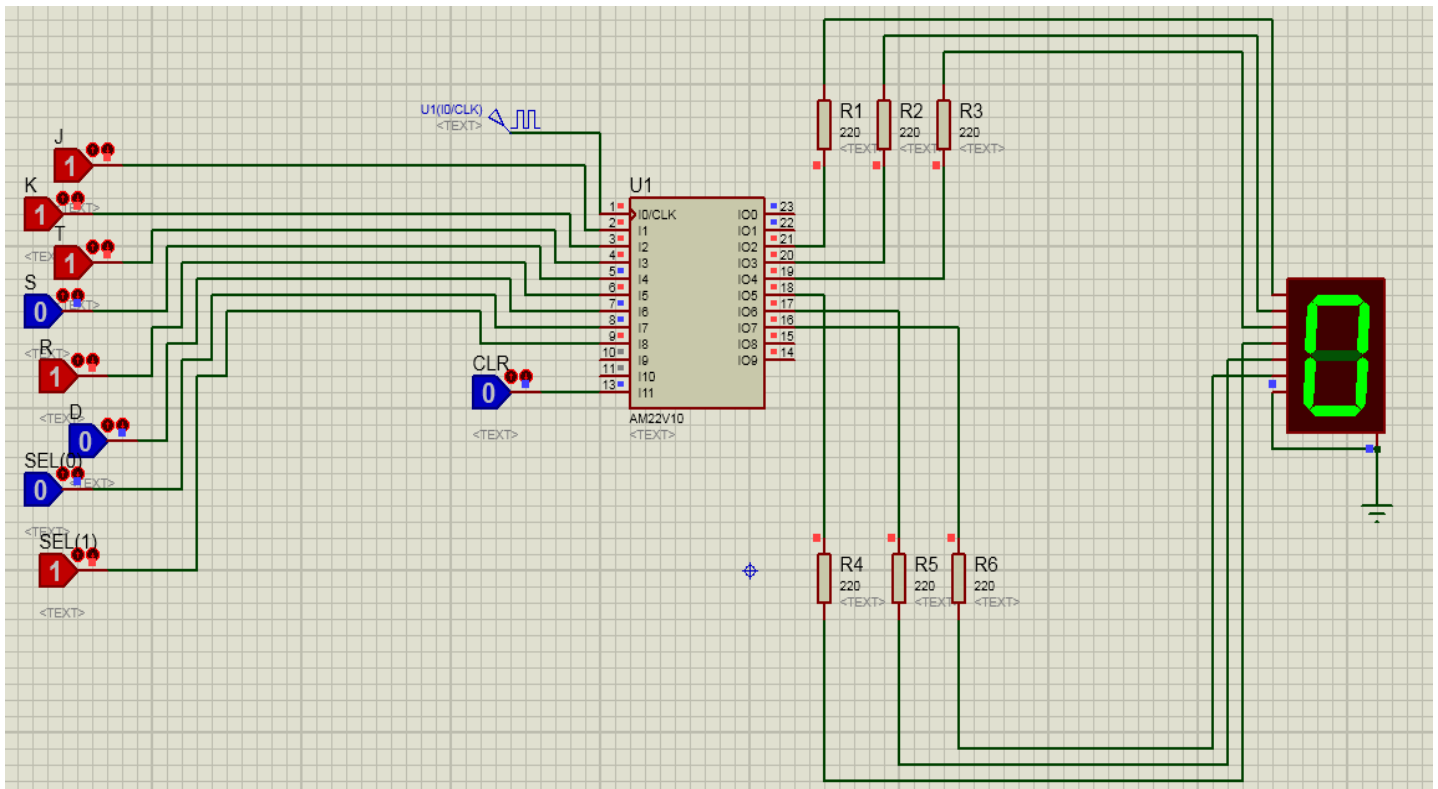
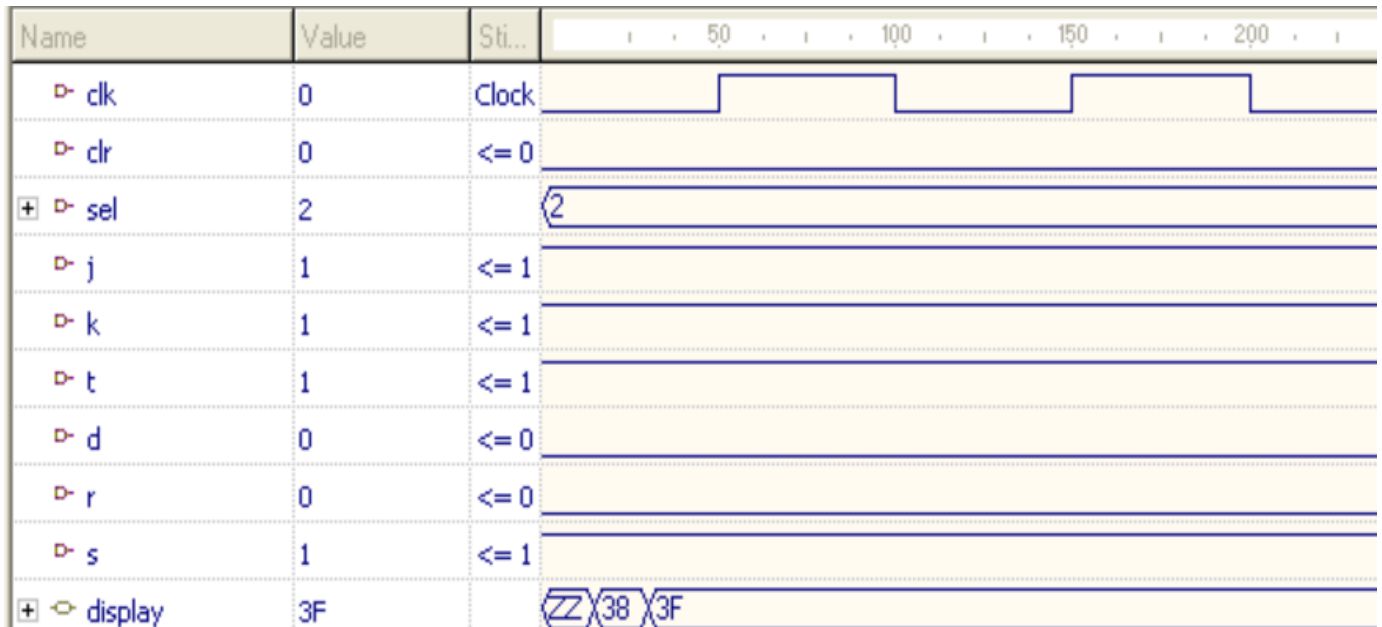
Name	Value	Sti...	
clk	0	Clock	
clr	0	$\leq 0$	
sel	1		1
j	1	$\leq 1$	
k	1	$\leq 1$	
t	1	$\leq 1$	
d	0	$\leq 0$	
r	0	$\leq 0$	
s	1	$\leq 1$	
display	18		38 3F 1F 18 38 3F



El Flip Flop tipo T también oscila debido a que dependiendo del pulso que se encuentre y de  $Q(t)$  se verá reflejado en  $Q(t+1)$ .

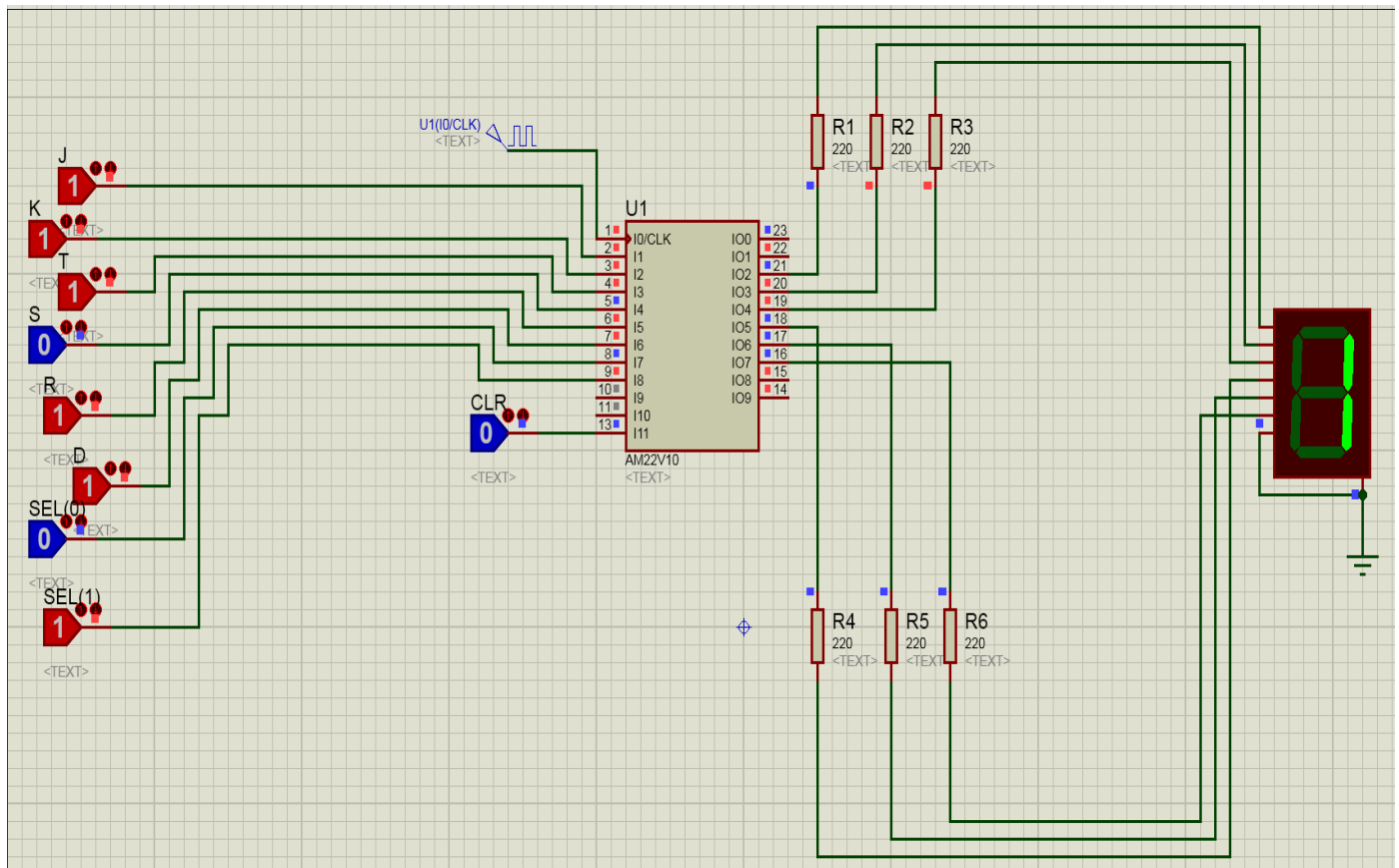
#### 4) Se comprueba la tabla de verdad del Flip Flop D

D	CLK	Q(t+1)
0	↑ ó ↓	0
1	↑ ó ↓	1



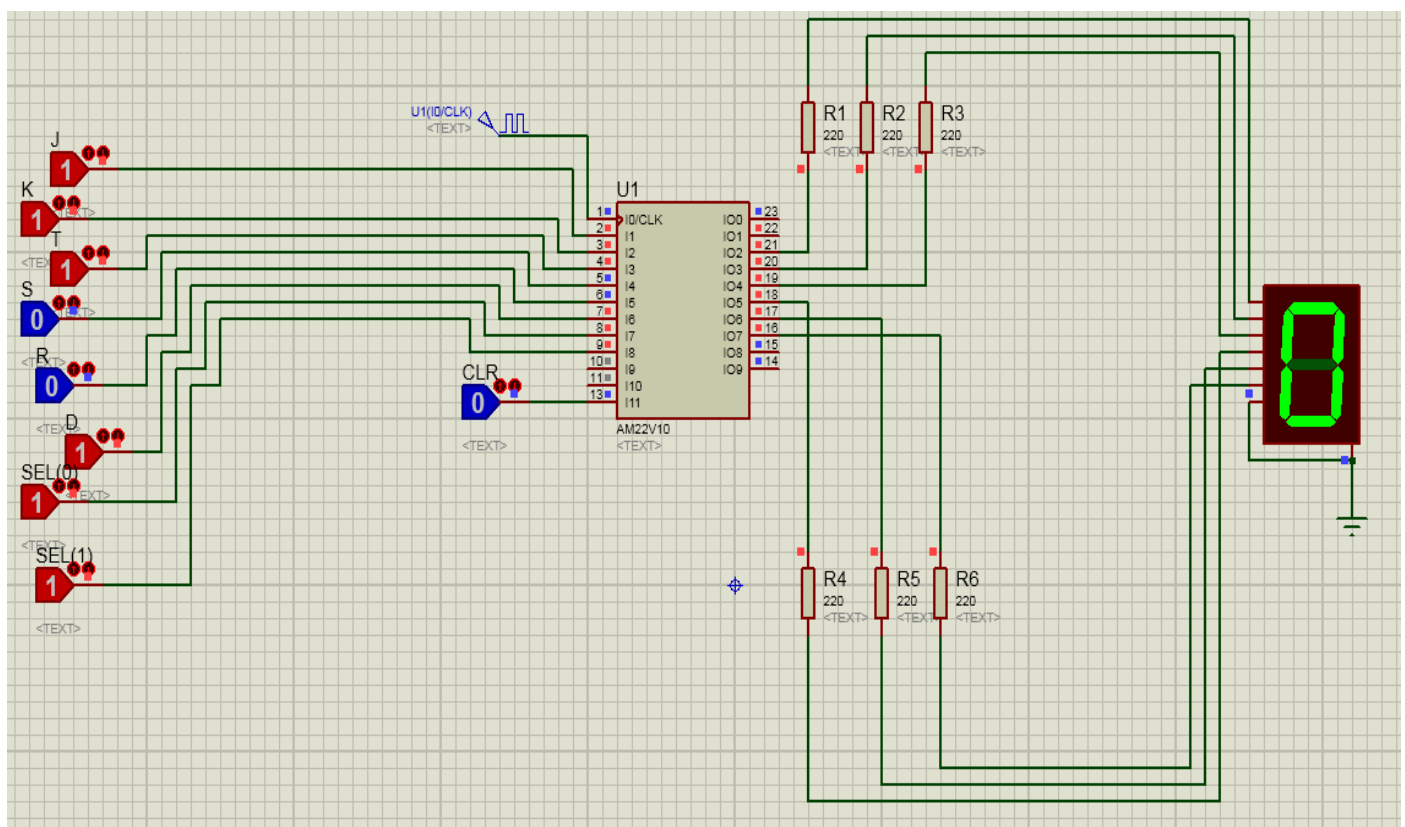


Name	Value	Sti...	
clk	0	Clock	
clr	0	<= 0	
sel	2	<2	
j	1	<= 1	
k	1	<= 1	
t	1	<= 1	
d	1	<= 1	
r	0	<= 0	
s	1	<= 1	
display	18		ZZ 38 3F 1F 18



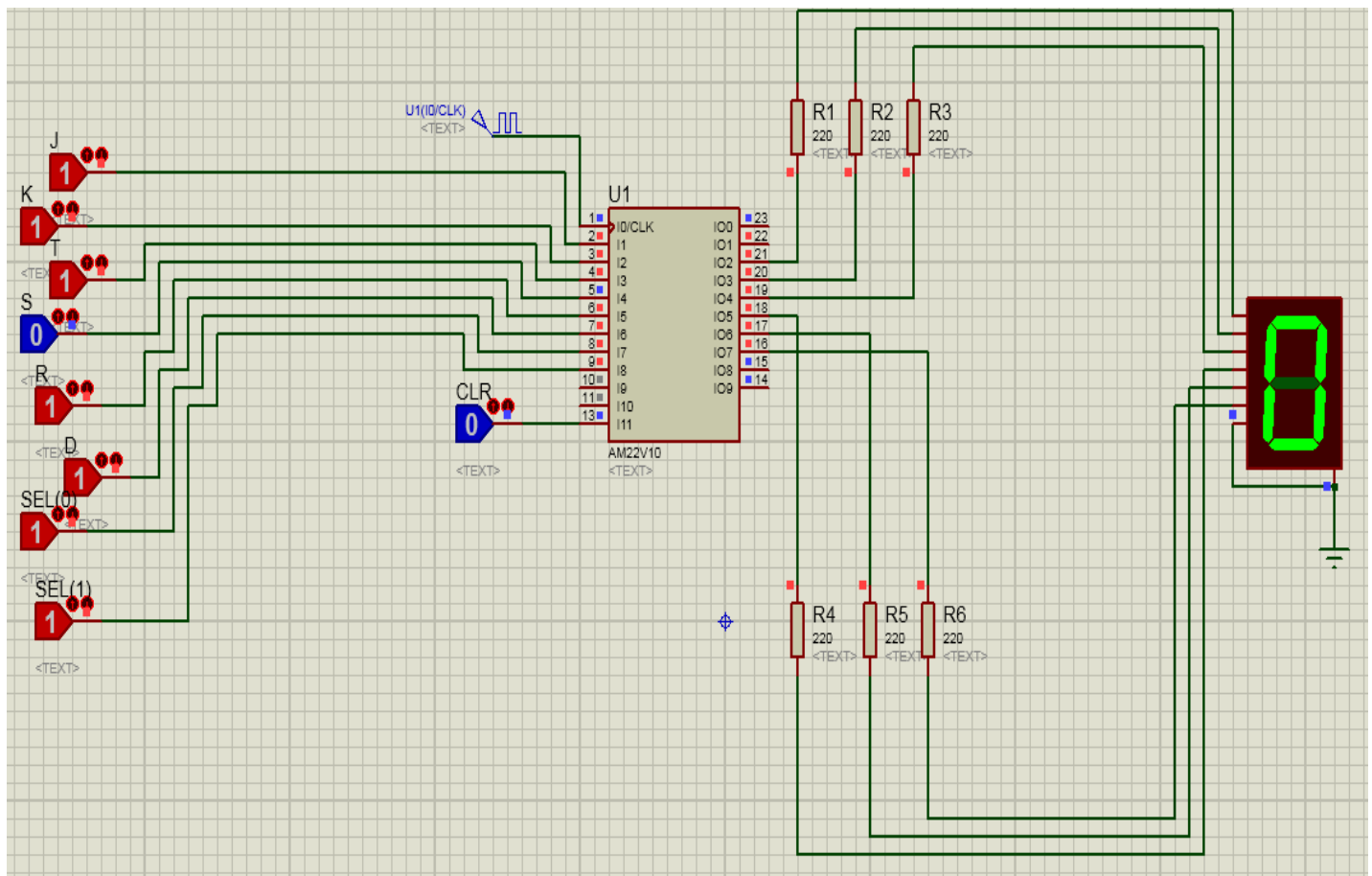
## 5) Se comprueba la tabla de verdad del Flip Flop RS

Name	Value	Sti...	
clk	0	Clock	
clr	0	$\leq 0$	
sel	3		3
j	1	$\leq 1$	
k	1	$\leq 1$	
t	1	$\leq 1$	
d	1	$\leq 1$	
s	0	$\leq 0$	
r	0	$\leq 0$	
display	3F		3F



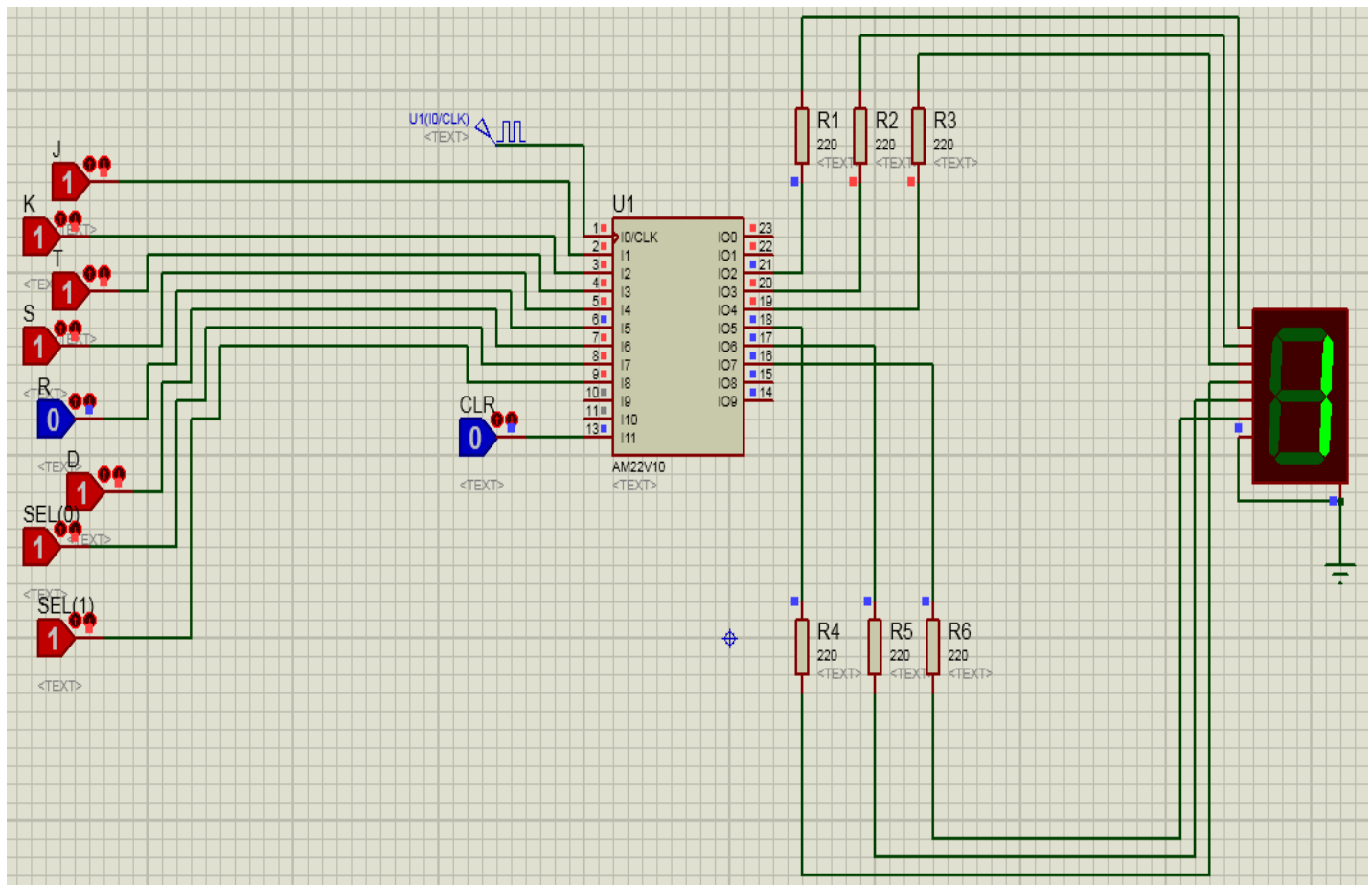


Name	Value	Sti...	
clk	0	Clock	
clr	0	<= 0	
sel	3		3
j	1	<= 1	
k	1	<= 1	
t	1	<= 1	
d	1	<= 1	
s	0	<= 0	
r	1	<= 1	
display	3F		ZZ383F





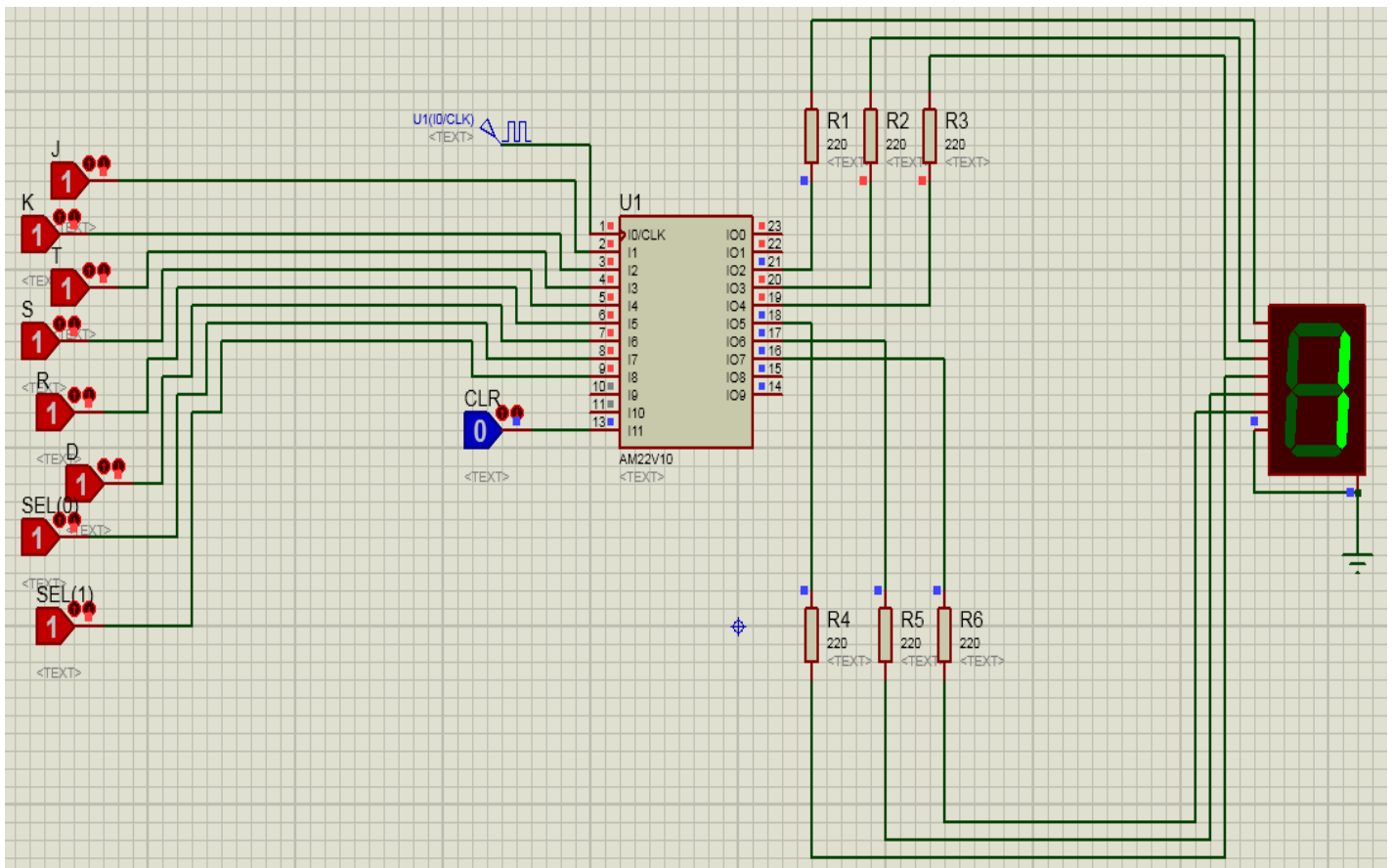
Name	Value	Sti...	
clk	0	Clock	
clr	0	<= 0	
sel	3		3
j	1	<= 1	
k	1	<= 1	
t	1	<= 1	
d	1	<= 1	
s	1	<= 1	
r	0	<= 0	
display	18		38 3F 1F 18







Name	Value	Sti...	
clk	0	Clock	
clr	0	<= 0	
sel	3		3
j	1	<= 1	
k	1	<= 1	
t	1	<= 1	
d	1	<= 1	
s	1	<= 1	
r	1	<= 1	
display	18		38 3F 1F 18





## CUESTIONARIO

1) ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?

R= 1 dispositivo PLD 22V10

2) ¿Cuántos dispositivos de la serie 74xx(TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?

- 1 FF 4013 (FFD)
- 1 NE555
- 1 7404 (NOT)
- 1 7408 (AND)
- 1 7432(OR)
- 1 74ls139 (Multiplexor)
- 1 74ls47 (codificador)

3) ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?

R= 4 pines para QJK, QT, QD, QSR

4) ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?

R= 16 términos productos y se ocupa un 90% del PLD

5) ¿Por qué aparecen las señales QJK, QT, QD Y QRS entre paréntesis en los pines de salida?

R= Porque son entradas/salidas.

6) ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?

R= La señales de entrada funcionan de forma síncrona y de manera asíncrona las salidas y el reloj.

7) ¿Qué puedes concluir de esta práctica?

R= En conclusión, esta práctica nos ayudo a ver el comportamiento de los Flip Flops y como construirlos a partir de 1 solo Flip Flop en este caso tipo D ya que el PLD tiene en su arquitectura solo Flip Flops tipo D.