



PRÁCTICA 5 “MENSAJE MULTIPLEXADO”

Código VHDL

```
1 --Santos Mèndez Ulises Jesùs
2 --2CV8
3 --Practica 5 "Mensaje Multiplexado"
4 library ieee;
5 use ieee.std_logic_1164.all;
6
7 entity mensaje is
8 port(clr,clk: in std_logic;
9       display: out std_logic_vector(6 downto 0);
10      cat: inout std_logic_vector(2 downto 0));
11
12      attribute pin_numbers of mensaje: entity is
13        "display(6):23 display(5):22 display(4):21 "
14 &    "display(3):20 display(2):19 display(1):18 "
15 &    "display(0):17 cat(2):16 cat(1):15 cat(0):14 ";
16 end mensaje;
17
18 architecture dismux of mensaje is
19 constant d0: std_logic_vector(6 downto 0) := "0111110";---U
20 constant d1: std_logic_vector(6 downto 0) := "1011011";---S
21 constant d2: std_logic_vector(6 downto 0) := "0110011";---4
22 begin
23     deco: process(cat)
24     begin
```

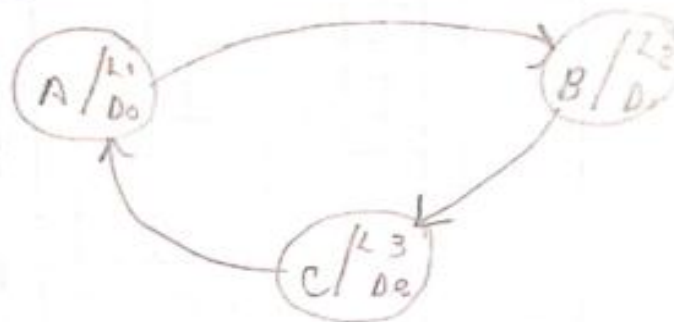
```
25         case cat is
26             when "110" => display <= d0;
27             when "101" => display <= d1;
28             when "011" => display <= d2;
29             when others => display <= "-----";
30         end case;
31     end process deco;
32
33     tiempo: process(clk,clr)
34     begin
35         if(clr='1') then
36             cat <= "110";
37         elsif(rising_edge(clk)) then
38             cat <= to_stdlogicvector(to_bitvector(cat)
39                 rol 1);
40         end if;
41     end process tiempo;
42 end dismux;
```

Análisis de la Máquina de Moore con Flip Flop T

Santos Méndez Ulises Jesús

Tarea - Práctica 5

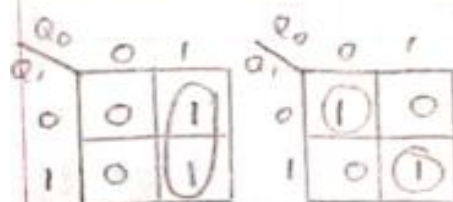
Realizar máquina de Moore con FF'T con código Gray



$A \rightarrow 00$
 $B \rightarrow 01$
 $C \rightarrow 11$

Edo_Act	Edo_sig	D0	D1	D2	a	b	c	d	e	f	g	
A	B	1	1	0	0	1	1	1	1	1	0	1 1
B	C	1	0	1	1	0	1	1	0	1	1	1 1
C	A	0	1	1	0	1	1	0	0	1	1	1 1

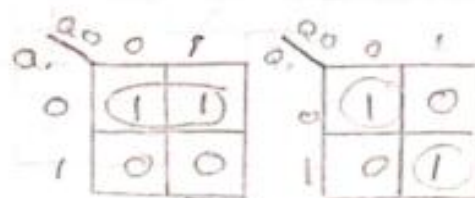
Edo_Act	Edo_sig	D0	D1	D2	a	b	c	d	e	f	g	T1	T0
Q1 Q0	Q1+ a0+												
0 0	0 1	1	1	0	0	1	1	1	1	1	0	0	1
0 1	1 1	1	0	1	1	0	1	1	0	1	1	1	0
1 1	0 0	0	1	1	0	1	1	0	0	1	1	1	1



$$T_1 = Q_0$$

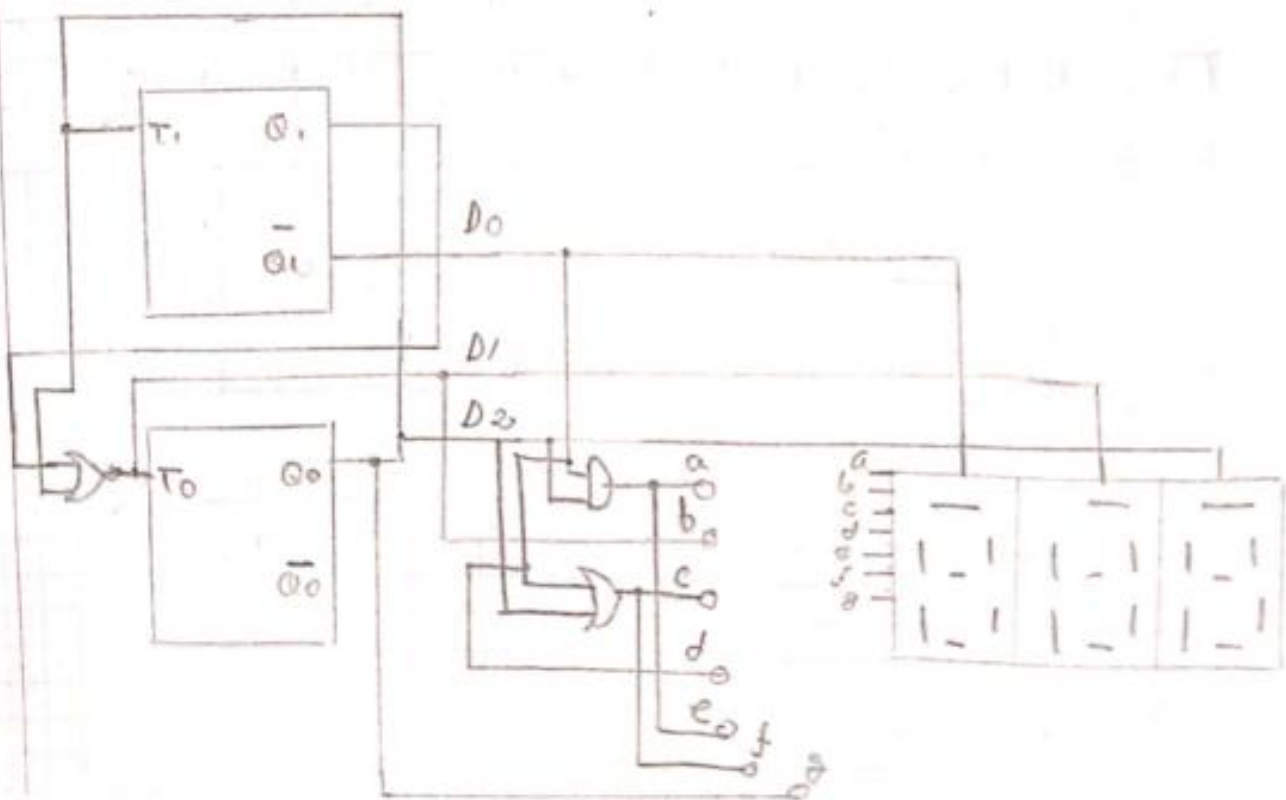
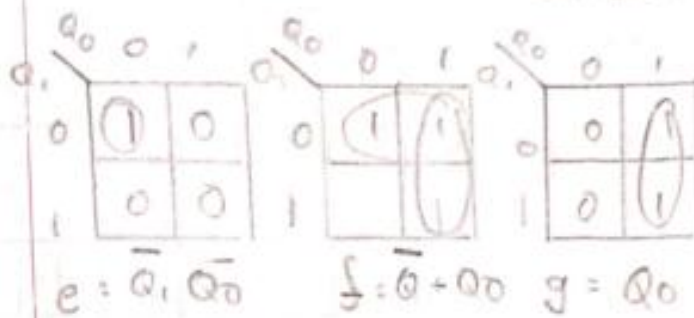
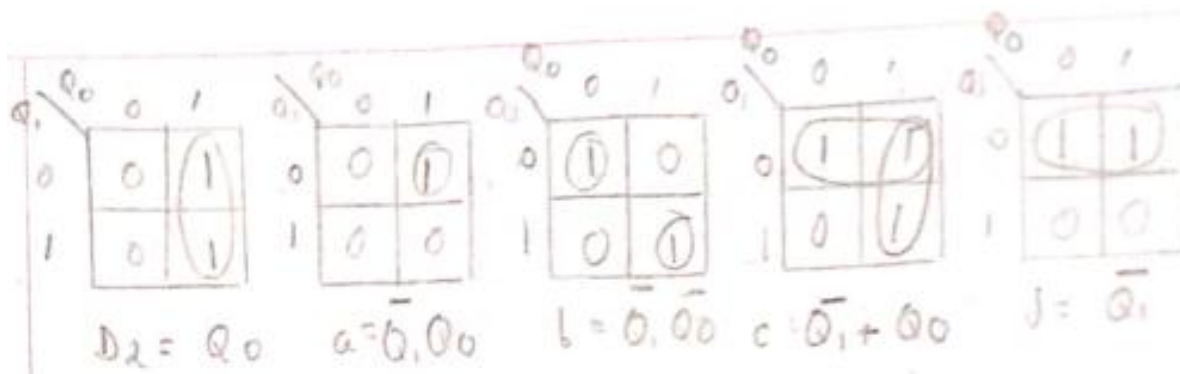
$$T_0 = \bar{Q}_1 \bar{Q}_0 +$$

$$Q_1 Q_0 = Q_1 \otimes Q_0$$

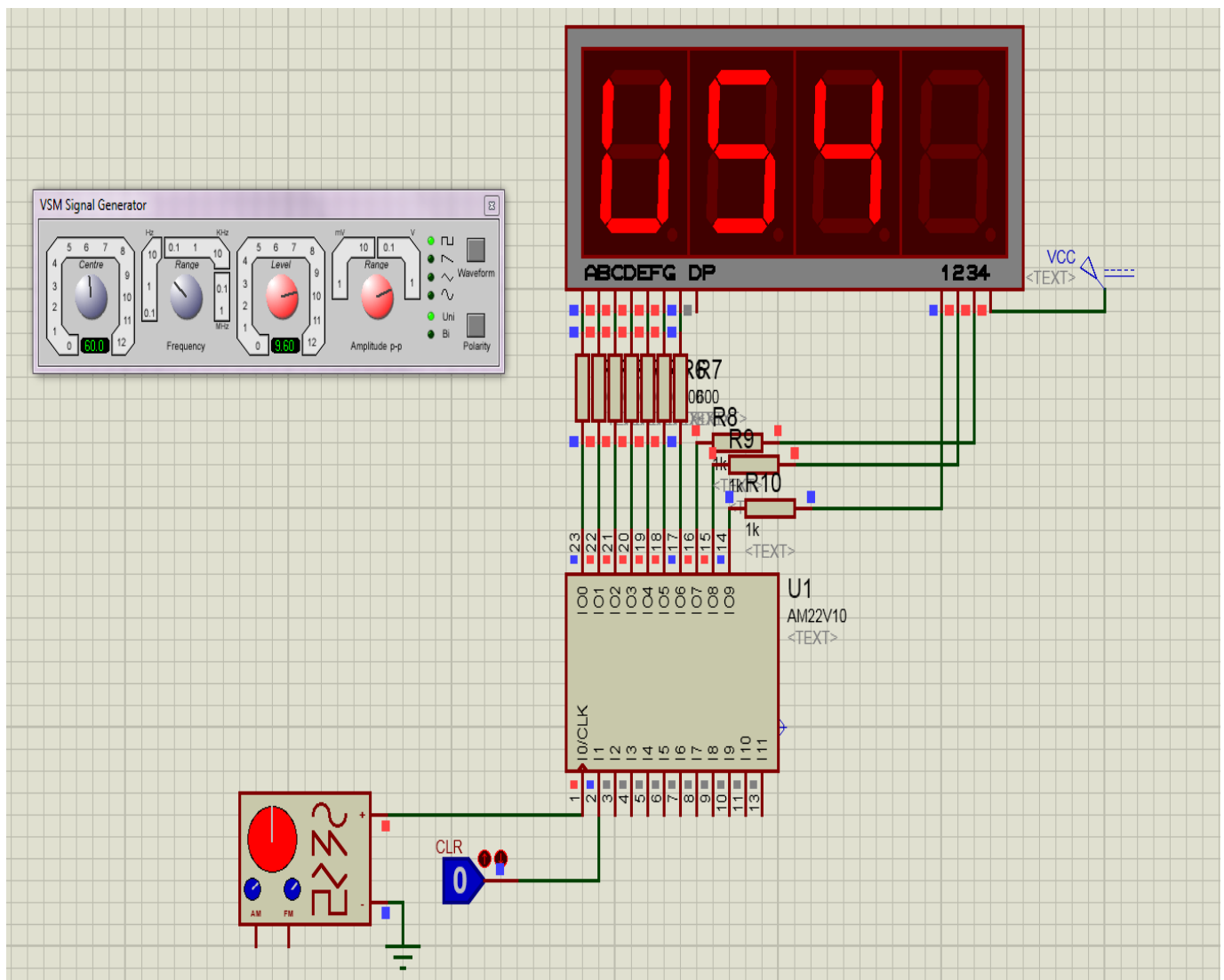


$$D_0 = Q_1$$

$$D_1 = Q_1 \otimes Q_0$$

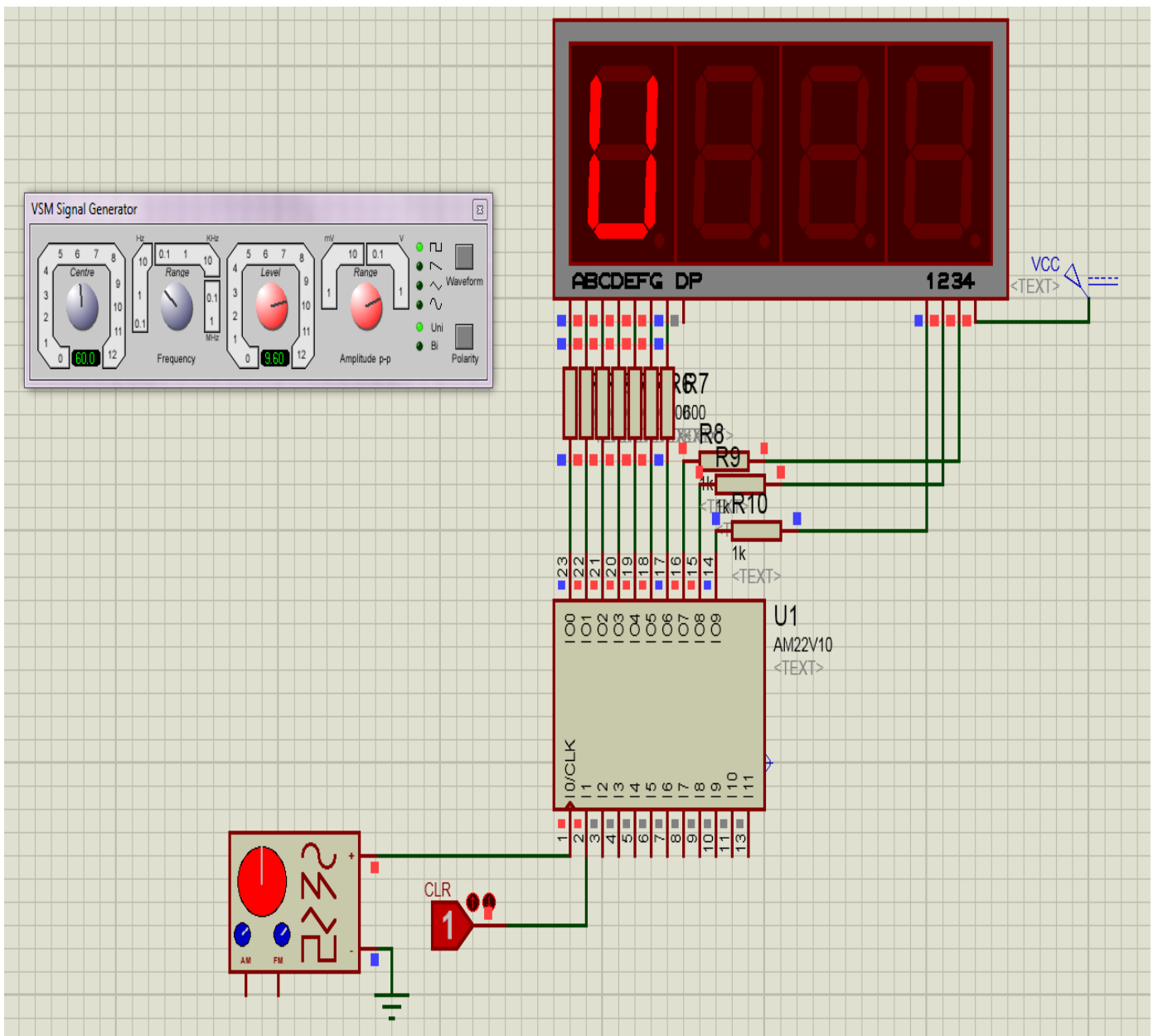


Name	Value	Sti...	50	100	150	200	250	300	350	400	450	500	550	600
clk	0	Clock												
clr	0	<= 0												
cat	6		6	5	3	6	5	3	6	5	3	6	5	3
display	3E		3E	5B	33	3E	5B	33	3E	5B	33	3E	5B	33





Name	Value	Sti...	50	100	150	200	250	300	350	400
clk	0	Clock								
clr	1	<= 1								
cat	6									
display	3E									



C22V10

```
clk =| 1| |24| * not used
clr =| 2| |23|= display(6)
not used *| 3| |22|= display(5)
not used *| 4| |21|= display(4)
not used *| 5| |20|= display(3)
not used *| 6| |19|= display(2)
not used *| 7| |18|= display(1)
not used *| 8| |17|= display(0)
not used *| 9| |16|= cat(2)
not used *|10| |15|= cat(1)
not used *|11| |14|= cat(0)
not used *|12| |13| * not used
```

Cuestionario:

- 1) ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?
R= 1 PLD 22V10.
- 2) ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?
R= 2 FF 4013, NE 555, 1 7408, 1 7432.
- 3) ¿Cuántos pines de entrada/salida de los PLD 22V10 se usan en el diseño?
R=2 de entrada y 10 de salida.
- 4) ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total de los PLD 22V10?
R= 1 término producto por cada señal de salida, en total son 10 términos producto y se ocupa un 54% del PLD 22V10.
- 5) ¿A partir de que frecuencia se observa el mensaje nítido y sin parpadeo?
R=a partir de 50 Hz.
- 6) ¿Cuántos FF's se ocupan en el PLD para implementar la Máquina de Moore?
R= 2 Flip Flops del PLD 22V10.
- 7) ¿Cuántas terminales de salida se usan en PLD2?
R= No hay PLD2 pero en el PLD se ocupan 10 salidas.
- 8) ¿Qué puedes concluir de esta práctica?
R= Está práctica nos dio una forma distinta de crear variables para un uso más específico así como el uso a nivel hardware del display multiplexado, también el diseño de una máquina de Moore.