



INSTITUTO POLITÉCNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO
ACADEMIA DE SISTEMAS DIGITALES



DISEÑO DE SISTEMAS DIGITALES

Práctica de Laboratorio No. 7

“Marquesina”

Profesores:

VICTOR HUGO GARCIA ORTEGA
JULIO CESAR SOSA SAVEDRA

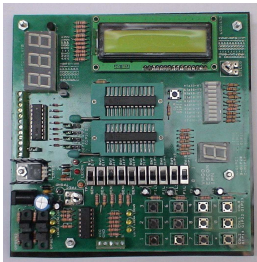
OBJETIVO: Realizar un programa que permita crear una marquesina usando un módulo de 3 displays multiplexados de ánodo común mediante un lenguaje de descripción de hardware (HDL) en un PLD 22V10.

MATERIAL Y EQUIPO:

Mesa de instrumentación del laboratorio de sistemas digitales

2 PLD 22v10

Además de lo anterior, se puede optar por alguna de estas dos opciones:

1 Fuente de 5V 1 Generador de funciones 1 DIP switch de 4 1 Interruptor de presión 5 Resistencias de 1K Ω 7 Resistencias de 330 Ω 1 Módulo de 3 displays multiplexados de ánodo común. 3 Transistores BC557 1 Protoboard Pinzas y cable para alambrar	1 TEDDi (Tarjeta Educativa para Diseño Digital). 
--	--

INTRODUCCIÓN TEÓRICA

Las marquesinas son circuitos digitales que permiten mostrar un mensaje de varios símbolos en un área reducida de despliegue. Esta área puede estar formada por LED's, displays o un LCD. En el caso de LED's y displays se tiene que manejar varios de ellos usando multiplexaje.

Para el caso de tres displays de ánodo común, se pueden visualizar solo tres símbolos del mensaje. Si se tiene el mensaje "HOLA" formado de 4 símbolos, el despliegue en los displays se haría como se muestra en la tabla 1.

Display 2	Display 1	Display 0	# de estados	Código asignado A cada macroestado
—	—	—	1	000, 001
—	—	H	1	010
—	H	O	2	011
H	O	L	3	100
O	L	A	3	101
L	A	—	2	110
A	—	—	1	111

Tabla 1 Macroestados de la marquesina.

El estado que guardan los displays en cada instante del despliegue del mensaje lo llamaremos "**MACROESTADO**". Un macroestado estará formado por varios estados en un autómata. Cada estado activa un display y manda un símbolo. Cuando el autómata entre a un macroestado se desplegarán los símbolos que forman al macroestado durante un segundo de tiempo. Estos

símbolos deben de mandarse a los displays multiplexados a una frecuencia lo suficientemente rápida para que nuestra vista los vea de forma continua.

El control de selección de cada display y envío de símbolo se puede realizar mediante una máquina de Moore.

PROCEDIMIENTO.

Antes de asistir al laboratorio:

1. Realizar el programa del autómata mostrado en la ilustración 1. Este autómata permite visualizar un mensaje de 4 letras en modo marquesina, tomando como entradas los 3 bits MSB de un contador de 10 bits. Con estos 3 bits podemos asignar un código a cada macroestado del autómata. Esto se muestra en la tabla 1.

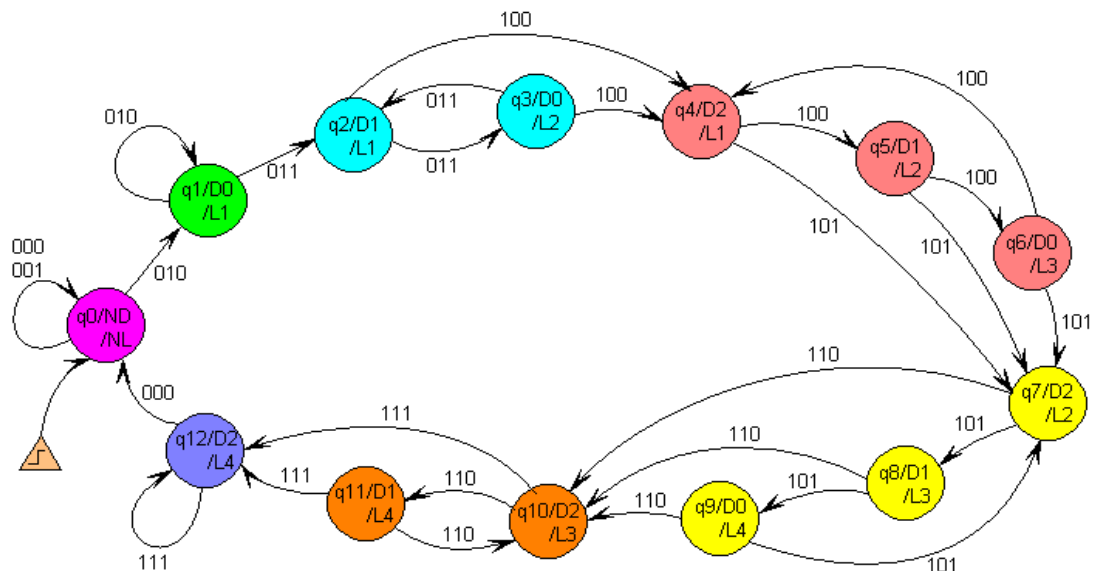


Ilustración 1 Autómata de la marquesina.

Después de programar el autómata de la ilustración 1, realizar el diseño completo de la microarquitectura mostrada en la ilustración 2.

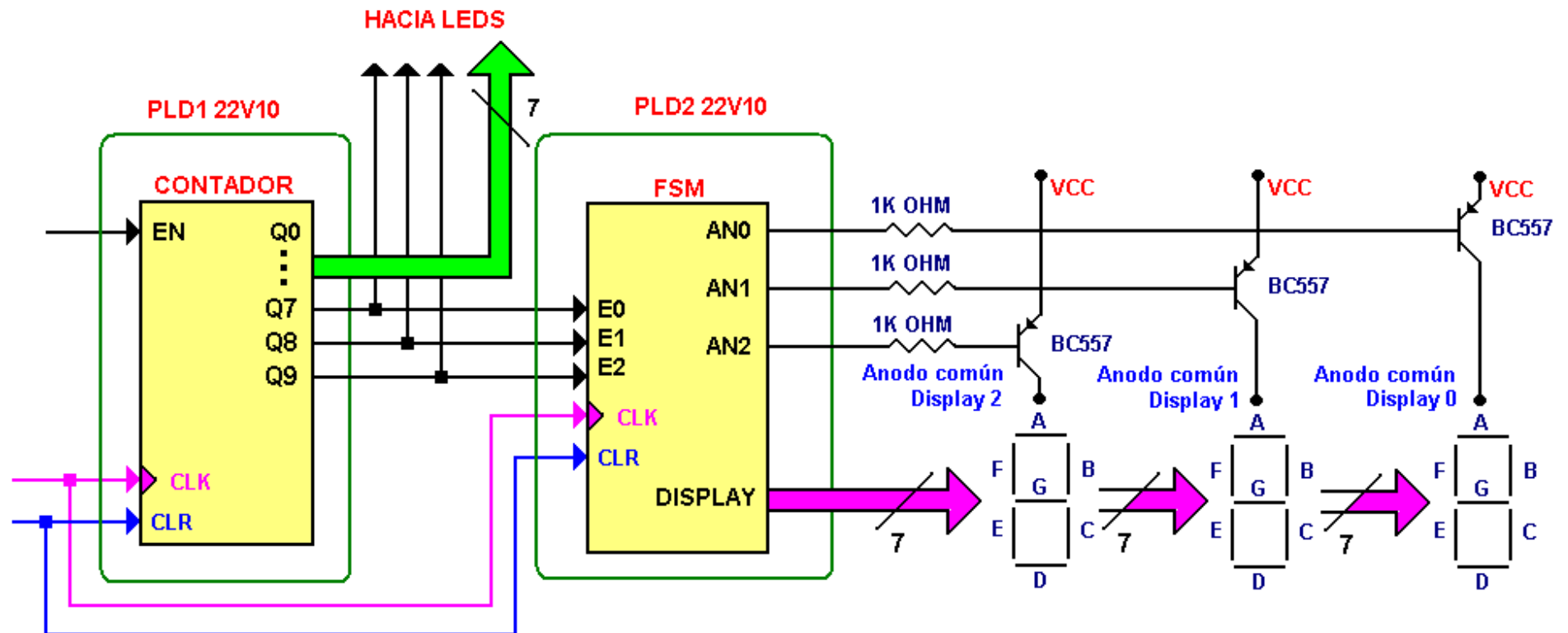


Ilustración 2 Microarquitectura del diseño a realizar.



En la marquesina intervienen dos frecuencias diferentes para el correcto funcionamiento:

- Considerando que con una frecuencia de 30 cuadros por segundo la vista humana puede ver una secuencia de imágenes continua (video), para el módulo de 3 displays multiplexados se necesita usar una frecuencia de 30 Hz por cada display. La primera frecuencia de reloj a usar debe de ser mayor a 90 Hz. Esta frecuencia será llamada $FCLK$ y debe cumplir con $FCLK > 90Hz$.
- La segunda frecuencia será la que determine la velocidad del mensaje en modo marquesina, esta frecuencia generalmente es de 1Hz. Con esta velocidad se puede leer el mensaje sin problemas.

El contador de 10 bits del PLD1 permite realizar un divisor de frecuencia. Este divisor permite obtener la segunda frecuencia de 1 Hz a partir de $FCLK$. La frecuencia de salida para los bits Q_0 , Q_1 y Q_2 del contador esta dada por:

$$Q_0 = \frac{FCLK}{2}$$

$$Q_1 = \frac{FCLK}{4}$$

$$Q_2 = \frac{FCLK}{8}$$

Para un contador de n bits tenemos:

$$Q_n = \frac{FCLK}{2^{n+1}}$$

En los bits MSB se generan las frecuencias mas lentas, por lo que debemos tomar la salida de los 3 bits MSB (Q_7 , Q_8 y Q_9) del contador. La frecuencia del mensaje en modo marquesina será la de Q_7 , es decir:

$$Q_7 = \frac{FCLK}{2^8} = \frac{FCLK}{256}$$

Podemos ver de la ecuación anterior, que para obtener una frecuencia de 1Hz en Q_7 , la primer frecuencia $FCLK = 256Hz$. Esta frecuencia cumple con $FCLK > 90Hz$.

Además, para implementar el contador deben considerarse las opciones mostradas en la tabla 2.

EN	OPERACIÓN
0	Retención
1	Conteo ascendente

Tabla 2 Funcionamiento del contador.

Para el autómata del PLD2 considere los códigos de los displays mostrados en la tabla 3.

AN2	AN1	AN0	Display
1	1	0	D0
1	0	1	D1
0	1	1	D2
1	1	1	ND

Tabla 3 Códigos de los displays.

Considere los códigos de las letras mostrados en la tabla 4.

DISPLAY							Letra
A	B	C	D	E	F	G	
1	0	0	1	0	0	0	L1 – H
0	0	0	0	0	0	1	L2 – O
1	1	1	0	0	0	1	L3 – L
0	0	0	1	0	0	0	L4 – A
0	0	0	0	0	0	0	NL

Tabla 4 Códigos de las letras del mensaje a mostrar en la marquesina.

Programar el autómata de dos formas:

- Usando la directiva TYPE para definir a los estados. En este caso el sintetizador realizará la asignación de código y obtendrá las ecuaciones del diseño.
- Usando la codificación definida por el usuario. En este caso definir a los estados mediante constantes y usar la construcción When-else para describir el autómata. Los códigos para definir los estados estarán formados por la concatenación del display y la letra. Por ejemplo, para definir el código del estado Q3, debe colocarse:

```

23 CONSTANT D0 : STD_LOGIC_VECTOR( 2 DOWNTO 0 ) := "110";      -- DISPLAY 0
24 CONSTANT L2 : STD_LOGIC_VECTOR( 6 DOWNTO 0 ) := "0000001";  -- LETRA O
25 CONSTANT Q3 : STD_LOGIC_VECTOR( 9 DOWNTO 0 ) := DD&L2;      -- ESTADO Q3

```

2. Simular los diseños en el ambiente de desarrollo.

3. Una vez simulado el sistema construir el circuito mostrado en la ilustración 3 para probarlo en el laboratorio. **En caso de usar la TEDDi este paso no es necesario.**

En el laboratorio:

- Programar el PLD 22V10 usando el programador disponible del laboratorio.



2. Colocar la frecuencia de la señal de reloj a 256 HZ. En caso de usar TEDDi ajustar la frecuencia con el potenciómetro "FREC". En caso de haber armado el circuito en protoboard, usar el generador de funciones.
3. Verificar el correcto funcionamiento del diseño.

CUESTIONARIO

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?
2. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?
3. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?
4. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?
5. ¿Qué codificación se usa con la directiva TYPE?
6. ¿Cuál codificación es la que finalmente se pudo sintetizar?
7. ¿Qué puedes concluir de esta práctica?

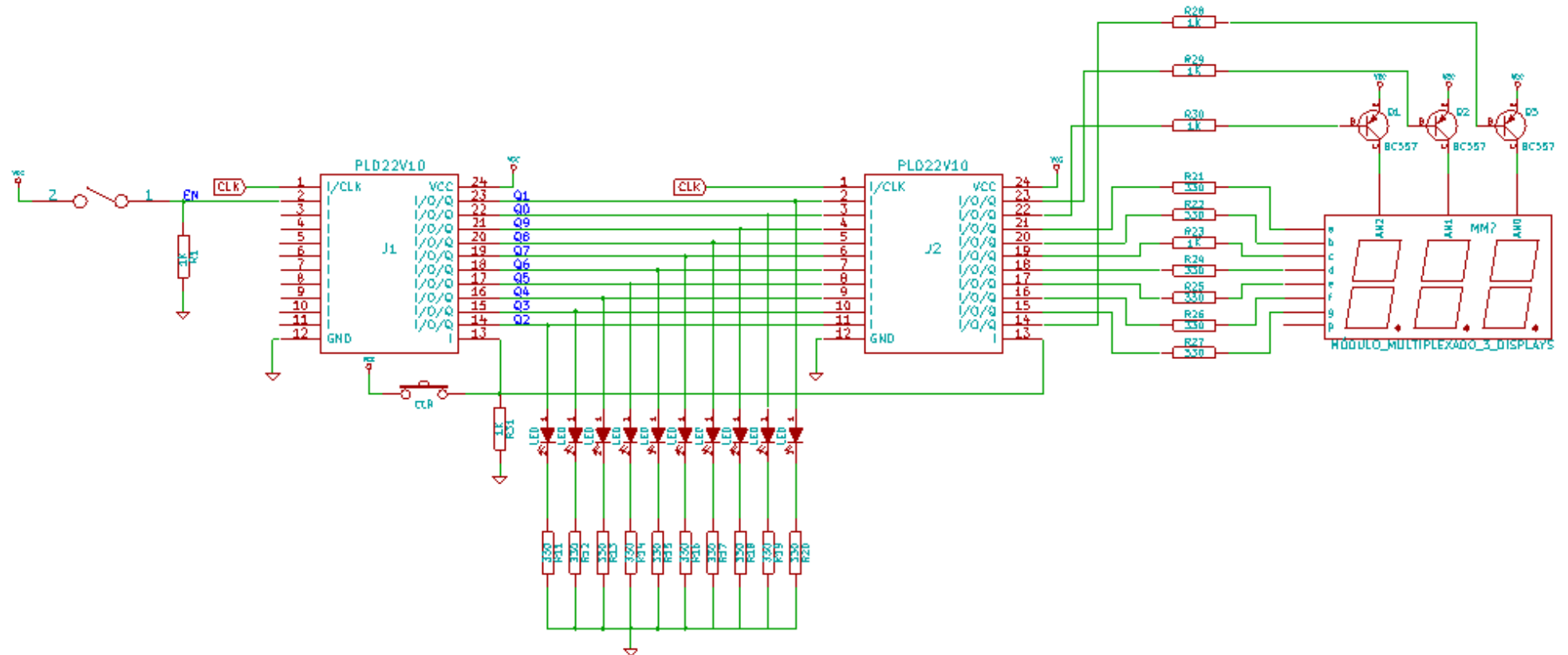


Ilustración 3 Diagrama esquemático.