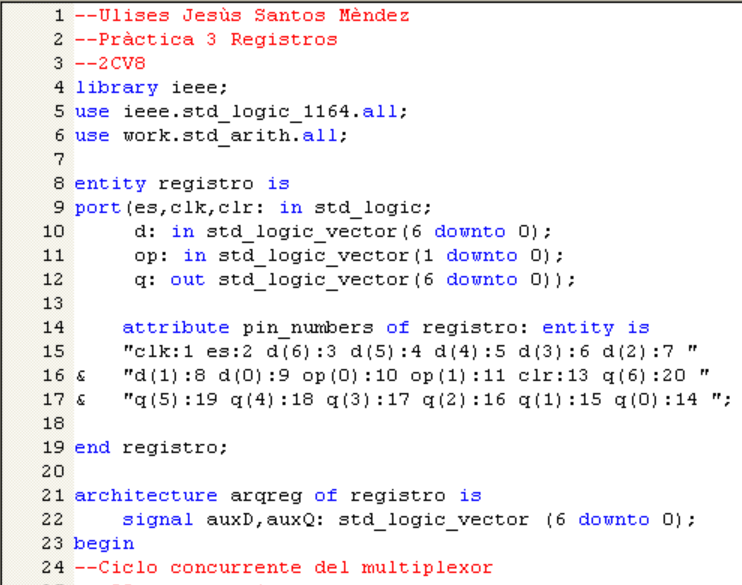
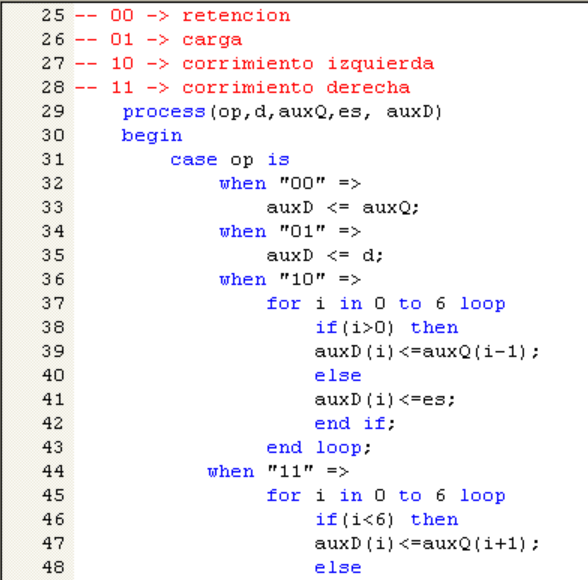
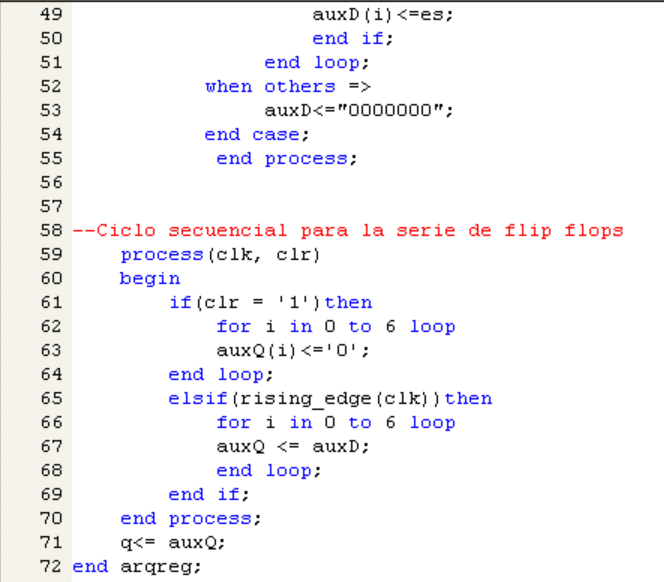
PRÁCTICA 3 “ REGISTROS”

**Código VHDL**

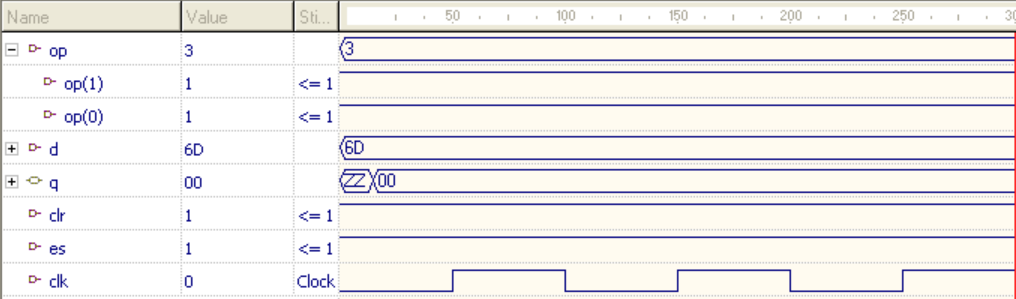


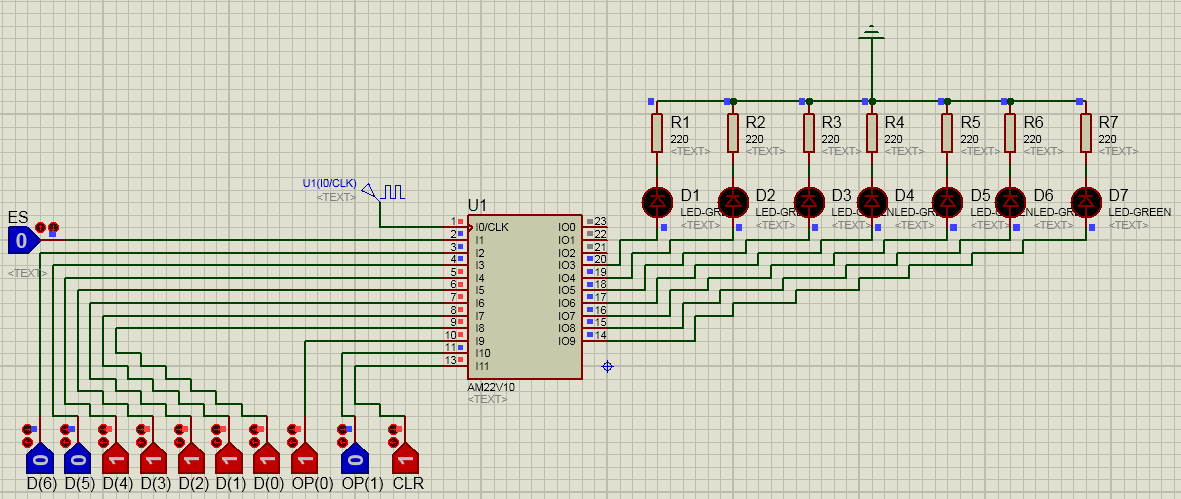




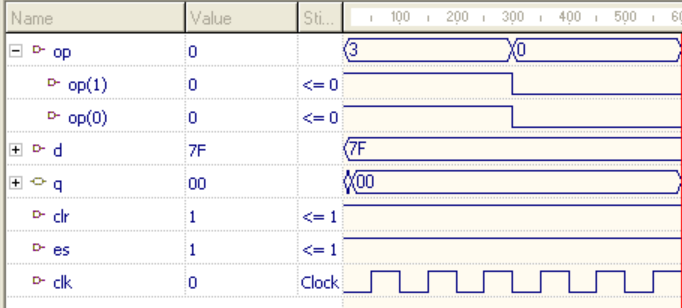
**Simulación en Active HDL-Sim y en Proteus**

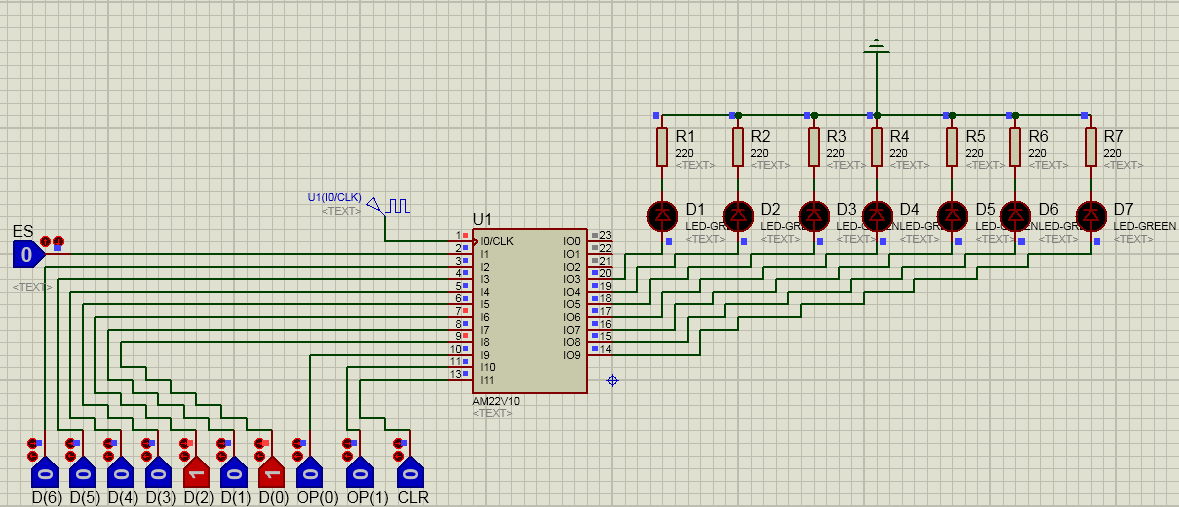
1. Reset



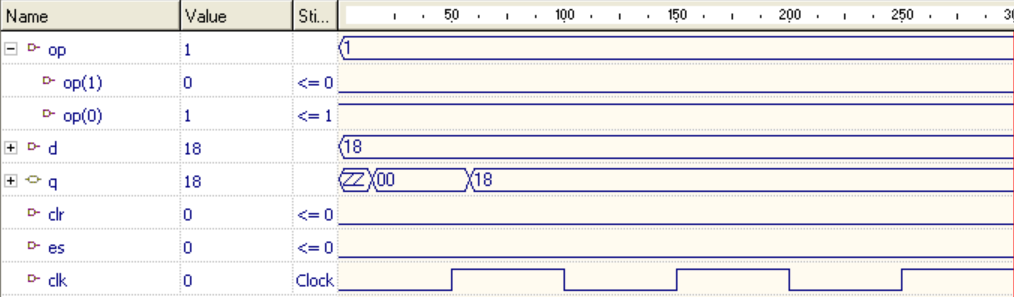


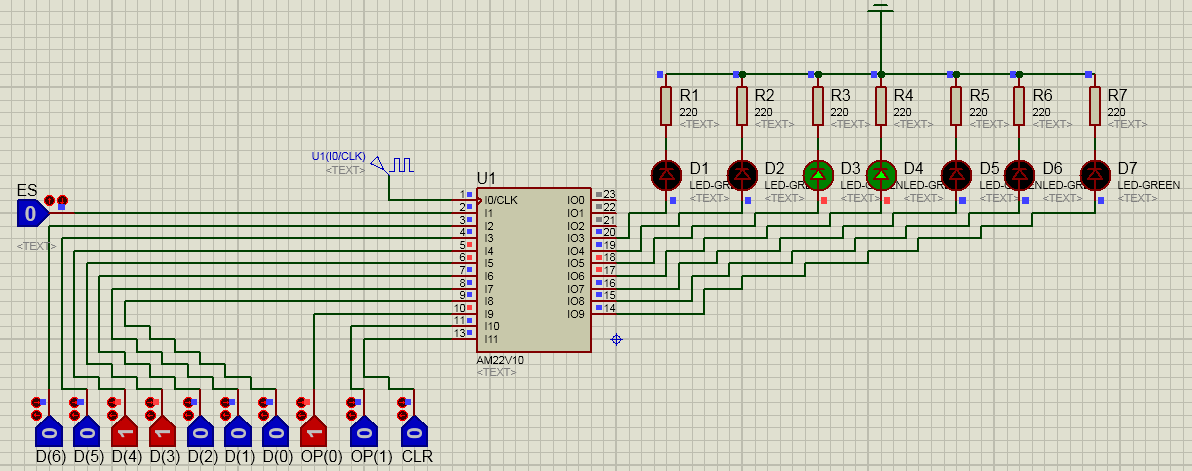
1. Retención durante dos ciclos de reloj



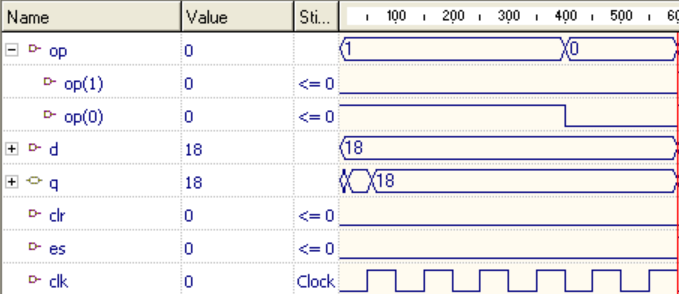


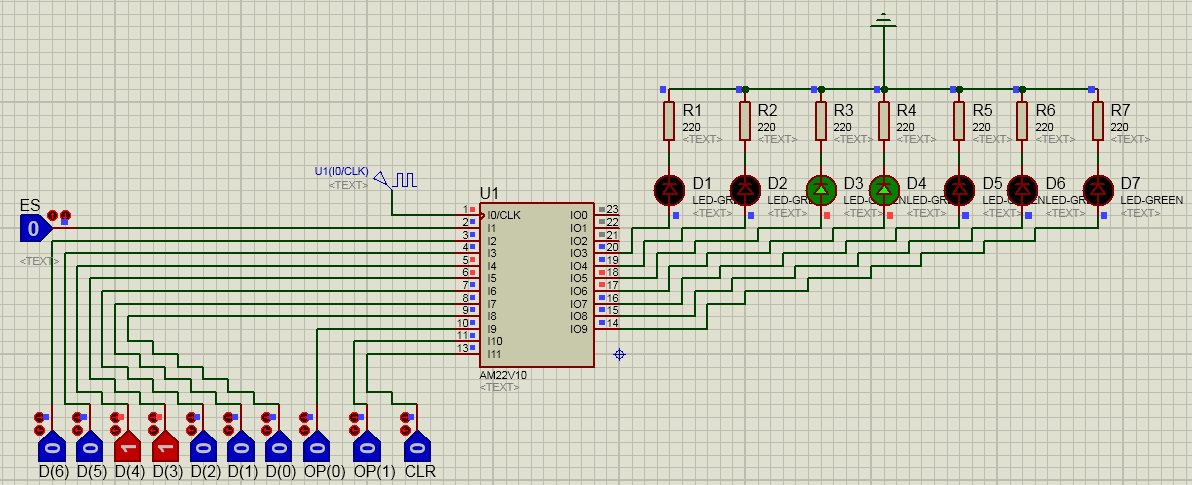
1. Cargar el valor 0x18



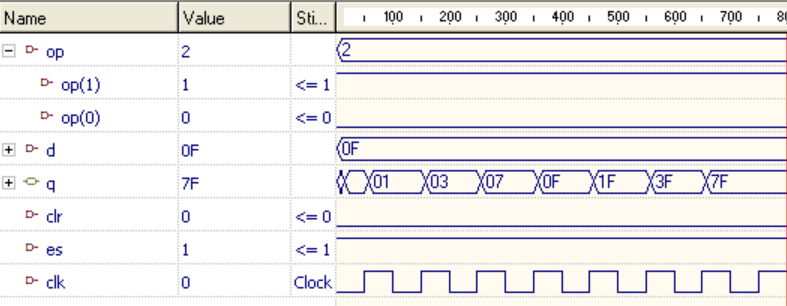


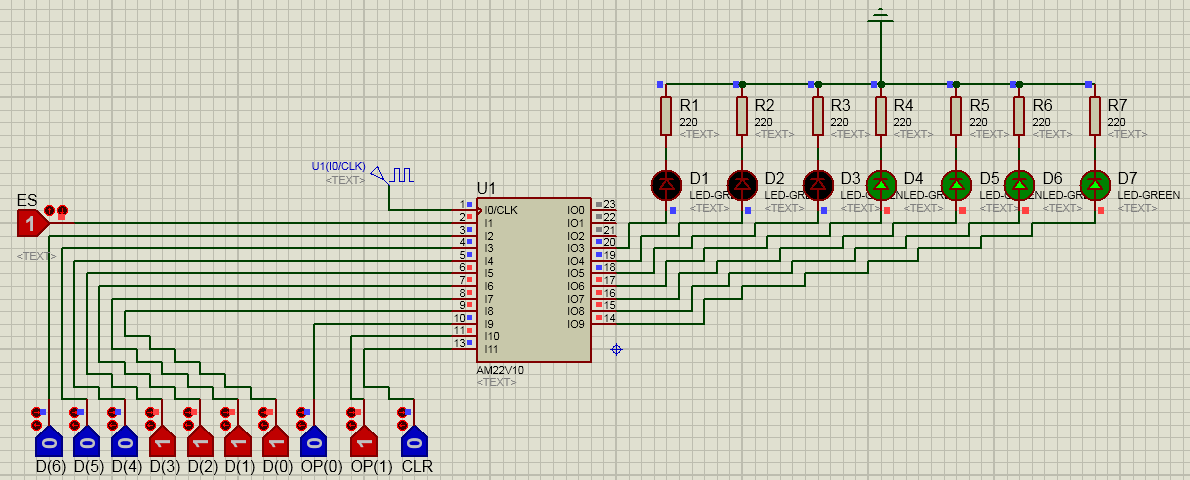
1. Retener 2 ciclos de reloj



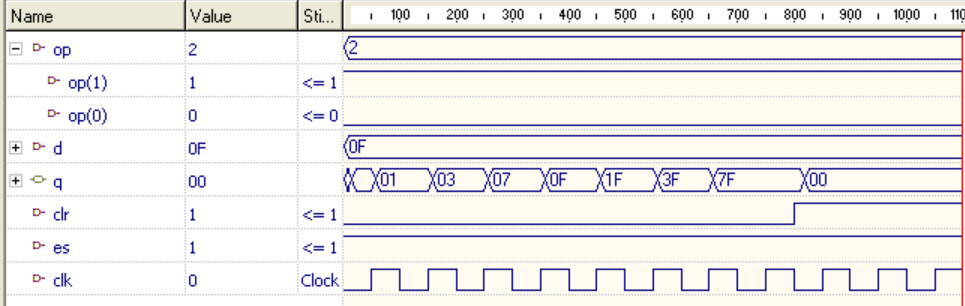


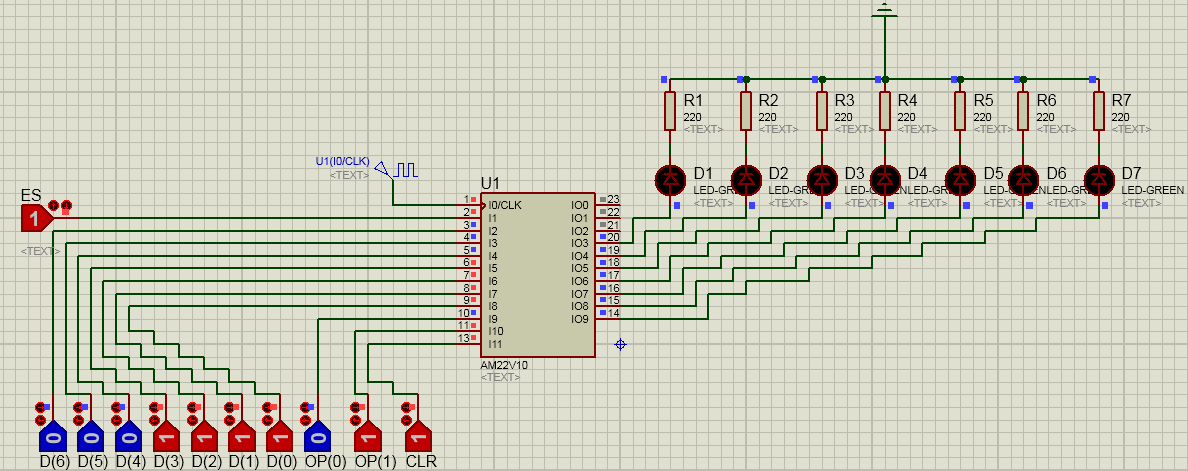
1. Hacer corrimiento a la izquierda de 4 bits con ES=1



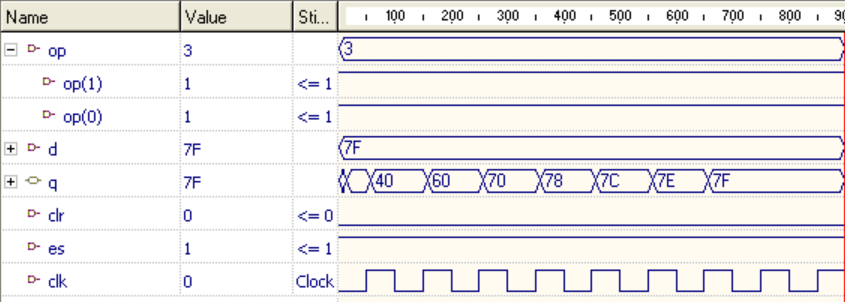


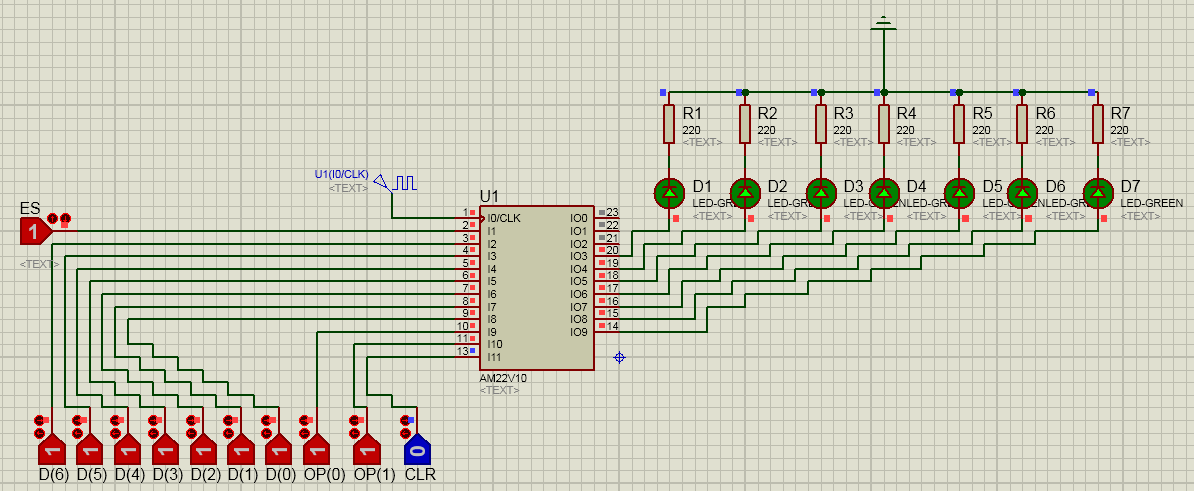
1. Reset





1. Hacer corrimiento a la derecha hasta que el registro quede lleno de 1’s





**CUESTIONARIO**

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?

R= 1 dispositivo PLD 22V10

1. ¿Cuántos dispositivos de la serie 74xx (TTL) ó 40xx (CMOS) hubieras necesitado para el desarrollo de esta práctica?

R= 2 Flip Flop 4013 y 4 multiplexores 74ls139

1. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?

R=12 de entrada y 7 de salida

1. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?
2. R= 4 términos producto y se ocupó el 86% del PLD 22V10.
3. ¿Cuáles son tus observaciones con respecto al funcionamiento del registro?

R= todos los registros tienen una gran relación de entradas y salidas de los flip flop de manera que pueden ejecutar las operaciones debido a entradas y salidas y a los flancos del reloj.

1. ¿Cuáles son las señales que funcionan de manera síncrona y cuáles de manera asíncrona?

R= El reloj funciona de manera síncrona y los registros de corrimiento a derecha e izquierda, los asíncronos son los registros de carga y retención.

1. ¿Qué puedes concluir de esta práctica?

R= La práctica nos mostró las formas en que se comunican los flip flops para hacer operaciones y actuar como memorias.