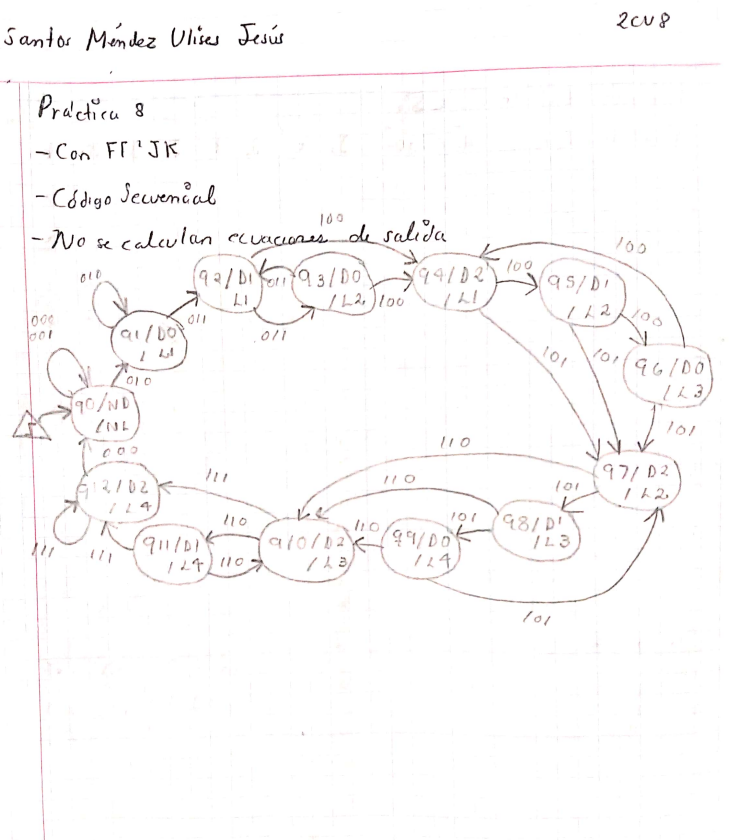
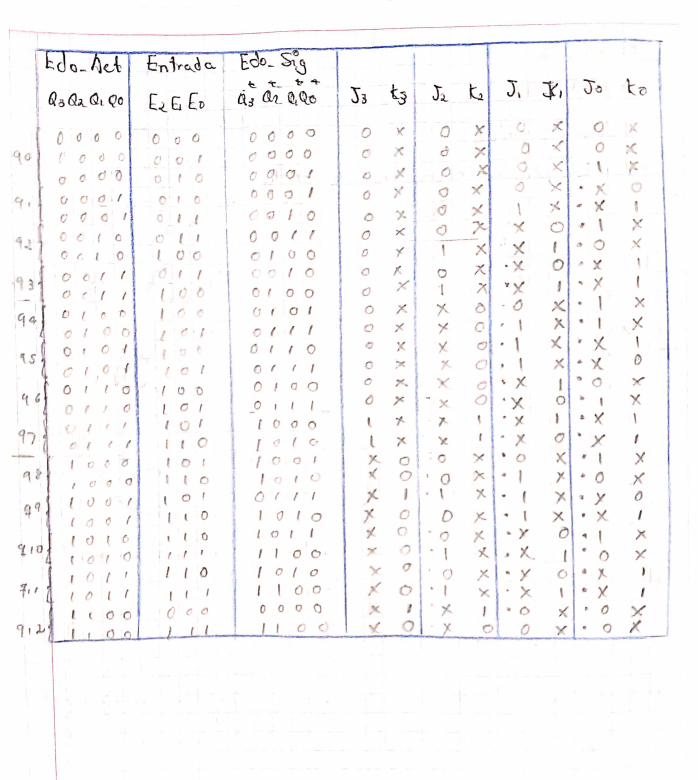
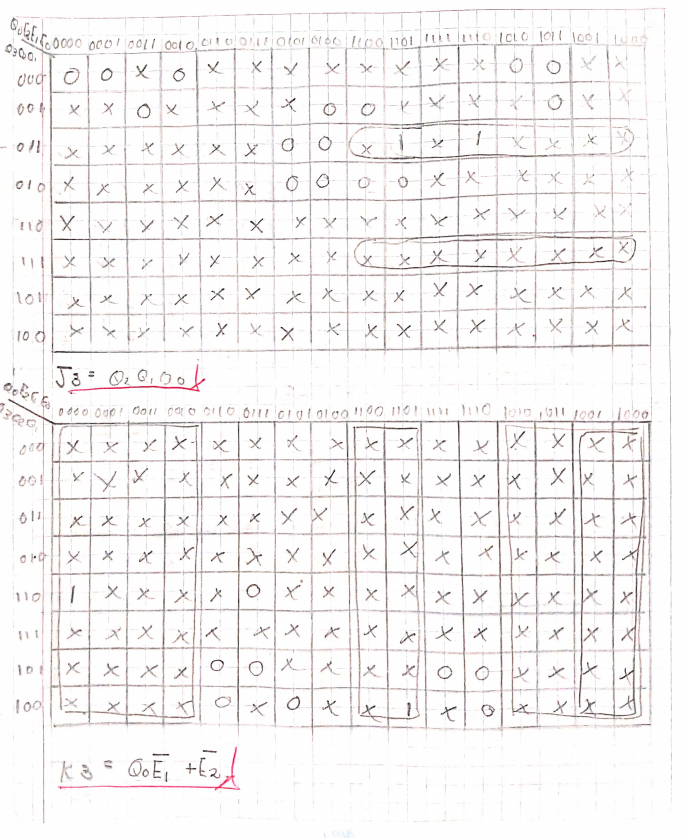
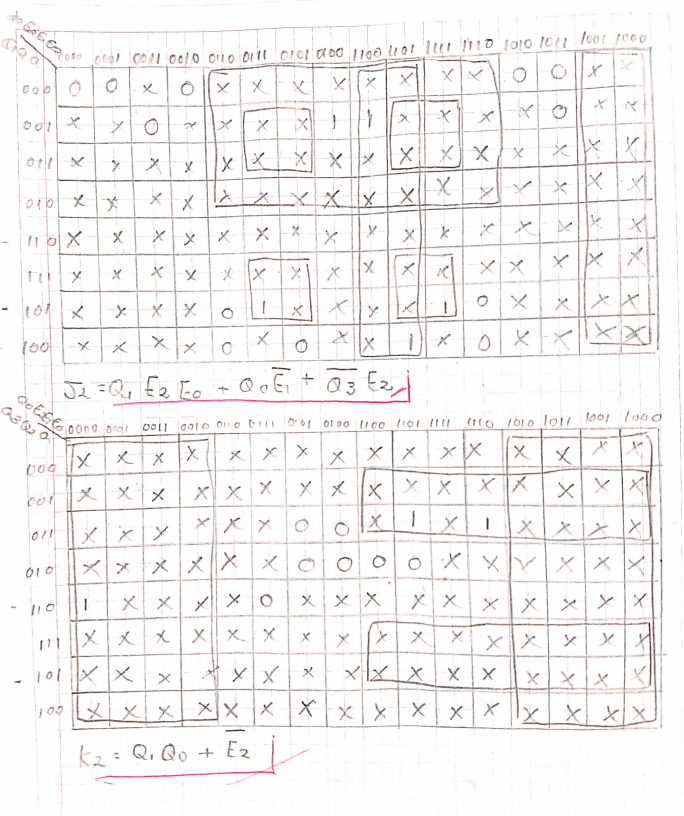
PRÁCTICA 8 “MARQUESINA”

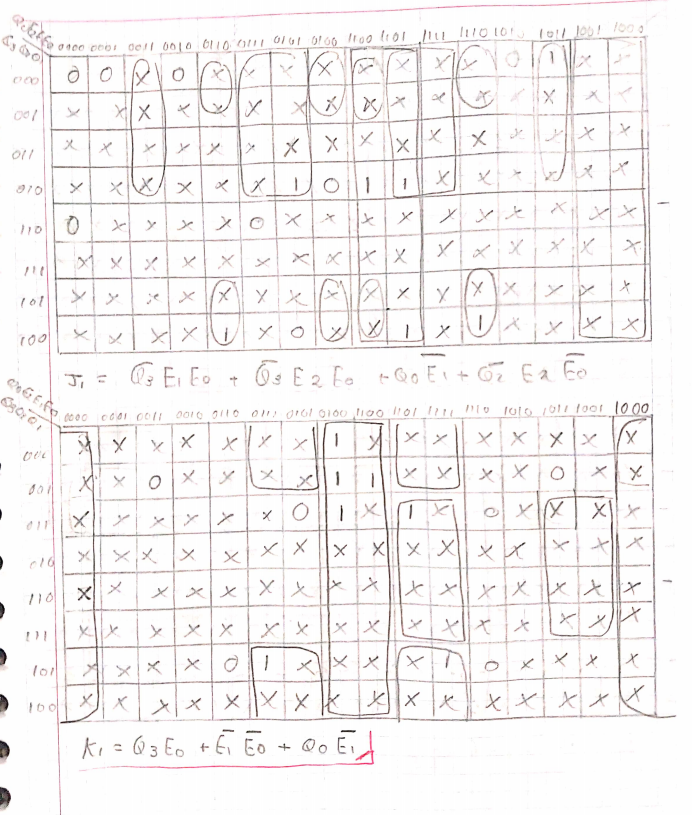
**Análisis del circuito con FF’s**

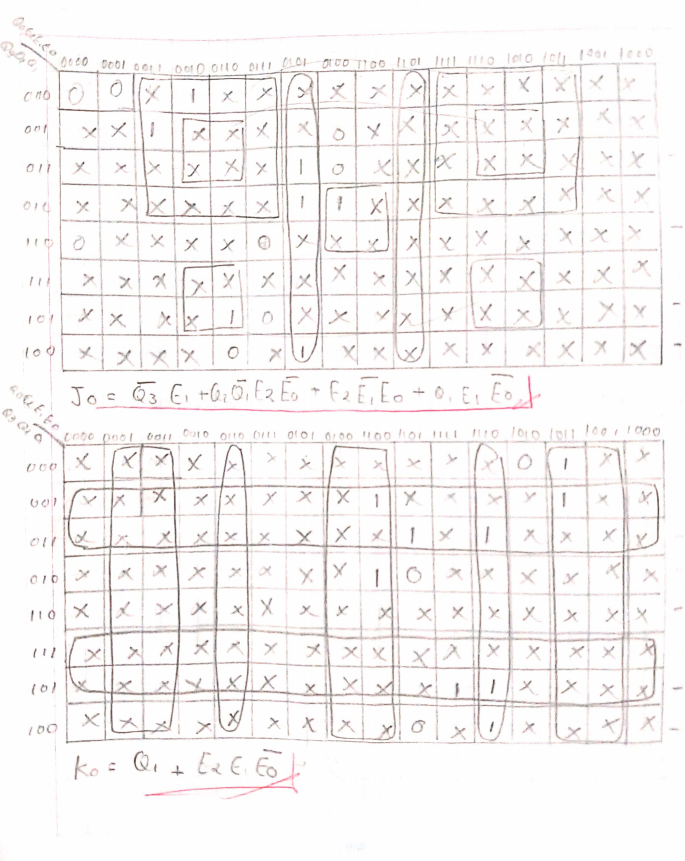




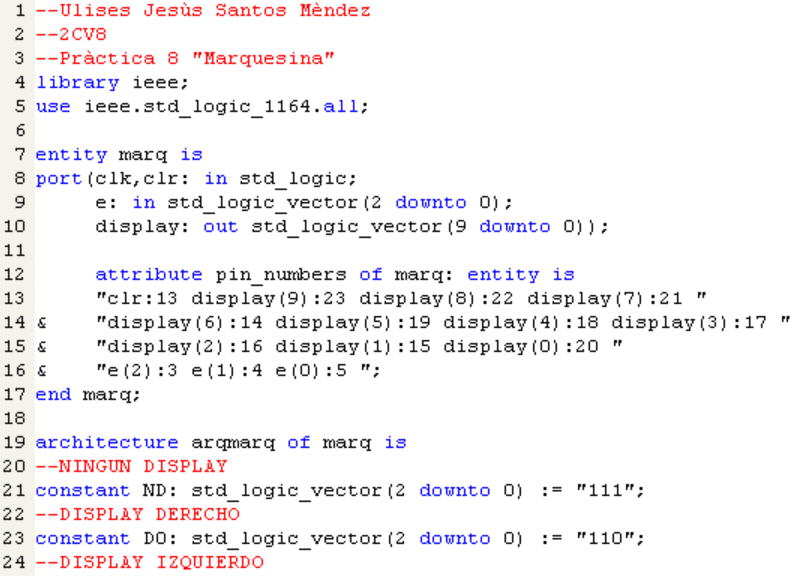


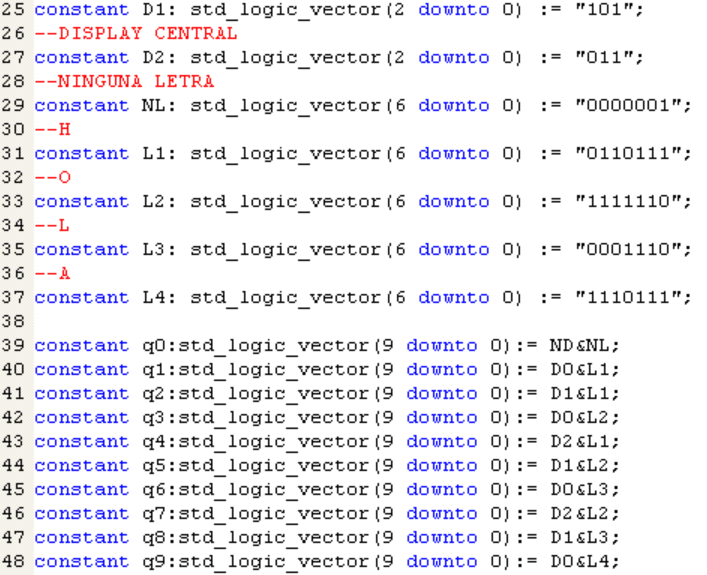


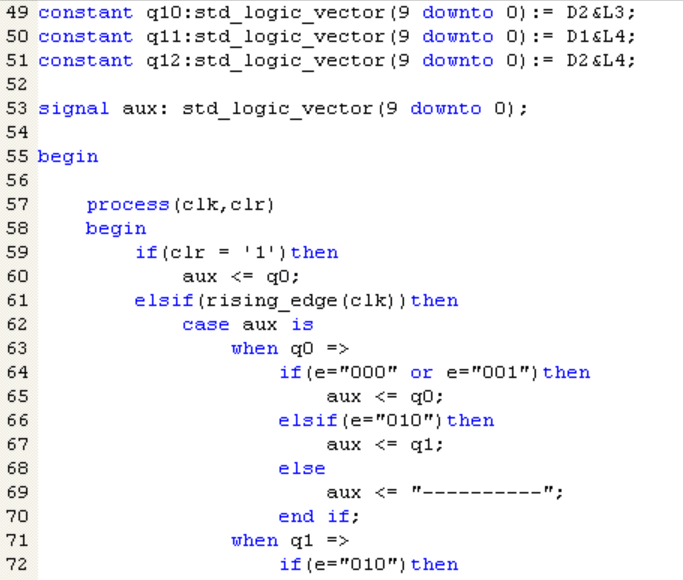


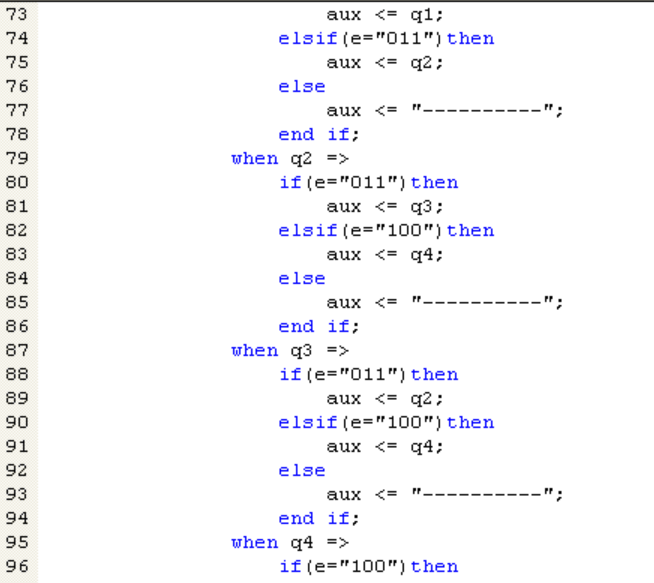


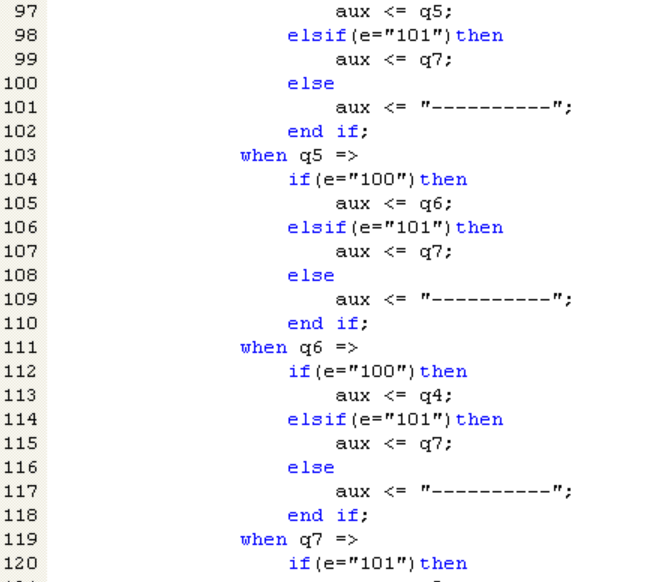
**Código VHDL**

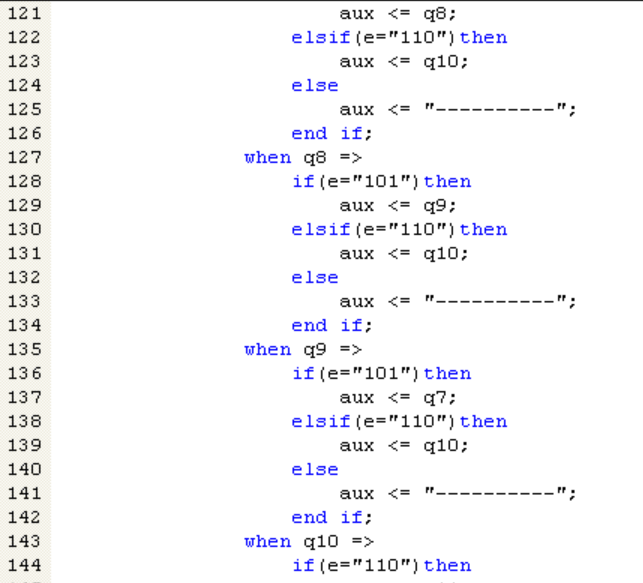


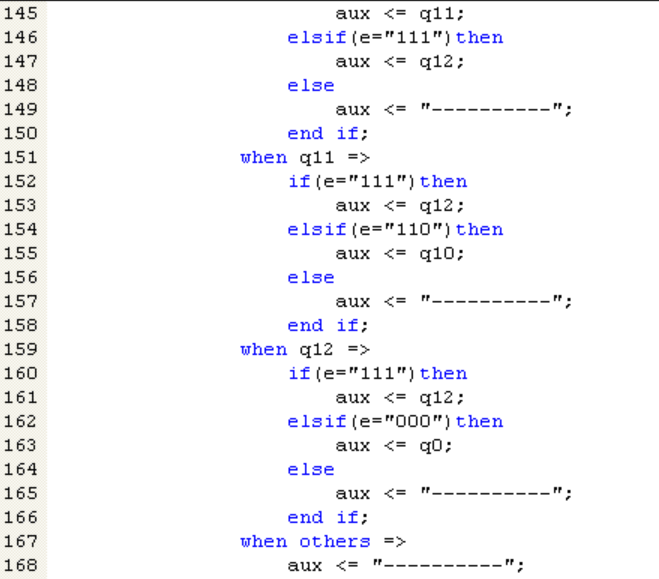


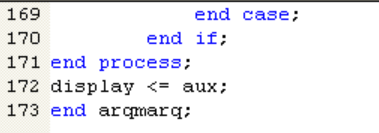




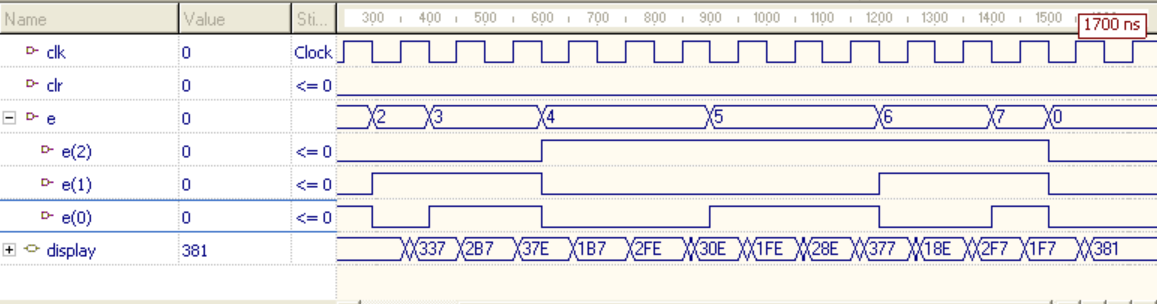


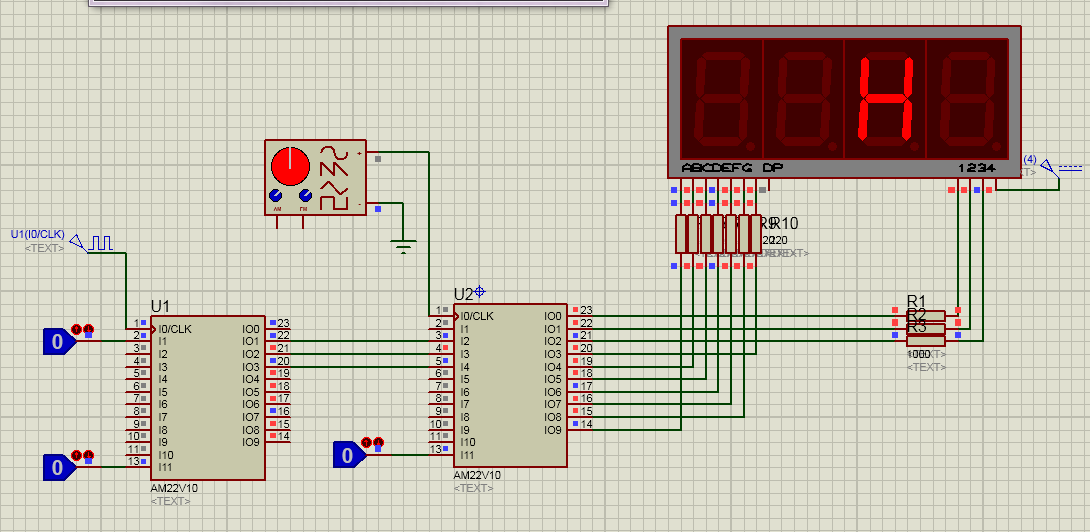


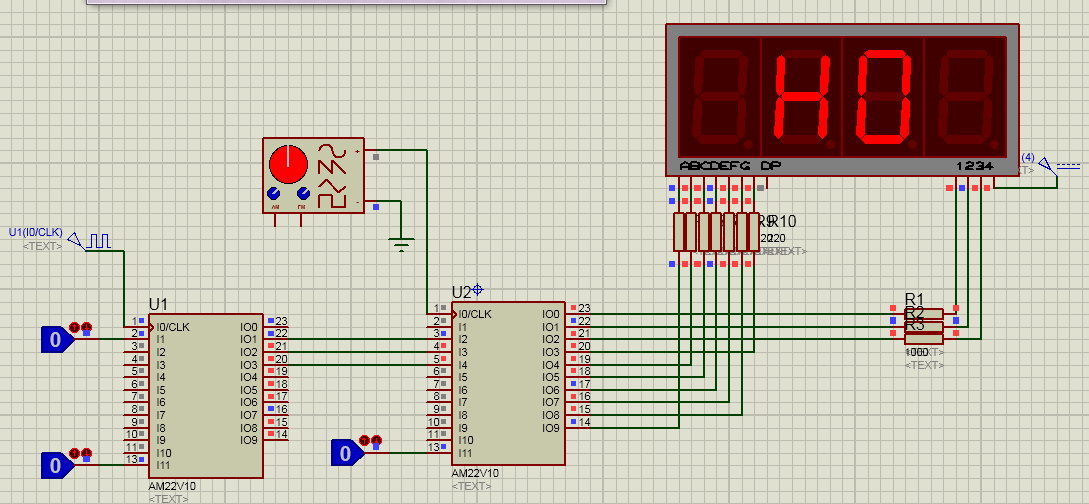


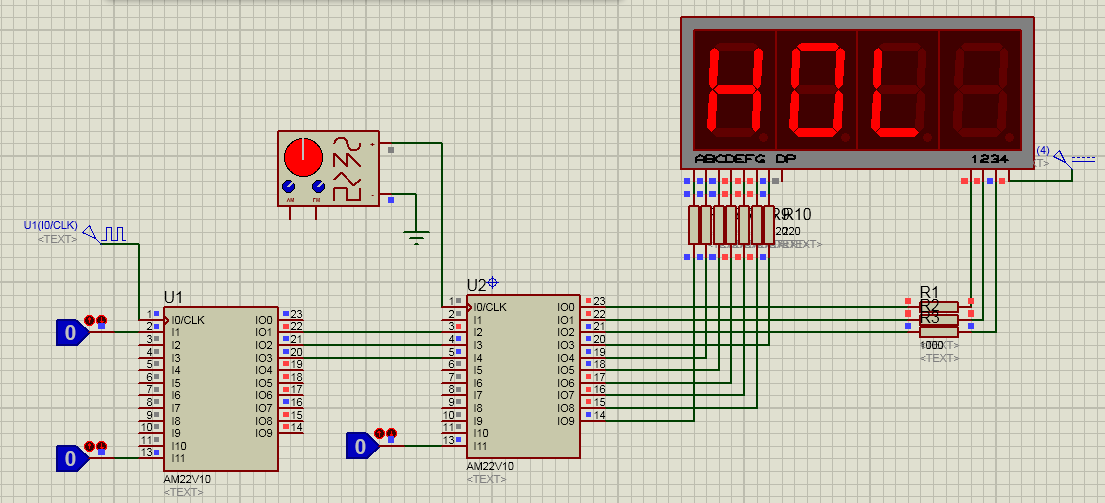


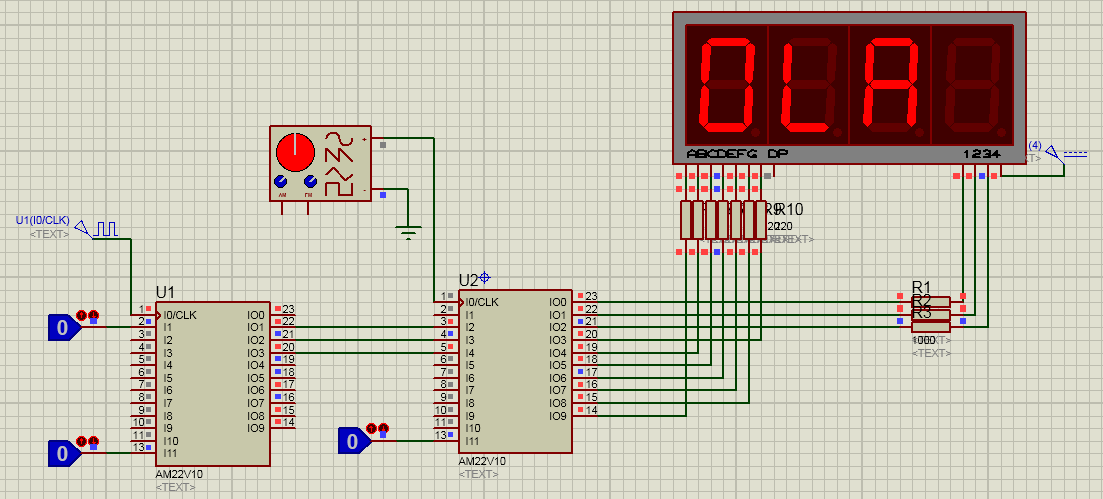
**Simulación en Proteus y en Active HDL-Sim**

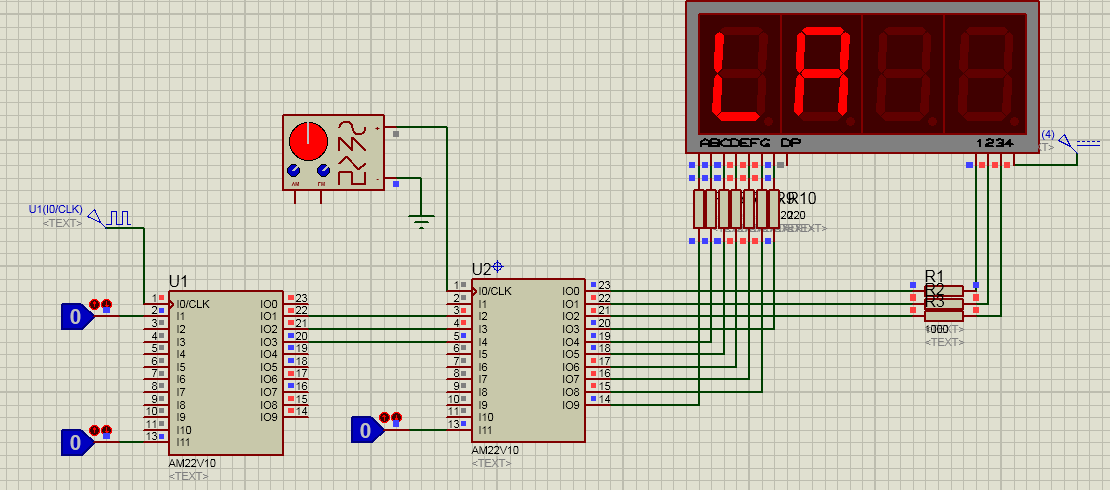


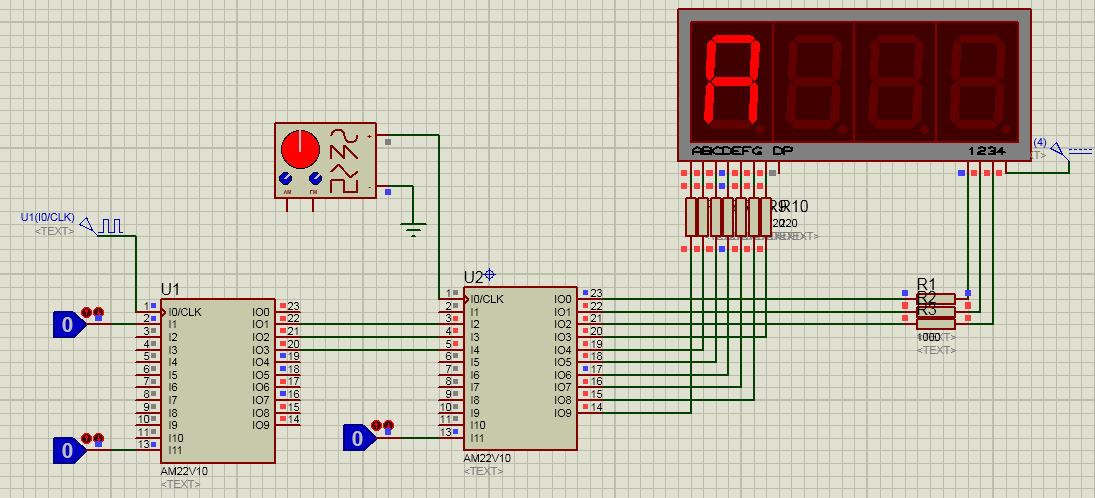


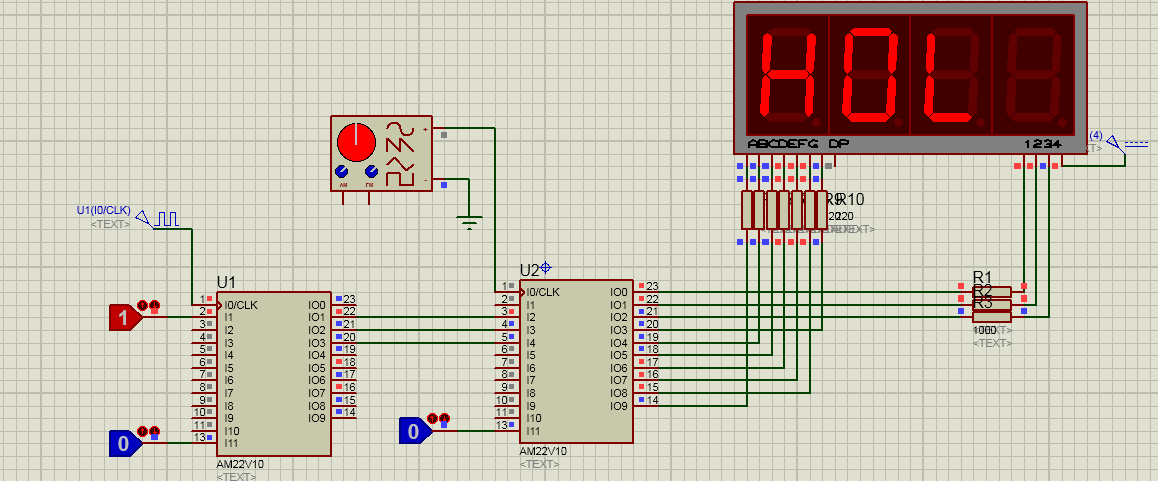












**CUESTIONARIO**

1. ¿Cuántos dispositivos PLD 22V10 son necesarios para el desarrollo de esta práctica?

R= 2 dispositivos PLD 22V10.

1. ¿Cuántos dispositivos de la serie 74xx(TTL) ó 40xx(CMOS) hubieras necesitado para el desarrollo de esta práctica?

R=7 FF’s 4013, 2 555, 7 7408. 7 7432, 5 7404.

1. ¿Cuántos pines de entrada/salida del PLD 22V10 se usan en el diseño?

R= 5 pines de entrada y 10 pines de salida.

1. ¿Cuántos términos producto ocupan las ecuaciones para cada señal de salida y que porcentaje se usa en total del PLD 22V10?

R=44 términos producto, se ocupa un 68 %.

1. ¿Qué codificación se usa con la directiva TYPE?

R= El poder definir constantes para concatenarlas.

1. ¿Cuál codificación es la que finalmente se pudo sintetizar?

R= La definición de constantes en un ciclo condicional en la misma lista sensible.

1. ¿Qué puedes concluir de esta práctica?

R=En conclusión te facilita la codificación y la reducción de salidas en el PLD el definir constantes así como un mejor aprovechamiento de entradas.