



Tema4 sol - Ejercicios resueltos de Entrada/Salida

Estructura de Computadores (Universidad de Castilla La Mancha)

EJERCICIOS RESUELTOS DEL TEMA 4

Entrada/Salida

Problema 1

Un computador dispone de un controlador de DMA, por ráfagas, para gestionar la transferencia de información con un disco duro. El controlador de DMA requiere 5 instrucciones para ser programado, 25 ciclos para realizar la transferencia de un bloque de datos y otras 10 instrucciones para atender la interrupción generada una vez finalizada la transferencia. Se sabe que el procesador consume 5 ciclos de reloj por cada instrucción. El disco duro transfiere datos en bloques de 10 bytes. Sabiendo que la velocidad de transferencia media es de 10 MB/seg, calcula la frecuencia del reloj del sistema.

Tiempo de programación	Tiempo de envío	Tiempo de atención a RSI
5 instrucciones = 25 ciclos	25 ciclos 10 bytes	10 instrucciones = 50 ciclos

Tiempo total = Tiempo de programación + Tiempo de envío + Tiempo de atención a RSI

Tiempo_{total} = 5·5·T_c + 25·T_c + 10·5·T_c = 100·T_c segundos

$$Velocidad = \frac{Datos}{tiempo} = \frac{10B}{100T_c} = 10MB/s$$

$$T_c = \frac{10}{100 \cdot 10 \cdot 10^6} = \frac{1}{10^8} s = 10^{-8} s$$

$$F = \frac{1}{T_c} = \frac{1}{10^{-8} s} = 10^8 s^{-1} = 10^8 Hz = 100MHz$$

NOTA: Obsérvese que la frecuencia medida en hertzios (Hz) tiene dimensiones de tiempo elevado a -1 (la inversa del tiempo).

Problema 2

Un computador que trabaja a una frecuencia de 50 MHz, dispone de un controlador de DMA, transparente, para gestionar la transferencia de información con un disco duro. El controlador de DMA requiere 5 instrucciones para ser programado y otras 10 para atender la interrupción generada una vez finalizada la transferencia. Se sabe que el procesador consume 5 ciclos de reloj por cada instrucción, de los que sólo 3 utilizan el bus. Sabiendo que el controlador de DMA emplea un ciclo en la transferencia de un byte, que el tamaño del bloque es de 10 bytes, calcula la velocidad de transferencia media obtenida.

Tiempo de programación	Tiempo de envío (*)	Tiempo de atención a RSI
5 instrucciones 25 ciclos	5 instrucciones 25 ciclos	10 instrucciones 50 ciclos

(*) Cálculo del tiempo de envío:

En 1 instrucción: 2 ciclos DMA + 3 ciclos CPU o bien 2 bytes DMA + 3 ciclos CPU

2 bytes ----- 1 instrucción
10 bytes ----- x
x= 5 instrucciones

Tiempo total = Tiempo de programación + Tiempo de envío + Tiempo de atención a RSI

$Tiempo_{total} = 5 \cdot 5 \cdot T_c + 5 \cdot 5 \cdot T_c + 10 \cdot 5 \cdot T_c = 2 \cdot 10^{-6}$ segundos

$$T_c = \frac{1}{50 \cdot 10^6 s^{-1}} = 2 \cdot 10^{-8} s$$

$$Tiempo_{total} = 100 T_c = 2 \cdot 10^{-6} s$$

$$Velocidad = \frac{Datos}{Tiempo_{total}} = \frac{10B}{2 \cdot 10^{-6} s} = 5MB/s$$

Problema 3

Un computador que trabaja a una frecuencia de 100 MHz, dispone de un controlador de DMA por robo de ciclo, para gestionar la transferencia de información con un disco duro. El controlador de DMA roba un ciclo de reloj por cada instrucción ejecutada. Se sabe que el procesador consume 5 ciclos de reloj por cada instrucción, necesitando 5 instrucciones para la programación del DMA y 10 para la atención a la rutina. Sabiendo que el controlador de DMA emplea un ciclo en la transferencia de un byte, que el tamaño del bloque es de 10 bytes, calcula la velocidad de transferencia media obtenida.

Tiempo de programación	Tiempo de envío (*)	Tiempo de atención a RSI
5 instrucciones 25 ciclos	60 ciclos	10 instrucciones 50 ciclos

(*) Cálculo del tiempo de envío:

En 1 instrucción, de 5 ciclos, se dedica 1 ciclo más (robo) a la transferencia del dato.

Es decir, se usan 5+1=6 ciclos para transmitir 1 dato de 1 byte.

1 byte ----- 6 ciclos
10 bytes ----- x
x= 60 ciclos

Tiempo total = Tiempo de programación + Tiempo de envío + Tiempo de atención a RSI

$Tiempo_{total} = 5 \cdot 5 \cdot T_c + 60 \cdot T_c + 10 \cdot 5 \cdot T_c = 135 \cdot 10^{-8}$ segundos = $1,35 \cdot 10^{-6}$ segundos

$$T_c = \frac{1}{100 \cdot 10^6 s^{-1}} = 10^{-8} s$$

$$Velocidad = \frac{Datos}{tiempo} = \frac{10B}{1,35 \cdot 10^{-6} s} = 7,4MB/s$$

Problema 4

Un controlador de DMA trabaja en modo transparente siendo capaz de transferir datos a una velocidad de 30 Mbytes/seg. La CPU ejecuta las instrucciones en 5 ciclos de reloj, de los cuales sólo en 2 ciclos accede al bus del sistema. Para programar el controlador necesita 2 instrucciones, mientras que para atender la interrupción generada por el mismo precisa de 3 instrucciones. Si el bus de datos permite transferir una palabra de 2 bytes cada ciclo de reloj y el controlador se programa cada vez para realizar la transferencia de 15 palabras, ¿cuál es la frecuencia de reloj del sistema?

Cada 5 ciclos de reloj (tiempo de 1 instrucción), la CPU usa el bus 2 ciclos y el DMA usa el bus 3 ciclos. Por tanto, el DMA necesita,

$$2 \frac{\text{bytes}}{\text{ciclo}} \cdot 3 \frac{\text{ciclo}}{\text{instruc}} = 6 \frac{\text{bytes}}{\text{instruc}}$$

Representación de una transferencia:

	Tiempo de programación		Tiempo de transmisión de 15 palabras de 2 bytes cada una, total 30 bytes					Tiempo de atención a la rutina de interrupción		
Instrucciones	1	2	$\frac{30 \frac{\text{bytes}}{\text{transf}}}{6 \frac{\text{bytes}}{\text{instruc}}} = 5 \frac{\text{instruc}}{\text{transf}}$					1	2	3
Ciclos reloj (x5)	5	5	5	5	5	5	5	5	5	5
	2 instr = 10 ciclos		5 instrucciones = 25 ciclos					3 instr = 15 ciclos		

En el tiempo de $2+5+3 = 10$ instrucciones, $5 \times 10 = 50$ ciclos de reloj, se transmite 30 bytes, por tanto, se obtiene la tasa de $\frac{50 \text{ ciclos}}{30 \text{ bytes}}$. Como la velocidad de transferencia global (bytes/sg) es

conocida: $V = 30 \cdot 10^6 \frac{\text{bytes}}{\text{sg}}$, queda $F \frac{\text{ciclos}}{\text{sg}} = 30 \cdot 10^6 \frac{\text{bytes}}{\text{sg}} \cdot \frac{50 \text{ ciclos}}{30 \text{ bytes}} = 50 \cdot 10^6 \frac{\text{ciclos}}{\text{sg}}$, o, lo que es lo mismo, $F = 50 \text{ MHz}$

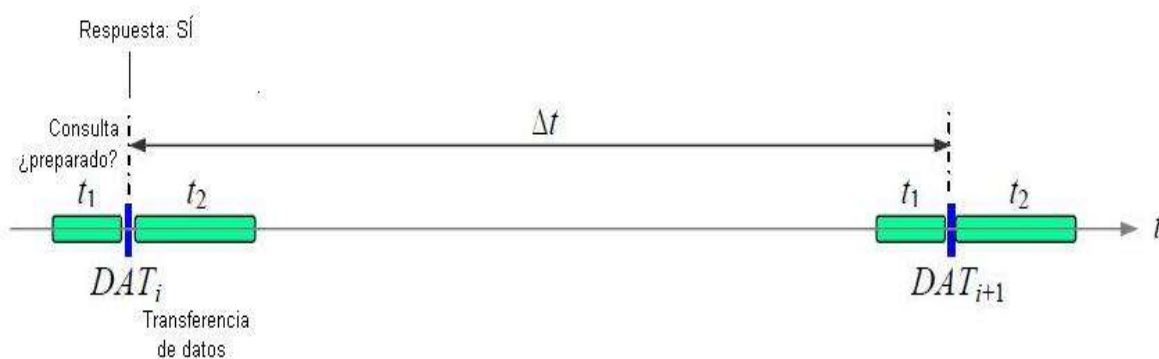
Problema 5

Sea un computador de 32 bits que trabaja a una frecuencia de 500MHz, en el que se realizan operaciones de Entrada/Salida por encuesta con un disco duro. Se sabe que este disco duro transfiere datos en bloques de 10 palabras y que la velocidad de transferencia del disco duro es de 5MB/s. Para simplificar el problema consideraremos que la sincronización es perfecta y que no hay tiempo de espera por indisponibilidad del disco duro.

Sabemos además que el tiempo empleado en la ejecución de la rutina de encuesta es de 200 ciclos, consistente esta rutina en el chequeo del registro de estado. Suponiendo, como se ha dicho anteriormente que el dispositivo está disponible se pasa a ejecutar la rutina de transferencia del bloque de datos, para el que el procesador invierte 400 ciclos.

- Calcula la sobrecarga que sufre el procesador como consecuencia de las tareas de Entrada/Salida que debe realizar para llevar a cabo la transferencia de datos del disco duro.
- Supongamos ahora que la sincronización no es perfecta y que el procesador debe esperar durante 500 ciclos hasta que el dispositivo esté disponible para la transferencia de un nuevo bloque de datos.

$$a) T_c = \frac{1}{f_c} = \frac{1}{500 \cdot 10^6 s^{-1}} = 2 \cdot 10^{-9} s = 2 ns$$



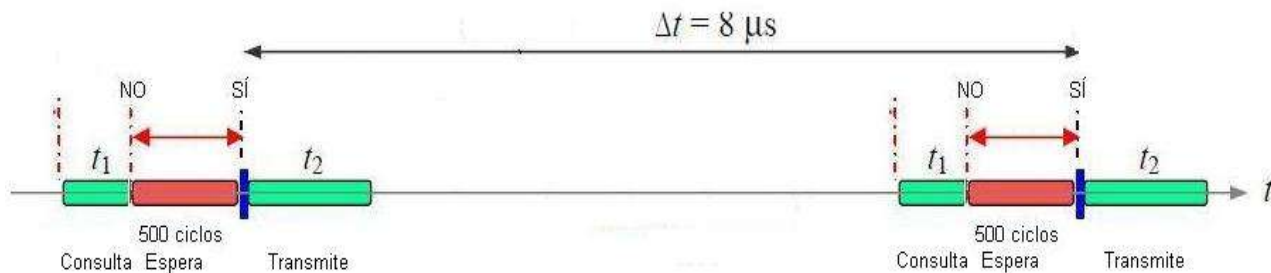
$$t_1 = 200 \text{ ciclos} \cdot 2 \frac{ns}{\text{ciclo}} = 400 ns = 0,4 \mu s$$

$$\Delta t = \frac{10 \text{ palabras} \cdot 32 \frac{\text{bits}}{\text{palabra}} \cdot \frac{1 \text{ bytes}}{8 \text{ bits}}}{5 \cdot 10^6 \frac{\text{bytes}}{s}} = \frac{40 \text{ bytes}}{5 \cdot 10^6 \frac{\text{bytes}}{s}} = 8 \cdot 10^{-6} s = 8 \mu s$$

$$t_2 = 400 \text{ ciclos} \cdot 2 \frac{ns}{\text{ciclo}} = 800 ns = 0,8 \mu s$$

$$SC(\%) = 100 \cdot \frac{t_1 + t_2}{\Delta t} = 100 \cdot \frac{1,2 \mu s}{8 \mu s} = 15\%$$

b)



$$t_{espera} = 500 \cdot T_c = 1000ns = 1\mu s$$

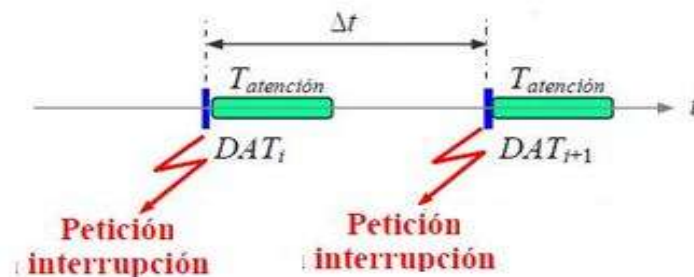
$$SC(\%) = 100 * \frac{t_1 + t_{espera} + t_2}{\Delta t}$$

$$SC(\%) = 100 * \frac{0,4 + 1 + 0,8}{8} = 27,5\%$$

Problema 6

Sea un computador de 32 bits que trabaja a una frecuencia de 200MHz, en el que se realizan operaciones de Entrada/Salida por interrupción con un disco duro. Se sabe que este disco duro transfiere datos en bloques de 10 palabras y que la velocidad de transferencia del disco duro es de 5MB/s. El procesador requiere 800 ciclos para detectar la interrupción, saltar a la RSI y ejecutarla. Suponiendo que el disco duro funciona de forma continua y que interrumpe cada vez que tiene preparado un bloque de datos a transferir, calcula la sobrecarga que sufre el procesador a consecuencia de la operación de E/S.

$$T_c = \frac{1}{f_c} = \frac{1}{200 \cdot 10^6 s^{-1}} = 5 \cdot 10^{-9} s = 5ns$$



$$T_{atención} = 800 \text{ ciclos} \cdot 5 \frac{ns}{\text{ciclo}} = 4000ns = 4\mu s$$

$$\Delta t = \frac{10 \text{ palabras} \cdot 32 \frac{\text{bits}}{\text{palabra}} \cdot \frac{1 \text{ bytes}}{8 \text{ bits}}}{5 \cdot 10^6 \frac{\text{bytes}}{s}} = \frac{40 \text{ bytes}}{5 \cdot 10^6 \frac{\text{bytes}}{s}} = 8 \cdot 10^{-6} s = 8\mu s$$

$$SC(\%) = 100 * \frac{T_{atención}}{\Delta t} = 100 * \frac{4\mu s}{8\mu s} = 50\%$$

Problema 7

Determinemos el impacto de la sobrecarga de la encuesta para el caso de tres dispositivos diferentes. Suponga que el número de ciclos que requiere una operación de encuesta, incluidos el salto a la rutina de encuesta, el acceso al dispositivo y el retorno al programa de usuario, es 400, y que el procesador trabaja con un reloj de 500 MHz.

Determine la proporción del tiempo de CPU que se consume en cada uno de los tres casos siguientes, suponiendo que se puede realizar la encuesta con la frecuencia necesaria para que no se pierda ningún dato y que los dispositivos están potencialmente siempre ocupados:

1. El ratón debe ser encuestado 30 veces por segundo para asegurar que no se pierde ningún movimiento realizado por el usuario.
2. El disco flexible transfiere datos al procesador en unidades de 16 bits, a una velocidad de 50 KB/seg. No debe perderse ningún dato.
3. El disco duro transfiere datos en bloques de 4 palabras de 4 bytes cada una, y puede transferir a una velocidad de 4 MB/seg. De nuevo, no debe perderse ningún dato.

$$1. \quad 30 \frac{\text{encuestas}}{\text{segundo}} \times 400 \frac{\text{ciclos}}{\text{encuesta}} = 12000 \frac{\text{ciclos}}{\text{segundo}}$$

$$SC(\%) = 100 \frac{12000}{500 \cdot 10^6} = 0,0024\% \quad \text{impacto insignificante}$$

$$2. \quad \frac{50000 \frac{\text{bytes}}{\text{seg}}}{16 \frac{\text{bits}}{\text{encuesta}} \cdot \frac{1 \text{ bytes}}{8 \text{ bit}}} = \frac{50000 \frac{\text{bytes}}{\text{seg}}}{2 \frac{\text{bytes}}{\text{encuesta}}} = 25000 \frac{\text{encuesta}}{\text{seg}}$$

$$25000 \frac{\text{encuesta}}{\text{segundo}} \times 400 \frac{\text{ciclos}}{\text{encuesta}} = 10 \times 10^6 \frac{\text{ciclos}}{\text{segundo}}$$

$$SC(\%) = 100 \frac{10 \cdot 10^6}{500 \cdot 10^6} = 2\% \quad \text{impacto apreciable, pero permisible}$$

$$3. \quad \frac{4 \cdot 10^6 \frac{\text{bytes}}{\text{seg}}}{4 \frac{\text{palabras}}{\text{encuesta}} \cdot 4 \frac{\text{bytes}}{\text{palabra}}} = \frac{4 \cdot 10^6 \frac{\text{bytes}}{\text{seg}}}{16 \frac{\text{bytes}}{\text{encuesta}}} = 0,25 \times 10^6 \frac{\text{encuestas}}{\text{seg}}$$

$$250000 \frac{\text{encuesta}}{\text{segundo}} \times 400 \frac{\text{ciclos}}{\text{encuesta}} = 100 \times 10^6 \frac{\text{ciclos}}{\text{segundo}}$$

$$SC(\%) = 100 \frac{100 \cdot 10^6}{500 \cdot 10^6} = 20\% \quad \text{impacto inaceptable}$$

Problema 8

Referido al problema anterior, vamos a calcular el impacto con otras técnicas de E/S.

En primer lugar, si utilizamos E/S por interrupción, sólo para el caso del disco duro. Los datos no indicados expresamente son iguales que en el ejercicio 7, salvo que el disco duro se usa el 5% del tiempo.

Por interrupción

$$\frac{4 \cdot 10^6 \frac{\text{bytes}}{\text{seg}}}{4 \frac{\text{palabras}}{\text{encuesta}} \cdot 4 \frac{\text{bytes}}{\text{palabra}}} = \frac{4 \cdot 10^6 \frac{\text{bytes}}{\text{seg}}}{16 \frac{\text{bytes}}{\text{encuesta}}} = 0,25 \times 10^6 \frac{\text{transf}}{\text{seg}}$$

$$250000 \frac{\text{transf}}{\text{segundo}} \times 400 \frac{\text{ciclos}}{\text{transf}} = 100 \times 10^6 \frac{\text{ciclos}}{\text{segundo}}$$

$$SC(\%) = 5 \frac{100 \cdot 10^6}{500 \cdot 10^6} = 1\% \quad \text{impacto 20 veces menor que en E/S progr.}$$

En segundo lugar, si utilizamos E/S por DMA transparente. Los datos no indicados expresamente son iguales que en el ejercicio 7. La programación del DMA necesita 1000 ciclos y la rutina del servicio de interrupción una vez finalizada la transferencia necesita 500 ciclos. Cada transferencia DMA es de 4 Kbytes. Calcularlo en dos casos: con el disco constantemente transmitiendo y si la transmisión del disco fuera el 5% del tiempo.

Por DMA, con el disco constantemente transmitiendo

$$\frac{4 \cdot 10^6 \frac{\text{bytes}}{\text{seg}}}{4096 \frac{\text{bytes}}{\text{transf}}} = 976,5625 \frac{\text{transf}}{\text{seg}}$$

$$976,5625 \frac{\text{transf}}{\text{segundo}} \cdot (1000 + 500) \frac{\text{ciclos}}{\text{transf}} = 1464844 \frac{\text{ciclos}}{\text{segundo}} \approx 1,465 \text{MHz}$$

$$SC(\%) = 100 \frac{1,465 \cdot 10^6}{500 \cdot 10^6} = 0,293\% \quad \text{impacto aprox. de 60 veces menor que en E/S progr.}$$

Por DMA, con el disco transmitiendo el 5% del tiempo

$$SC(\%) = 5 \frac{1,465 \cdot 10^6}{500 \cdot 10^6} = 0,01465\% \quad \text{impacto aprox. 300 veces menor que E/S progr.}$$

Problema 9

Un controlador de DMA está transmitiendo, mediante robo de ciclos, palabras a memoria desde un periférico. Cada palabra tiene una longitud de 8 bits. La CPU realiza la búsqueda de las instrucciones a una velocidad de 1 millón de instrucciones por segundo (1 MIPS) y tarda, en término medio, 2 ciclos en ejecutar cada instrucción. Si el porcentaje en que se reduce la velocidad de la CPU debido al controlador de DMA es del 0,89%, ¿a qué velocidad está transmitiendo el DMA?

Sea V (bits/sg la velocidad pedida del DMA). La velocidad del DMA es

$$\frac{V \frac{\text{bits}}{\text{seg}}}{8 \frac{\text{bits}}{\text{palabra}}} = \frac{V \text{ palabras}}{8 \text{ seg}}$$

Al usar robo de ciclo, en cada ciclo el DMA transmite una palabra completa, con lo que el nº de robos de ciclos es $\frac{V \text{ ciclos}}{8 \text{ seg}}$. Estos ciclos son los que la CPU deja

de ejecutar y disminuyen la velocidad de la CPU. Esta disminución, expresada en instrucciones por segundo, sería: $\frac{\frac{V \text{ ciclos}}{8 \text{ seg}}}{2 \frac{\text{ciclos}}{\text{instr}}} = \frac{V \text{ instr}}{16 \text{ sg}}$, que es el 0,89% de la velocidad de trabajo de la CPU (1

$$\text{MIPS}). \text{ Por tanto, } 0,89 = 100 \frac{\frac{V \text{ instr}}{16 \text{ seg}}}{10^6 \frac{\text{instr}}{\text{seg}}}, \text{ de donde resulta } V = \frac{0,89 \cdot 10^6 \cdot 16}{10^2} = 142400 \frac{\text{bits}}{\text{seg}}$$

Problema 10

Un computador dispone de una unidad de disco con una velocidad de lectura de 2M palabras por segundo y con un buffer interno de 1M palabras que cuando se llena transfiere su contenido a la memoria principal utilizando DMA por ráfagas. El controlador de DMA tarda 4 ciclos de reloj en transmitir cada palabra. Las instrucciones emplean, en promedio, 8 ciclos de reloj en ser ejecutadas. Si la frecuencia de reloj del computador es 500×10^6 ciclos/s, ¿cuántas instrucciones por segundo ejecuta la CPU cuando tiene el control del bus? ¿Cuántas instrucciones por segundo dejan de ser ejecutadas por la CPU en una operación de lectura del disco?

$$\text{Cuando la CPU tiene el control del bus ejecuta } \frac{500 \cdot 10^6 \frac{\text{ciclos}}{\text{seg}}}{8 \frac{\text{ciclos}}{\text{instruc}}} = 62,5 \cdot 10^6 \frac{\text{instruc}}{\text{seg}}$$

Cuando el controlador de DMA usa el bus, necesita $2 \cdot 10^6 \frac{\text{palabras}}{\text{segundo}} \times 4 \frac{\text{ciclos}}{\text{palabra}} = 8 \cdot 10^6 \frac{\text{ciclos}}{\text{segundo}}$, con lo que la cantidad de instrucciones por segundo dejadas de ejecutar por la CPU será

$$\frac{8 \cdot 10^6 \frac{\text{ciclos}}{\text{seg}}}{8 \frac{\text{ciclos}}{\text{instruc}}} = 10^6 \frac{\text{instruc}}{\text{seg}}$$