

САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ  
УНИВЕРСИТЕТ ИТМО

Дисциплина: Архитектура ЭВМ

Отчет

по домашней работе № 2

**«ПОСТРОЕНИЕ СЛОЖНЫХ ЛОГИЧЕСКИХ СХЕМ»**

Выполнил: Султанов Мирзомансурхон Махсудович

студ. гр. М313Д

Санкт-Петербург

2020

**Цель работы:** моделирование сложных логических схем на элементах с памятью.

**Инструментарий и требования к работе:** работа выполняется в logisim.

## Теоретическая часть

Счётчик – это устройство, которое осуществляет счёт входных сигналов и хранение накапливаемой величины. В основе любого счётчика лежат триггеры, однако в самих счётчиках триггеры связаны более сложным образом. Содержимое счётчика сохраняется только до тех пор, пока включено питание схемы. В цифровых приборах счётчик используется для формирования последовательности чисел, для деления частоты и для подсчёта количества сигналов.

Очевидно, что счётчик используется для счёта входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счётчика увеличивается на единицу, если счётчик суммирующий, и уменьшается на единицу, если счётчик вычитающий (см. рисунок 1) Срабатывать счётчик может по отрицательному фронту тактового сигнала (как на рисунке) или по положительному фронту.

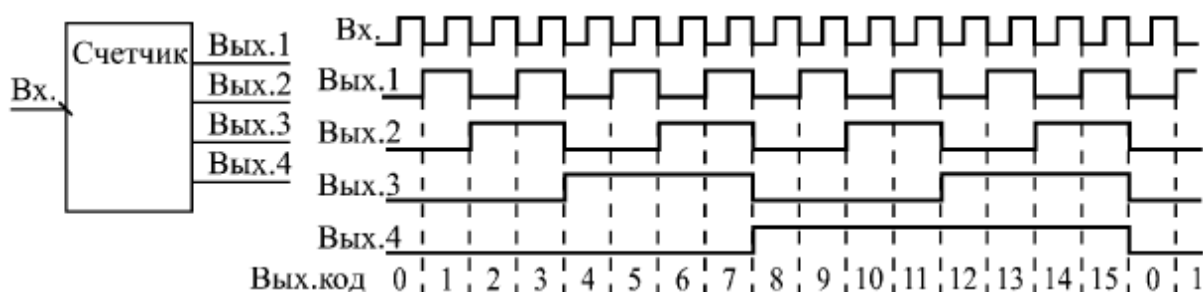


Рисунок 1 – Работа 4-разрядного суммирующего счётчика.

Режим счёта обеспечивается использованием внутренних триггеров, работающих в счётном режиме. Выходы счётчика представляют собой выходы триггеров. Каждый выход счётчика представляет собой разряд двоичного кода, причём разряд, переключающийся чаще других по каждому входному импульсу, будет младшим, а разряд, переключающийся реже других, - старшим. На 1 рисунке видно, что на 1 выходе находится младший разряд, а на 4 выходе - старший.

Число разрядов счётчика определяется максимальной разрядностью числа, которое должно в нём храниться. Двоичный N-разрядный счётчик

будет иметь  $2^N$  различных состояний. Каждому состоянию счётчика соответствует двоичное число, начиная от 0 до  $N-1$ .

К основным параметрам счётчика кроме  $K_{сч}$  относятся разрешающая способность ( $t_p$ ) и время установления кода ( $t_{уст}$ ). Разрешающая способность – минимально допустимый интервал времени между входными импульсами, при котором еще не происходит сбоя, т.е. пропуска счёта сигналов. Время установки кода – это интервал времени между моментом поступления на вход импульса счёта и моментом завершения перехода счётчика в нулевое состояние.

По направлению счёта счётчики делятся на суммирующие, вычитающие и реверсивные. Суммирующие счётчики работают на увеличение выходного кода по каждому входному импульсу; это основной режим, имеющийся во всех счётчиках, он называется режимом прямого счёта. Вычитающие счётчики очевидно работают на уменьшение выходного кода по каждому входному импульсу; он также называется режимом инверсного счёта. Реверсивный же счётчик, каждый раз доходя до 0 или  $N-1$ , меняет направление счёта.

По модулю счёта счётчики делятся на двоичные, двоично-десятичные и с произвольным модулем счёта. Большинство счётчиков работают в обычном двоичном коде (двоичные счётчики), то есть считают от 0 до  $(2N-1)$ , где  $N$  - число разрядов выходного кода счётчика. 4-разрядный счётчик в режиме прямого счёта будет считать от 0 (код 0000) до 15 (код 1111). После максимального значения кода счётчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счёт - инверсный, то счётчик считает до нуля, а дальше переходит к максимальному коду 111...1.

В двоично-десятичных счётчиках предельный код на выходе не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счётчик в режиме прямого счёта будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9. При инверсном счёте двоично-десятичные счётчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 - для 4-разрядного счётчика).

Принимая во внимание всё выше сказанное, можно сделать вывод, что верны следующие соотношения:

$$Q = (D + \text{SUM}(C)) \bmod M$$

$$CR = (D + \text{SUM}(C)) \setminus M$$

В этих формулах:  $Q$  - код на выходах счётчика,  $D$  - начальное значение записанное в счётчик,  $\text{SUM}(C)$  - сумма импульсов поступивших на вход в процессе счета и  $M$  - модуль счёта или число различных состояний счётчика (число импульсов поступивших на счетный вход, после которых счетчик возвращается в исходное состояние),  $CR$  - число импульсов переноса, возникающих при возврате счётчика в исходное состояние на одноименном выходе,  $\bmod$  - операция нахождения остатка при делении на  $M$ ,  $\setminus$  - операция целочисленного деления .

По способу счёта счётчики могут быть асинхронными и синхронными. В асинхронных счётчиках триггеры переключаются последовательно (асинхронно) от разряда к разряду, а в синхронных одновременно. Один Т-триггер обеспечивает модуль счёта  $M = 2$ , а  $n$  триггеров дадут  $M = 2^n$ . При суммировании импульсов необходимо формировать перенос из  $i$ -го в  $(i+1)$ -ый разряд по следующему правилу:

Правило 1: перенос  $CR$  из  $i$ -го в  $(i+1)$ -ый разряд формируется, если во всех разрядах с  $i$ -го по 0-й записана максимальная для данной системы счисления цифра, при этом разряды младше  $(i+1)$ -го обнуляются.

	Q	i+1	i..0		Q	i+1	i..0	
		0	9999			0	1111	1--->
DEC	+		1	BIN	+	1		отрицательный
	-----				-----			перепад
	1	0000			1	0000		--->0

Рисунок 2 – Работа переноса.

На прямых выходах триггеров этих разрядов  $Q_i$  формируется отрицательный перепад (см. рисунок 2), а на инверсных - положительный.

Правило 2: Если в счётчике используются триггеры с прямым динамическим входом, то сигнал переноса в суммирующем счётчике снимается с инверсных выходов предыдущих триггеров, а если триггеры с

инверсным динамическим входом, то сигнал переноса берётся с прямых выходов.

## Практическая часть

Кратко опишу план действий. Для начала построим синхронный JK-триггер на основе синхронного RS-триггера, затем путём простых преобразований превратим синхронный JK-триггер в синхронный T-триггер и в конце концов построим вычитающий счётчик с разрядностью 13 бит.

Построенная схема синхронного JK-триггера (см. на рисунок 3) будет оптимальной, так как она будет инвертировать своё состояние лишь раз за такт, что является предпочтительнее нежели схема, состоящая из одного RS-триггера, которая будет переключаться за такт многократно.

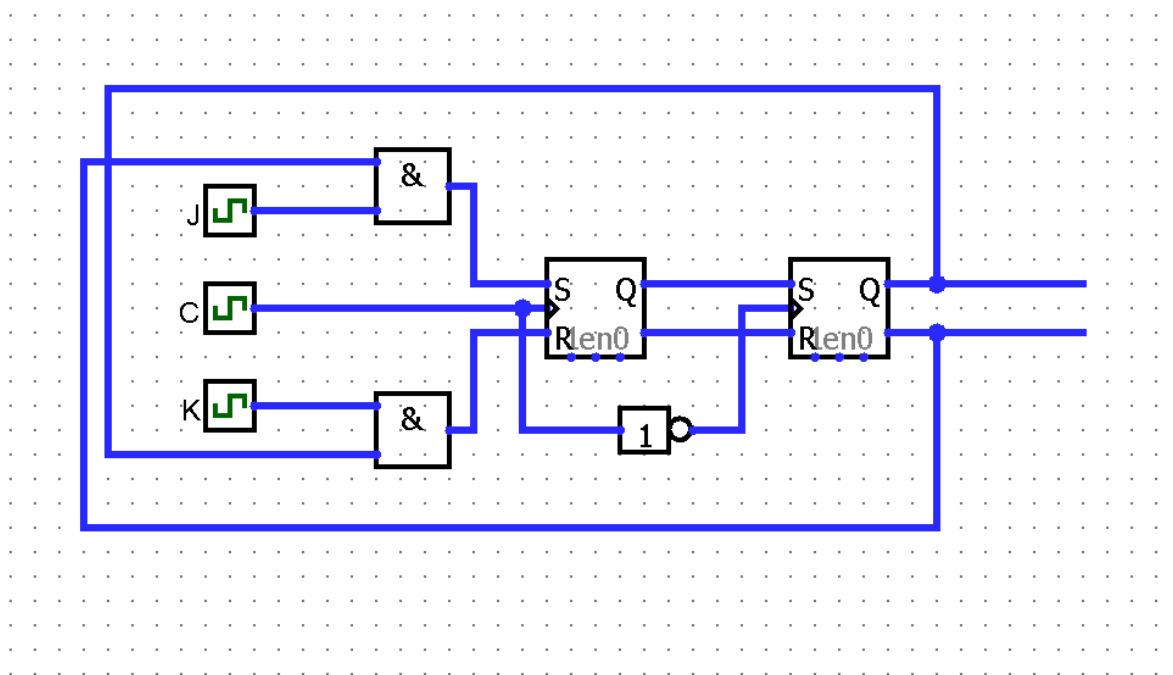


Рисунок 3 – Схема JK-триггера на основе RS-триггера

Для того чтобы наш полученный JK-триггер превратить в T-триггер, достаточно заменить элементы J и K на T, как показано 4 рисунке, и инвертировать C, чтобы T-триггер менял значение Q, когда C принимает значение 1.

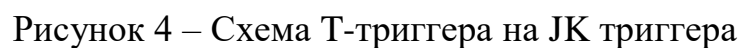


Рисунок 5 – Схема вычитающего счётчика с разрядностью 13 бит