

Laboratorio di Segnali e sistemi — Canale III

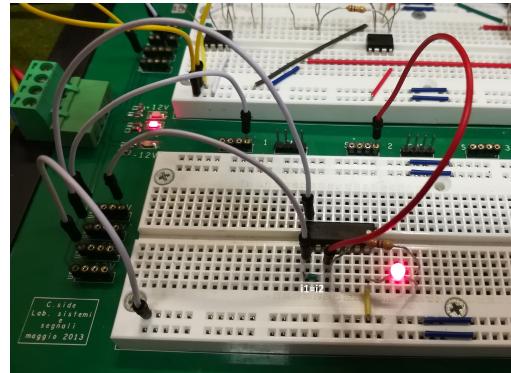
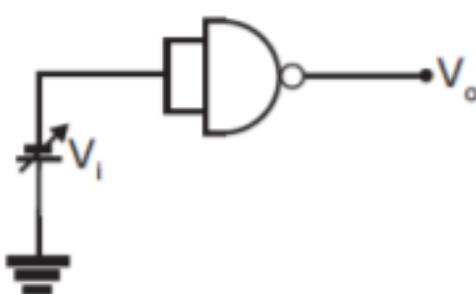
Logica digitale con integrato 74LS00 (porte NAND)

Pacchiarotti Dario, Speranza Andrea, Umassi Michele

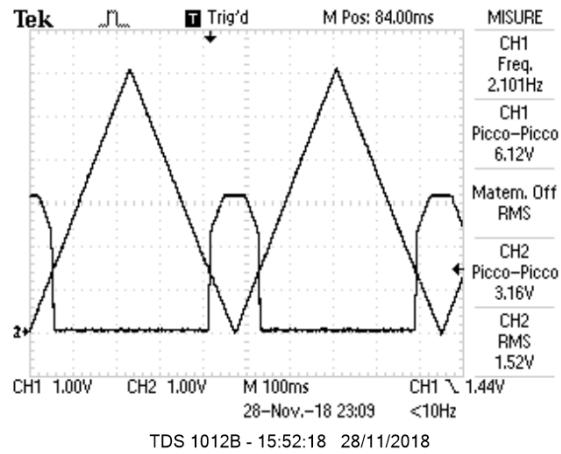
November 29, 2018

1 Livello di commutazione delle porte logiche TTL

Costruiamo una porta NOT utilizzando un NAND nell'integrato della serie 74, il 74LS00. Alimentiamo con una tensione di circa 5V il piedino Vcc e mettiamo a massa il GND. Colleghiamo fra di loro i pin di entrata di uno dei NAND. Inseriamo il connettore lungo di un LED sull'uscita Y1 attraverso una resistenza $R = 469 \pm 1 \Omega$. Il terminale corto è messo a massa, come riportato in figura

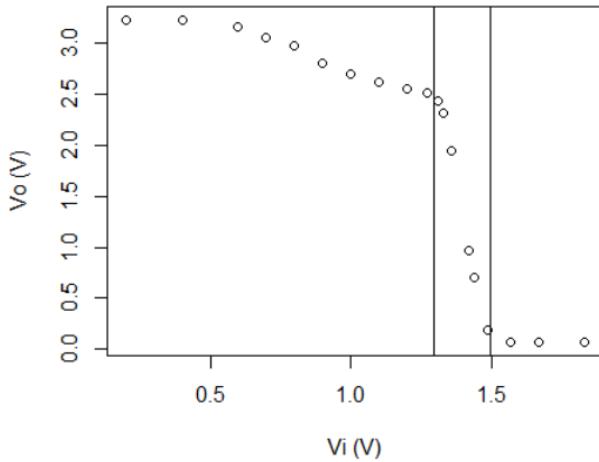


Per verificare il corretto funzionamento della porta, inviamo con il generatore di segnali un'onda quadra ai pin A1 e B1 (collegati fra loro attraverso il ponticello verde). Prelevando l'uscita da Y1, osserviamo la risposta sul canale due dell'oscilloscopio. Quello che vediamo è un segnale perfettamente opposto a quello in entrata (massimo quando l'entrata è a zero e viceversa). Si può avere un'idea di quale sia la soglia di commutazione tra 0 ed 1 logici in funzione della tensione dei pin. Questo si può fare mandando un segnale triangolare (variabile linearmente nel tempo) ed osservandone l'effetto in output.



Come si può vedere, questa soglia si trova a circa 1.5V. Dopo i 2.3V, i transistor vanno in saturazione ed il segnale viene tagliato. Per ottenere il grafico di $v_o = f(v_i)$ (e quindi una stima migliore di soglia e gap), ripetiamo la procedura mandando una serie di segnali in DC a diverse tensioni. Da questi dati possiamo vedere sotto quale potenziale otteniamo lo 0 logico, e sopra quanto abbiamo un 1. Riportiamo nella tabella i valori di tensione v_i e v_o . A seguire è il grafico di v_o in funzione di v_i .

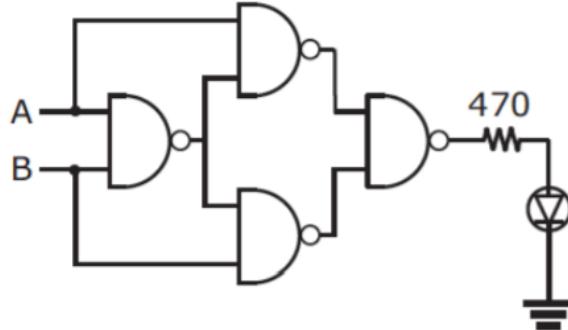
$v_i \pm 0.01$ (V)	$v_o \pm 0.01$ (V)
0.20	3.23
0.41	3.23
0.60	3.16
0.70	3.05
0.82	2.98
0.90	2.80
1.00	2.70
1.11	2.62
1.20	2.55
1.27	2.52
1.31	2.44
1.33	2.31
1.36	1.95
1.42	0.97
1.44	0.71
1.49	0.19
1.57	0.07
1.67	0.07
1.83	0.07



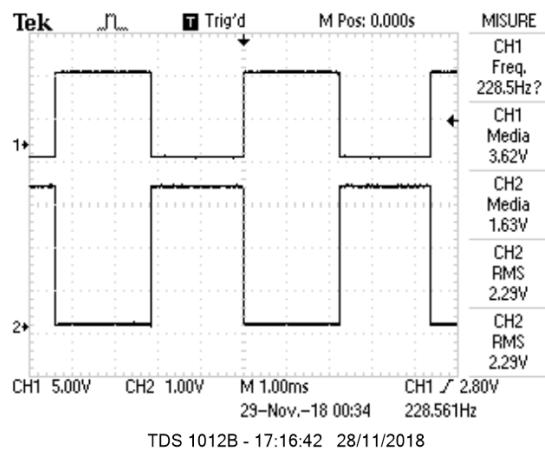
La porta inizia a commutare sopra $\sim 1.3V$ (1.298), e raggiunti i $\sim 1.5V$ (1.496), possiamo con certezza dire di avere uno 0 logico. Il valore di tensione per $V < 1.3$ non è costante. Questo perchè al fine del circuito, e delle funzioni booleane che ci interessano, è importante che sia sopra i 2V, così da trovarci l'1 logico assicuratoci dal fornitore. Il gap di tensione che divide i due stati è quindi $\Delta V = 1.496 - 1.298 = 0.198V$. Avendo la retta che approssima i punti in questa banda un coefficiente angolare alto, è difficile stabilire con accuratezza e costanza le tensioni intorno ai punti di commutazione.

2 Circuiti con porte NAND: XOR

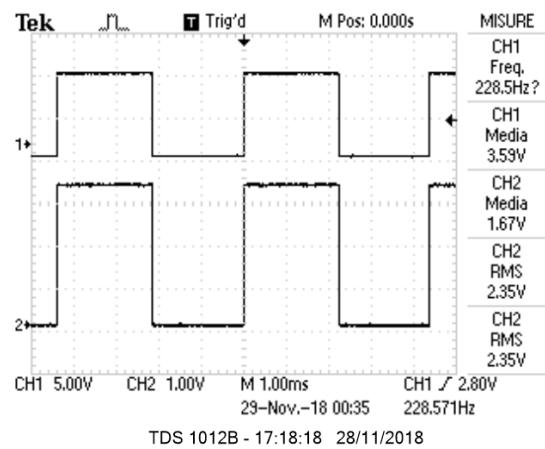
Costruiamo un circuito logico XOR (OR esclusivo che resiste 1 se e solo se almeno uno degli ingressi ha stato diverso dagli altri) come in figura.



Per dimostrare che funziona correttamente, lasciando il LED collegato come prima attraverso la resistenza R , fissiamo il valore di uno dei due ingressi (B) prima ad 1 (collegandolo alla stessa alimentazione dell'integrato) e poi a 0 (connettendolo a massa). Inviamo quindi all'ingresso A un'onda quadra che varia tra gli 0 ed i 3.62 ± 0.01 V (il duty cycle è 50/50 per semplicità). Nel primo caso ci aspettiamo che l'uscita sia opposta al segnale di entrata (avendo B ad 1, Q è 1 se A è 0 e viceversa).



Al contrario, quando B è fisso sullo 0 logico, l'output sarà concorde con l'input (se B è 0, A deve essere 1 perchè lo sia anche Q. Vale l'opposto).

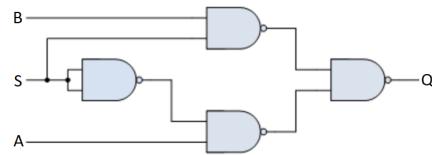


Le immagini acquisite dallo schermo dell'oscilloscopio confermano il corretto funzionamento del nostro circuito, e provano la tabella di verità dello XOR riportata in seguito.

A1	B1	Q
0	0	0
0	1	1
1	0	1
1	1	0

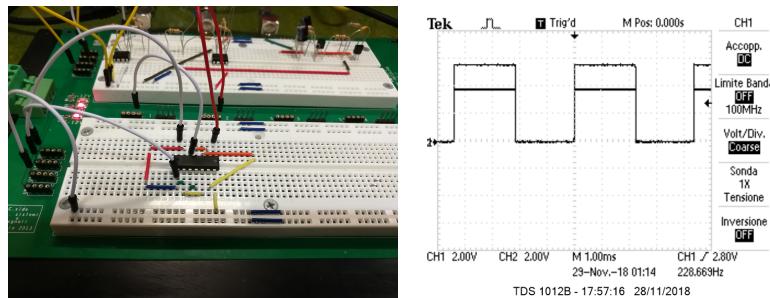
3 Circuiti con porte NAND: Multiplexer

Il multiplexer è un circuito che, in base al livello logico dell'ingresso di selezione S, è in grado di trasmettere lo stato di uno dei due ingressi (A o B) all'uscita Q.



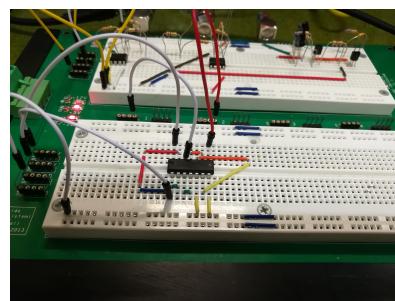
Per guardare la casistica degli input sarebbe efficiente mandare ai due ingressi due onde quadre identiche, ma con duty cycle uno la metà dell'altro, tenendo fisso S. Per fare ciò è però necessario mettere in perfetta fase le due onde. Dopo averci provato a mano e con l'accoppiamento cablato dei due generatori, il risultato non è ancora quello desiderato. Ci limitiamo così a studiare i casi divisi in 4 parti: mandando un'onda quadra a B e permutando le 4 combinazioni di S ed A (11,00,10,01).

A=S=1

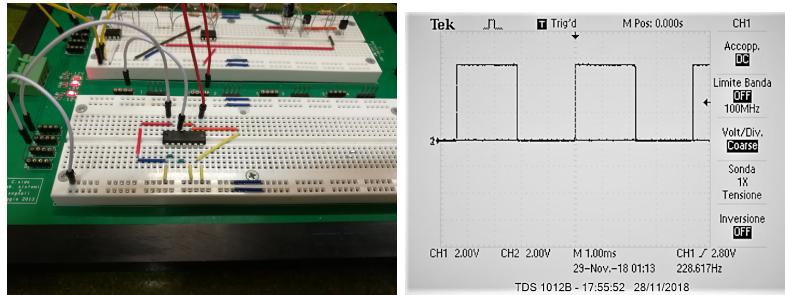


Con S=1, il circuito copia lo stato di B indipendentemente dallo stato di A. Per questo non verrà riportata la stessa immagine nel prossimo caso

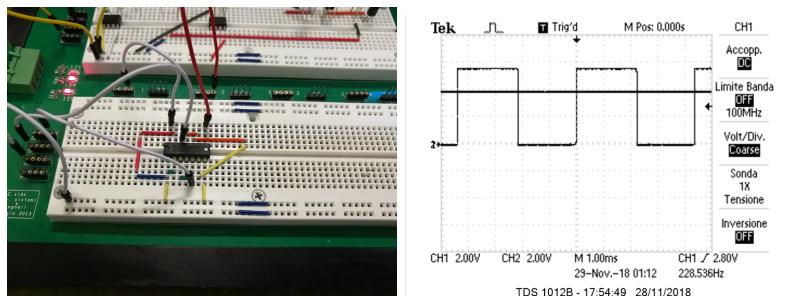
A=0, S=1



A=S=0



Nel caso S=0, il circuito copia A. Infatti l'output è piatto sullo 0 logico
A=1,S=0



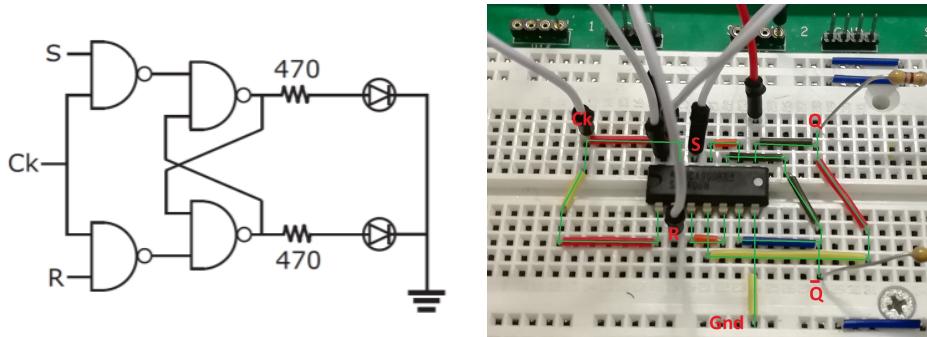
Analogamente al caso precedente, lo stato di A è copiato. Essendo questo 1, su CH2 vediamo un segnale piatto con offset: Q è ad 1 indipendentemente da B
Le tabelle di verità che ne risultano, sono le seguenti (in ordine per S=1, S=0)

A	B	Q
0	0	0
0	1	1
1	0	0
1	1	1

A	B	Q
0	0	0
0	1	0
1	0	1
1	1	1

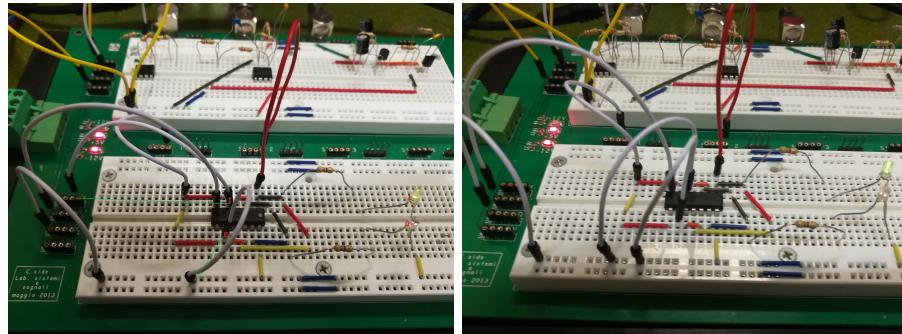
4 Flip-Flop SR

Il Flip-Flop è un particolare tipo di circuito sequenziale nel quale la temporizzazione dei fenomeni è rilevante. A differenza di quei circuiti in cui la variabile tempo è inutile ai fini della loro funzionalità, il segnale "clock", stavolta, ha il ruolo di stabilire quando (nel caso dei latch semplici anche per quanto tempo) possiamo modificare lo stato di Q e "memorizzarlo". Riportiamo circuito e schema di montaggio (in nessuna particolare configurazione, al fine di comprenderne la costruzione).

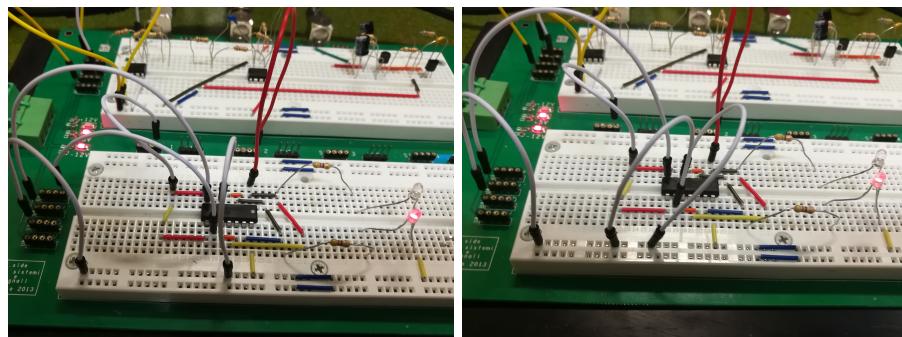


||NB: per banale dimenticanza, lo stato di tutti gli input non è stato mostrato con led, bensì riportati in base al cablaggio|| Come abbiamo già detto, l'ingresso C_k , detto di Clock, serve ad attivare il circuito. Infatti, finché questo è zero, l'uscita del primo stadio (i 2 NAND di input) è sempre 1 (essendo NAND attivo se almeno una delle entrate è 0), a prescindere dallo stato logico di S ed R. Ciò implica che le porte del secondo stadio (quelle collegate tra loro con il segnale di ritorno) restano nello stato in cui sono state messe al tempo n-1. Quando invece il clock commuta ad 1, possiamo studiare il comportamento di Q in funzione delle entrate. Il clock è messo a frequenza $\sim 2\text{kHz}$, quindi è considerabile sempre attivo per i cambiamenti che facciamo.

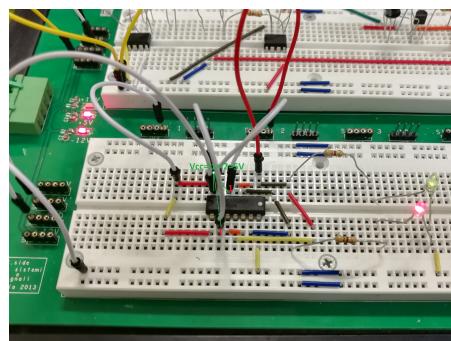
Nel primo caso mettiamo S ad 1 ed R a 0. Vediamo il led verde (Q) accendersi: $Q=1$. Posto a massa (0) anche S, questo rimane nello stesso stato (entrambe le entrate a 0, $S_n = S_{n-1}$).



Se adesso facciamo il contrario, ossia facciamo S=0 ed R=1, si accende il led rosso (\bar{Q}). Ne deduciamo che $Q=0$. Posti allo 0 logico entrambi gli input, otteniamo lo stesso risultato di prima: non cambia nulla e lo stato rimane invariato.



L'ultimo caso è con entrambe le entrate ad 1. In questo caso, come previsto teoricamente, entrambe le uscite si portano a stato logico 1. Questo è paradossale in quanto se $Q=1$, $\bar{Q} = 0$, ma come possiamo vedere, anche quest'ultimo è 1. Questo dipende dal limite finito della velocità di commutazione delle porte.



La tabella di verità, semplificando S=R=0 come un caso solo, essendo logicamente equivalente (stato congelato), è riportata in seguito

S	R	Q_n	\bar{Q}_n
1	0	1	0
0	1	0	1
0	0	S_{n-1}	\bar{S}_{n-1}
1	1	1	1

Tutti i circuiti logici rispettano il loro comportamento teorico.