

# 加法器及其应用

PB19000132 苗立扬 PB18020556 戴佳乐

2022 年 2 月 26 日

## 1 实验目的

- (1) 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
- (2) 掌握中规模集成电路加法器的工作原理及其逻辑功能。

## 2 实验原理

在数字系统中，经常需要进行算术运算，逻辑操作及数字大小比较等操作，实现这些运算功能的电路是加法器。加法器是一种组合逻辑电路，主要功能是实现二进制数的算术加法运算。

### 2.1 半加器

- (1) 半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为半加器。

半加器真值表

$A_i$	$B_i$	$S_i$	$C_i$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

图 1: 半加器真值表

(2) 由真值表可得出半加器的逻辑表达式，见图 1。

(3) 其逻辑表达式、逻辑图及符号见图 2。

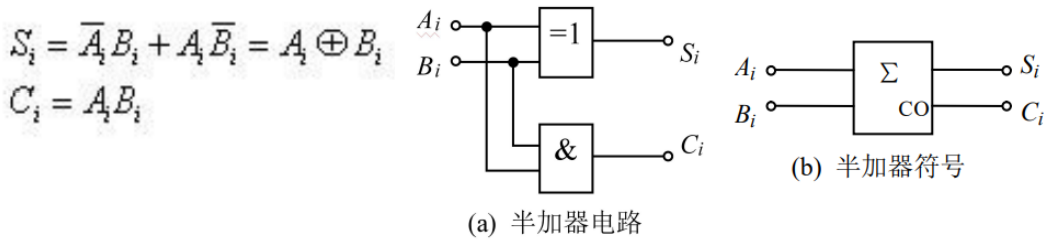


图 2: 半加器逻辑表达式、逻辑图及符号

## 2.2 全加器

(1) 两个多位数相加是每一位都是带进位相加，所以必须用全加器。这时只要依次将低位的进位输出接到高位的输入，就可构成多位加法器了。

(2) 全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制加法。

(3) 逻辑表达式：

$$\begin{aligned}
 S_i &= m_1 + m_2 + m_4 + m_7 = \overline{A_i}\overline{B_i}C_{i-1} + \overline{A_i}B_i\overline{C}_{i-1} + A_i\overline{B_i}\overline{C}_{i-1} + A_iB_iC_{i-1} \\
 &= \overline{A_i}(\overline{B_i}C_{i-1} + B_i\overline{C}_{i-1}) + A_i(\overline{B_i}\overline{C}_{i-1} + B_iC_{i-1}) = \overline{A_i}(B_i \oplus C_{i-1}) + A_i(\overline{B_i} \oplus \overline{C}_{i-1}) \\
 &= A_i \oplus B_i \oplus C_{i-1} \\
 C_i &= m_3 + m_5 + A_iB_i = \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i = (\overline{A_i}B_i + A_i\overline{B_i})C_{i-1} + A_iB_i \\
 &= (A_i \oplus B_i)C_{i-1} + A_iB_i
 \end{aligned}$$

图 3: 全加器逻辑表达式

(4) 全加器真值表、逻辑图及符号：

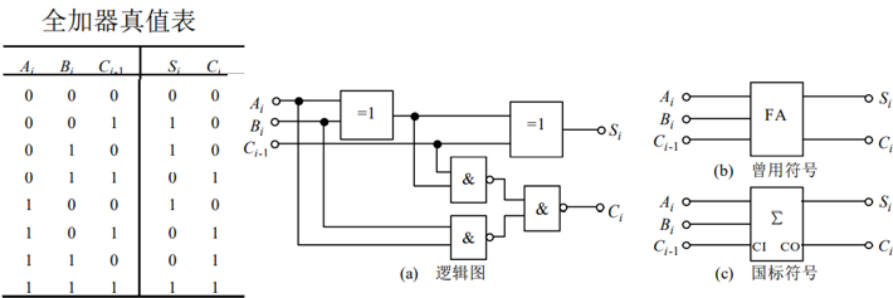


图 4: 全加器真值表、逻辑图及符号

## 2.3 串行进位加法器

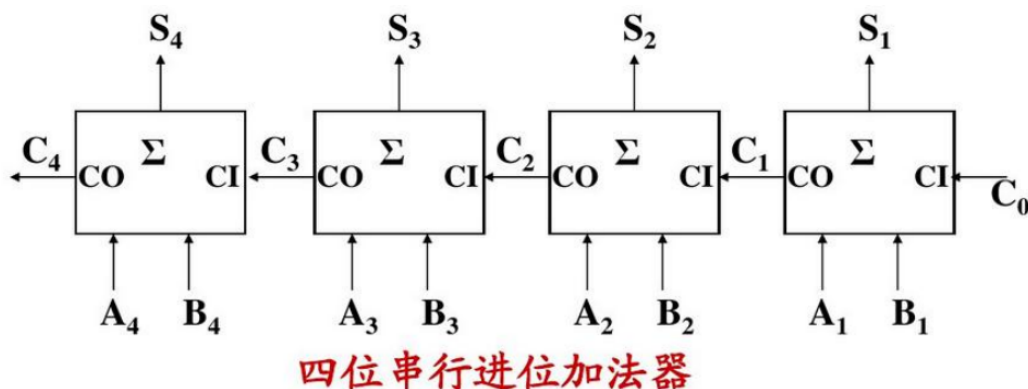


图 5: 四位串行进位加法器

特点：结构简单、运算速度慢。

## 2.4 并行加法器

### 2.4.1 进位链

把  $n$  个加法器单元电路按一定方式互联起来，即构成  $n$  位的并行加法器。其由两部分组成：

(1) 并行成分，指两个操作数的所有位同时并行加入加法器运算；

(2) 链结构。

虽然操作数各位同时加入加法器进行运算，但并非所有位和数都同时产生，它存在进位的产生与传送问题，进位的产生与传送称为进位链，它的结构是影响加法器速度的关键。

### 2.4.2 先行进位

先行进位也称并行进位，指加法器各位的进位是各自独立且同时产生的，高一位的进位不依赖低位的进位产生与传送。并行加法器任何一位的进位：

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} = A_i B_i + (A_i + B_i) C_{i-1} \quad (1)$$

它可以分为两个部分， $A_i B_i$  和  $(A_i \oplus B_i) C_{i-1}$ ，前者仅与这一位的两个操作数有关，与低位的进位无关，称它为本地进位或进位生成函数，记为  $G_i$ ；后者不仅与操作数有关，还与低位的进位有关，称它为传递进位，称  $(A_i \oplus B_i)$  或  $(A_i + B_i)$  为传递函数  $P_i$ 。因此可以写成：

$$C_i = G_i + P_i C_{i-1} \quad (2)$$

## 2.5 超前进位并行加法器

(1) 超前进位电路构成的快速进位的 4 位全加器电路 74LS283，可实现两个四位二进制的全加。

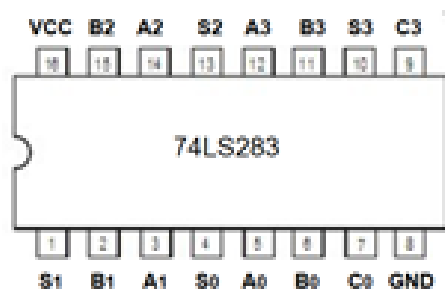


图 6: 74LS283 集成芯片引脚图

(2) 加进位输入  $C_0$  和进位输出  $C_3$  主要用来扩大加法器字长，作为组间行波进位之用。由于它采用超前进位方式，所以进位传送速度快。

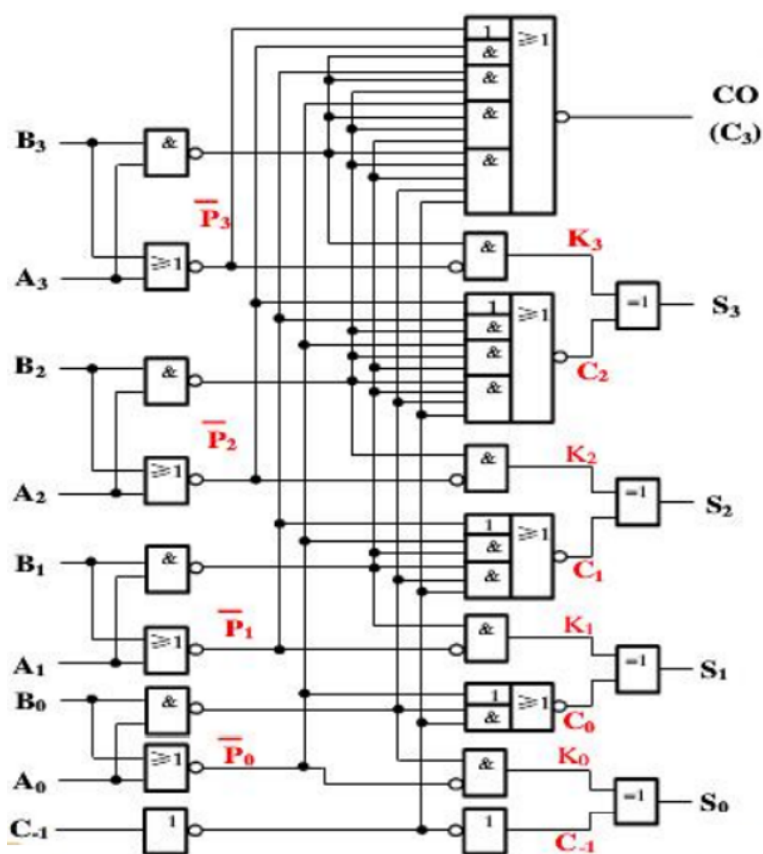


图 7: 74LS283 电路图

### 3 实验内容、步骤与结果

3.1 实验一：用一片 74LS283 实现并行四位全加，将 A 置为 1001，B 置为 0000~1001，依次计算 A+B 并记录结果表列。

A				B				A+B				
1	0	0	1	0	0	0	0	0	1	0	0	1
1	0	0	1	0	0	0	1	0	1	0	1	0
1	0	0	1	0	0	1	0	0	1	0	1	1
1	0	0	1	0	0	1	1	0	1	1	0	0
1	0	0	1	0	1	0	0	0	1	1	0	1
1	0	0	1	0	1	0	1	0	1	1	1	0
1	0	0	1	0	1	1	0	0	1	1	1	1
1	0	0	1	0	1	1	1	1	0	0	0	0
1	0	0	1	1	0	0	0	1	0	0	0	1
1	0	0	1	1	0	0	1	1	0	0	1	0

图 8: A+B 记录表

3.2 实验二：用两片 74LS283 和必要的门电路实现两个 8421BCD 码求和运算，结果仍为 8421BCD 码，要求画出逻辑功能图。

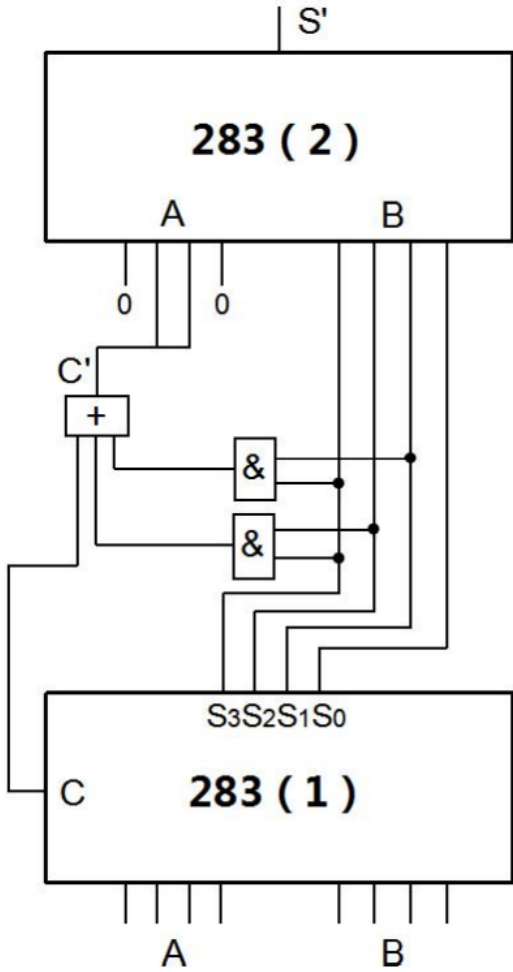


图 9: 8421BCD 码加法器电路

A	B	显示
0111	0101	12
0100	0100	8
1010	0001	11
1011	0010	13

表 1: 8421CD 码求和结果表

## 4 总结

通过这次实验，本组同学掌握了组合逻辑电路的设计方法，理解了半加器和全加器的逻辑功能，掌握了中规模集成电路加法器的工作原理及其逻辑功能。

使用门电路实现半加器与全加器时，首先应列出半加器真值表或全加器真值表，然后由真值表得到逻辑表达式，再通过化简，画出逻辑电路图。

使用四位二进制全加器 74LS283 设计代码转换电路时，由于具有加法器功能，所以很方便进行转换。比如 8421 转换为余 3 码，余 3 码与 8421 码相差 3，所以加三就可以得到余 3 码。相差部分，只需要用 283 进行加法。

## 5 思考题

### 5.1 用两片 74LS283 和必要的门电路实现一个带借位输入和借位输出的 8421BCD 码减法器，要求电路输出为原码

283 原本是四位全加器，这里用于做减法器，很自然想到用补码代替被减数做加法运算。 $A$  四位输入， $B$  四位输入。做  $A - B$ 。 $C_i$  为借位输入，即低位向  $A$  借位，由于是二进制运算，所以借位只会为 0 或 1。 $C_0$  为借位输出，即  $A - B$  向高位借位，也为 0 或 1。283 本身有一个进位输入，将其取反引出作为  $C_i$  输入。无借位输入时， $B$  反码加 1，有借位输入时  $B$  反码不加。 $B$  取反码输入，连接 283 前先通过反相器。第一片 283 进位输出取反为  $C_0$ 。若  $A < B$ ， $C_0$  为 1，此时第一片输出结果为补码，需要用第二片 283 取补码。逻辑电路图如下：

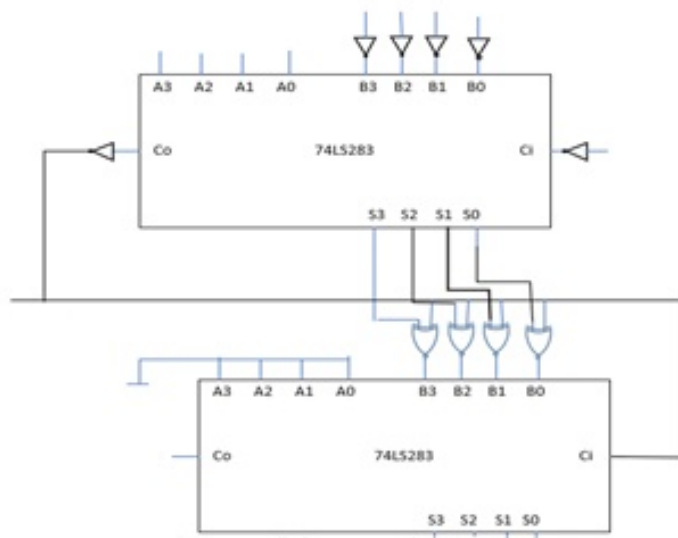


图 10: 8421BCD 码减法器电路图

第一片 283 输出，与  $C_0$  做异或，因为若没有进位输出，说明减法结果为正数，不要求补码。若结果为负数，此时  $C_0$  为 1，则第一片 283 输出取反输入第二片 283，同时  $C_0$  作为第二片  $C_i$ ，因为取反加一为补码，第二片输出结果为  $A - B$  的差值绝对值。