



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 1 Deney Raporu

Temel Lojik Devreler, Boole Cebri ve Donanım Tanımlama Dillerine Giriş

Hazırlayanlar
1) 200102002025 – Umut Mehmet ERDEM
2) 200102002066 – Emre TANER

İçindekiler

1. Giriş	2
2. Problemler.....	2
3. Sonuçlar ve Genel Yorumlar	17
4. Referanslar	17

1. Giriş

Bu deneyde aşağıda verilen maddeler amaçlanmaktadır:

1. Boole cebri denklemleri ile doğruluk tablosu ve lojik devre diyagramları ile arasındaki ilişkiyi gözlemlemek ve dönüşümleri gerçekleştirmek.
2. Basit lojik kapıları kullanarak devre tasarlamak ve donanım tanımlama dili (DTD) simülasyonu ile çalışmasını doğrulamak.
3. Boole cebri kullanarak lojik sadeleştirme gerçekleştirmek ve sadeleştirilmiş lojik devrenin çalışmasını DTD fonksiyonel simülasyonla doğrulamak.
4. Zamanlama diyagramı kullanmayı ve yorumlamayı öğrenmek.

2. Problemler

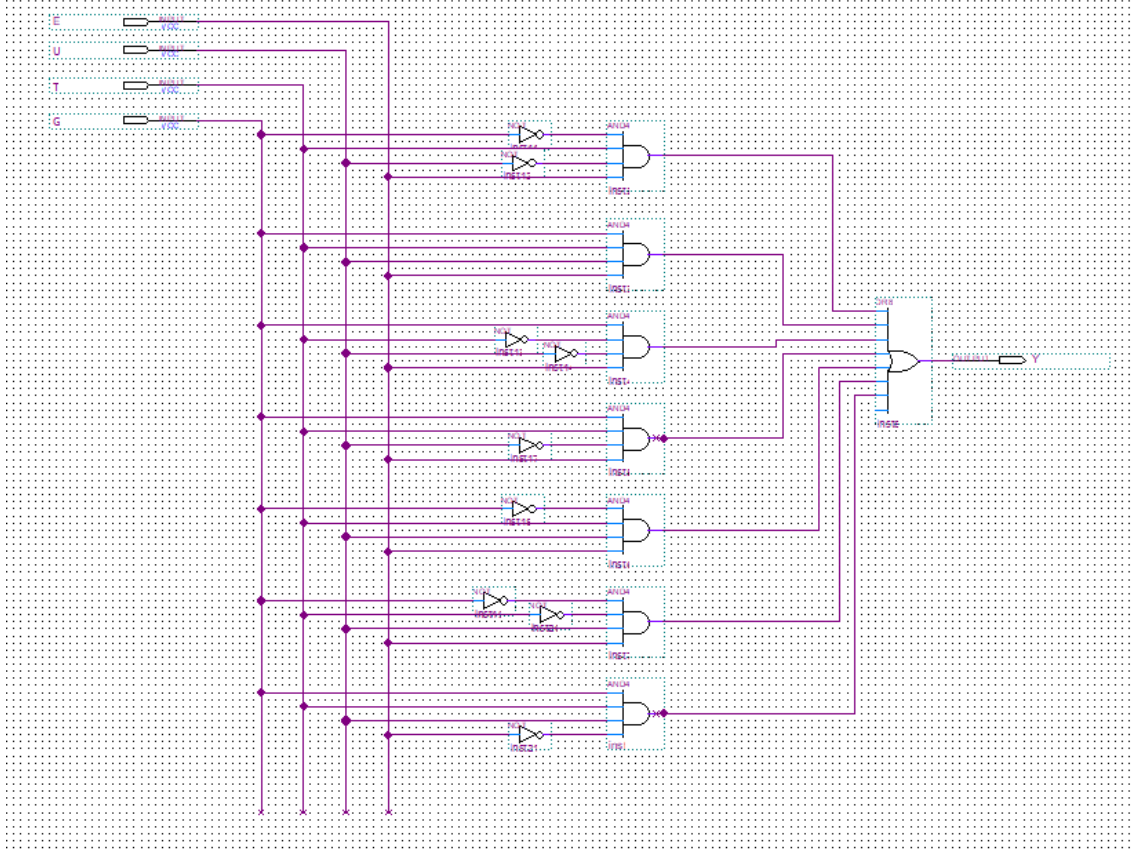
2.1. Problem I – Boole cebri kullanarak lojik devre tasarımı

2.1.1. Teorik Araştırma

- a) Problem 1 de verilen Boole denkleminin doğruluk tablosu çıkarılarak lojik devre şeması Tablo 1 ve Şekil 1’ de verildiği gibi yapılmıştır.

G	T	U	E	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

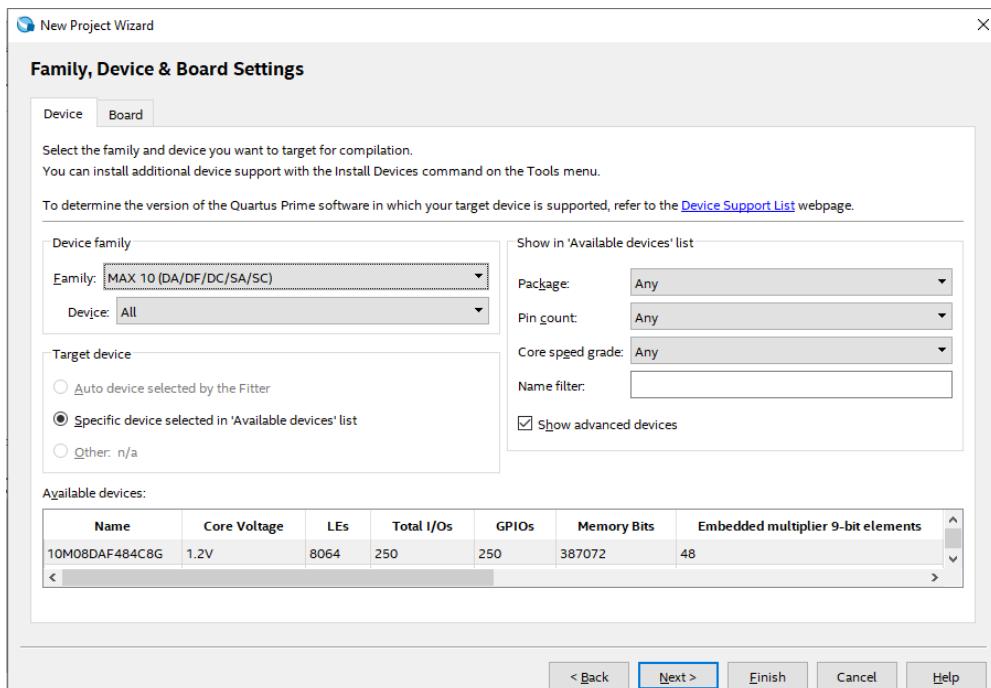
Tablo 1. Problem 1’in Doğruluk Tablosu



Şekil 1. Problem 1’de verilen cebirin pin atamaları yapılmış devre şeması

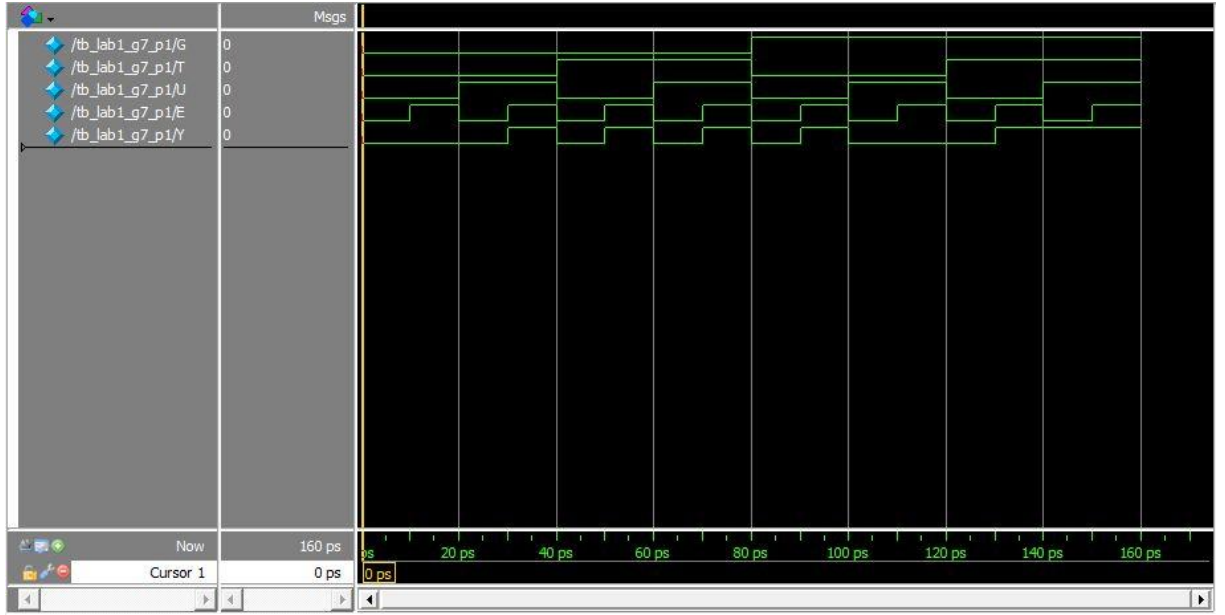
2.1.2 Deneyin Yapılışı

Quartus Prime üzerinden yeni bir proje açılmış açılan projenin üst düzey tasarım varlığının adı (name of top-level design entity) Modelsim programı üzerinden oluşturulan System Verilog (.sv) dosyası ile aynı şekilde isimlendirilmiştir. İleriki adımlarda “.sv” dosyası ve kullanılacak board Şekil 2’ deki gibi seçilmiştir.



Şekil 2.Yeni proje oluştururken board seçimi

b) Zamanlama Diyagramı



Şekil 3. Problem 1'in zamanlama diyagramı

c) Karşılaştırma Ve Yorumlama

Şekil 3'te verilen simülasyon sonucunu incelersek, verilen G, T, U, E giriş değerlerine göre alınan Y çıktıları yaptığımız doğruluk tablosu ile eşleştiği gözlenmektedir.

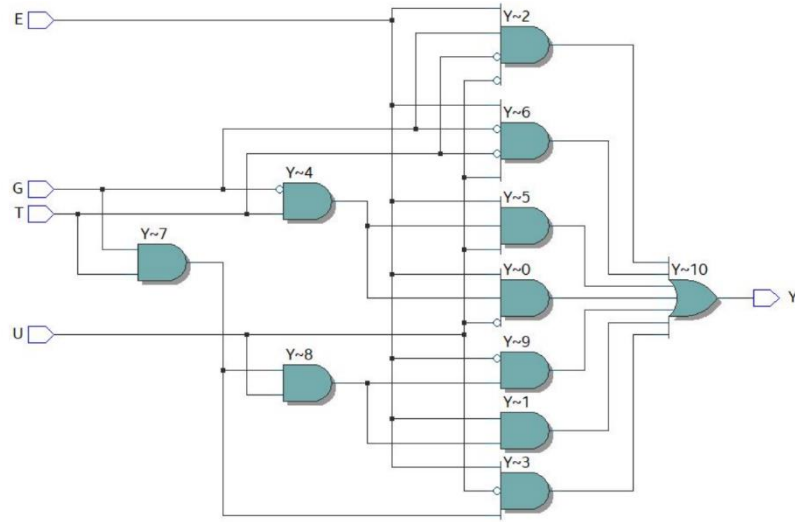
d) Analiz, Sentez, Kaynak Kullanım Özeti Ve RTL, Eşleştirme Sonrası Teknoloji Şeması

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	Y--0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91

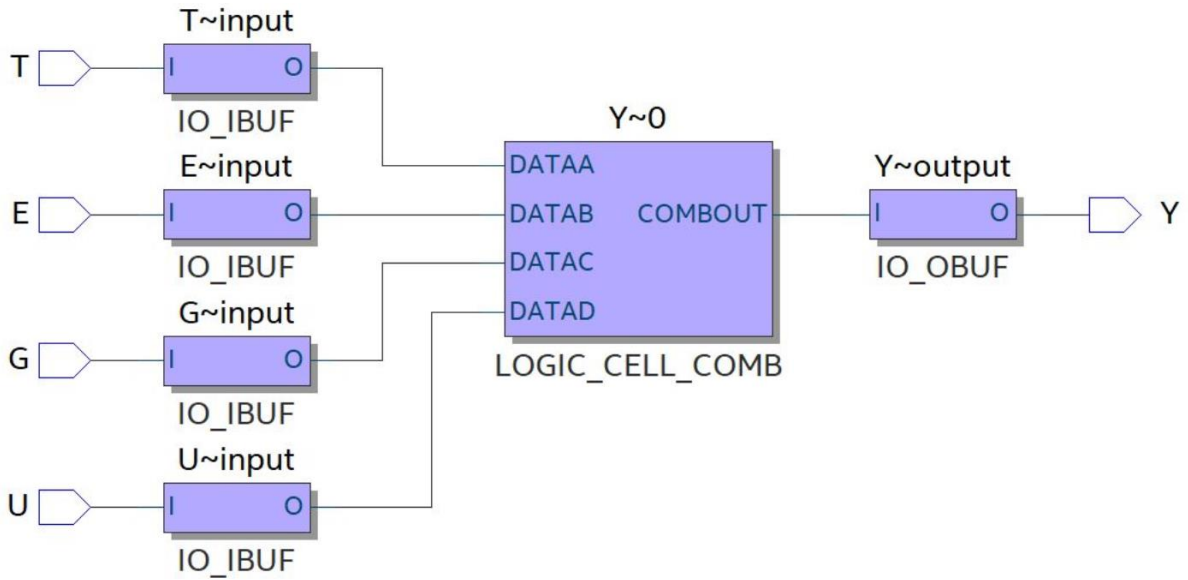
Şekil 4. Problem 1 Analiz ve Sentez Kaynak Kullanım Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Thu Apr 27 21:36:59 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	lab1_g7_p1
Top-level Entity Name	lab1_g7_p1
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	2 / 8,064 (< 1 %)
Total registers	0
Total pins	5 / 250 (2 %)
Total virtual pins	0
Total memory bits	0 / 387,072 (0 %)
Embedded Multiplier 9-bit elements	0 / 48 (0 %)
Total PLLs	0 / 2 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 1 (0 %)

Şekil 5. Problem 1 Analiz ve Sentez Özeti



Şekil 6. Problem 1 RTL Şeması



Şekil 7. Problem 1 Eşleştirme Sonrası Teknoloji Şeması

2.1.3. Sonuçların Yorumu

Tablo 1' de oluşturmuş olduğumuz doğruluk tablosu ve buna karşılık gelen Şekil 1' deki blok diyagramı; Şekil 3'te gösterilen Simülasyon çıktısına göre doğruluk göstermiş, Şekil 6 ve Şekil 7'de gösterilen Şemalarla benzer şekilde gelmiştir.

2.1.4. Yazılan Kodlar

```
/* lab1_g7_p1.sv
* Hazırlayanlar: Umut Mehmet ERDEM - Emre TANER
* Notlar: ELM235 2023 Bahar Lab1 - Problem 1
*  $Y = G'TU'E + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE'$  ifadesinin gerçekleştirilmesi
*/
module lab1_g7_p1(
    input logic G, T, U, E,
    output logic Y
);
assign Y = ~G&T&~U&E | G&T&U&E | G&~T&~U&E | G&T&~U&E | ~G&T&U&E | ~G&~T&U&E | G&T&U&~E;
endmodule

/* tb_lab1_g7_p1.sv
* Hazırlayanlar: Umut Mehmet ERDEM - Emre TANER
* Notlar: ELM235 2023 Bahar Lab1 - Problem 1 Testbench
*  $Y = G'TU'E + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE'$  denkleminin simülasyonu
* Bütün olası girişlere göre çıkış gözlemlenir.
*/
// Zaman birimi ve simülasyon çözünürlüğü
`timescale 1ns/1ps

module tb_lab1_g7_p1();
// Test tezgahlarında port bulunmaz
    logic G, T, U, E; // test tezgahi giriş sinyal tanımları
    logic Y; // test tezgahi çıkış sinyal tanımları
// Test edilecek modülün yaratımı ve port bağlantılarının yapılması
// dut = device under test
    lab1_g7_p1 dut0(G, T, U, E, Y);
// Bu kısımda sinyaller test edilen devreye sıralı olarak uygulanır.
// Sonuçlar test edilen devre çıkışlarında gözlemlenebilir.
initial begin
    G = 0; T = 0; U = 0; E=0; #10 // 0000 -10 ns bekle
    E = 1; #10 // 0001
    U = 1; E = 0; #10 // 0010
    E = 1; #10 // 0011
    T = 1; U = 0; E = 0; #10 // 0100
    E = 1; #10 // 0101
    U = 1; E = 0; #10 // 0110
    E = 1; #10 // 0111
    G = 1; T = 0; U = 0; E=0; #10 // 1000
    E = 1; #10 // 1001
    U = 1; E = 0; #10 // 1010
    E = 1; #10 // 1011
    T = 1; U = 0; E = 0; #10 // 1100
    E = 1; #10 // 1101
    U = 1; E = 0; #10 // 1110
    E = 1; #10 // 1111
    $stop; // simülasyonu durdur
end
endmodule
```

2.2. Problem II- Boole Cebri Teoremlerini Kullanarak Lojik Devre Sadeleştirme

2.2.1. Teorik Araştırma

- a) Problem 1' de verilen Boole cebri sadeleştirme adımları aşağıda verilmiştir.
Bulunan en sade hale göre doğruluk tablosu Tablo 2' deki gibi gösterilmiştir.

$$Y = G'TU'E + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE'$$

$$Y = TU'E(G' + G) + GTUE + GT'U'E + G'TUE + G'T'UE + GTUE'$$

$$Y = TU'E + GTUE + GT'U'E + G'TUE + G'T'UE + GTUE'$$

$$Y = TE(GU + U') + GT'U'E + G'TUE + G'T'UE + GTUE'$$

$$Y = TE(G + U') + GT'U'E + G'UE(T + T') + GTUE' = TEG + TEU' + GT'U'E + G'UE + GTUE'$$

$$Y = TEU' + GE(T'U' + T) + G'UE + GTUE' = TEU' + GE(U' + T) + G'UE + GTUE'$$

$$Y = TEU' + GET + GEU' + G'UE + GTUE' = TEU' + GT(E + U) + GEU' + G'UE$$

$$Y = TEU' + GTU + GTE + GEU' + G'UE = \mathbf{TEU' + GTU + GTE + GEU' + G'UE}$$

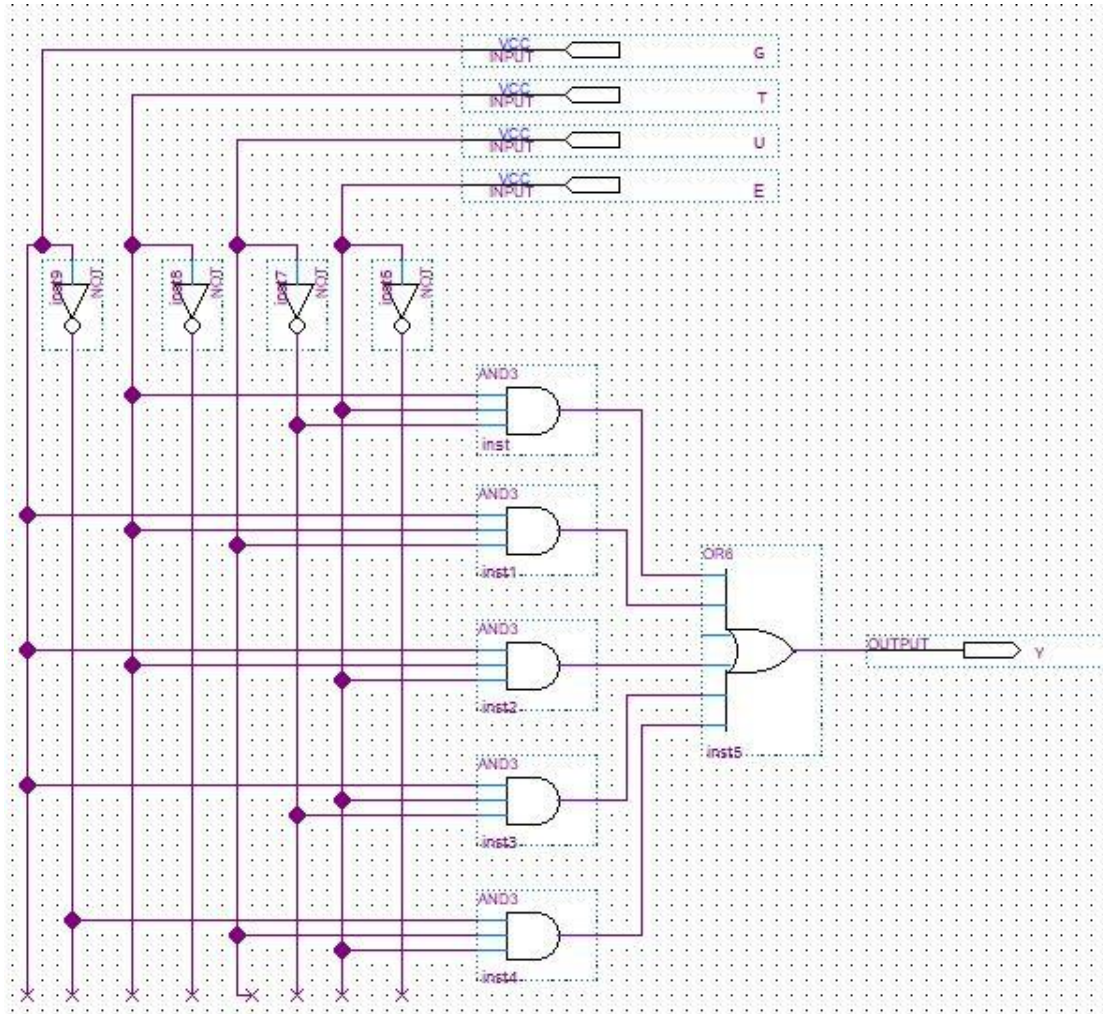
Combining, Complement ve benzetme teoremleri kullanılmıştır.

b)

G	T	U	E	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Tablo 2. Problem 2 doğruluk tablosu

Tablo 2' de gösterilen sadeleştirilmiş denklemin doğruluk tablosu ile Tablo 1' de gösterilen problem 1'in doğruluk tablosu karşılaştırdığımızda aynı girişlerde aynı çıkışlar olduğu gözlemlenmektedir. Sadeleştirilmiş denklemin devre şeması Şekil 8' deki gibi çizilmiştir.

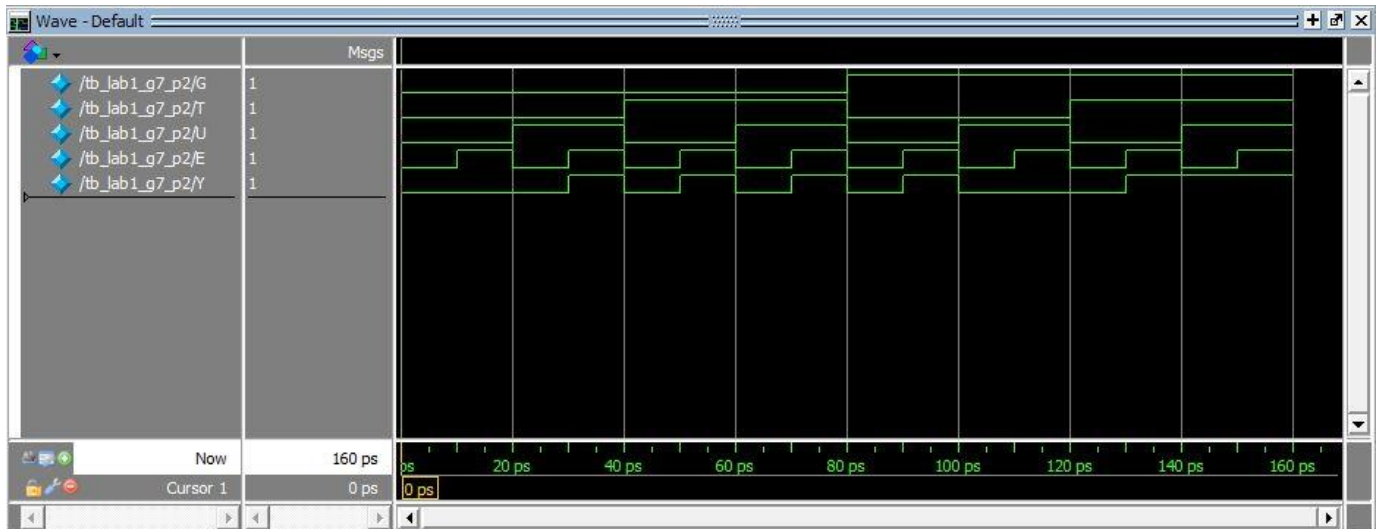


Şekil 8. Problem 2’de sadeleştirilmiş cebirin pin atamaları yapılmış devre şeması

2.2.2. Deneyin Yapılışı

Problem 1’de Quartus Prime programı üzerinden yapmış olduğumuz adımlar Problem 2 için de yapılmış olup Modelsim’den çıkan zamanlama diyagramı Şekil 9’deki gibi bulunmuştur.

c) Zamanlama Diyagramı



Şekil 9. Problem 2’nin zamanlama diyagramı

d) Karşılaştırma Ve Yorumlama

Şekil 9’ daki simülasyon sonuçları incelendiğinde, Şekil 8’ deki oluşturulmuş olan devre şemasına uyduğu ve Tablo 2’ deki doğruluk tablosunda doğru sonuç verdiği dolayısı ile Tablo 1 ve Problem 1’de verilen denklemi sağladığı görülmüştür.

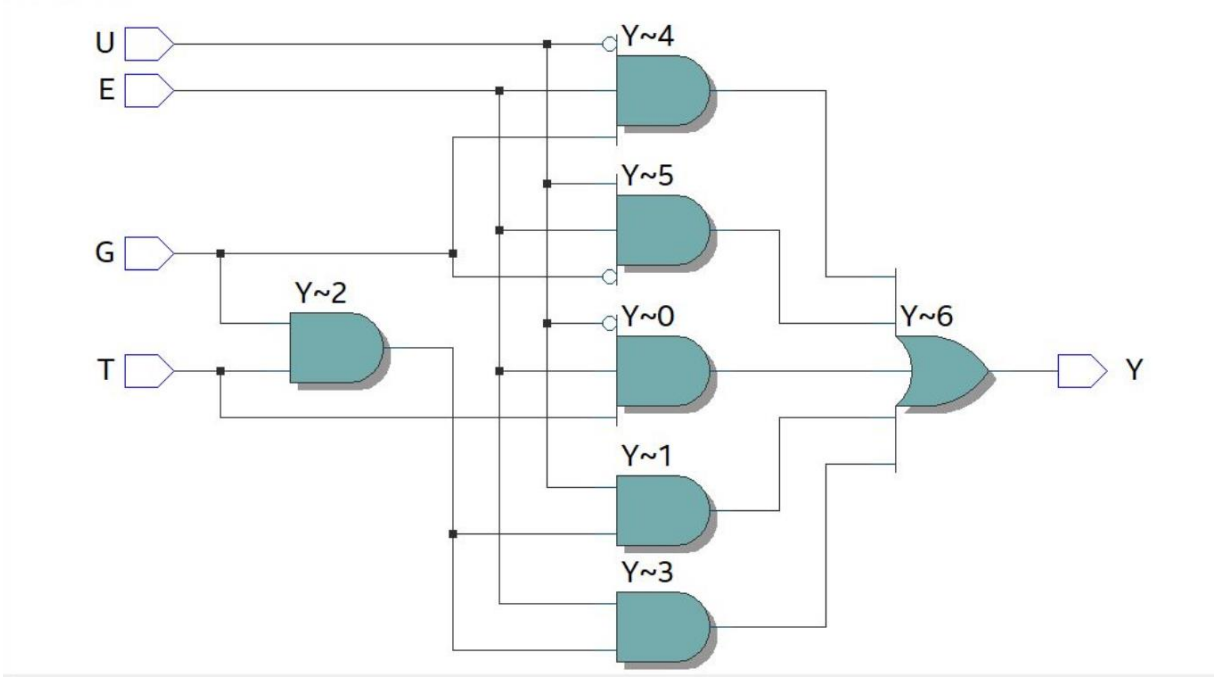
e) Analiz, Sentez, Kaynak Kullanım Özeti Ve RTL, Eşleştirme Sonrası Teknoloji Şeması

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	Y~0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91

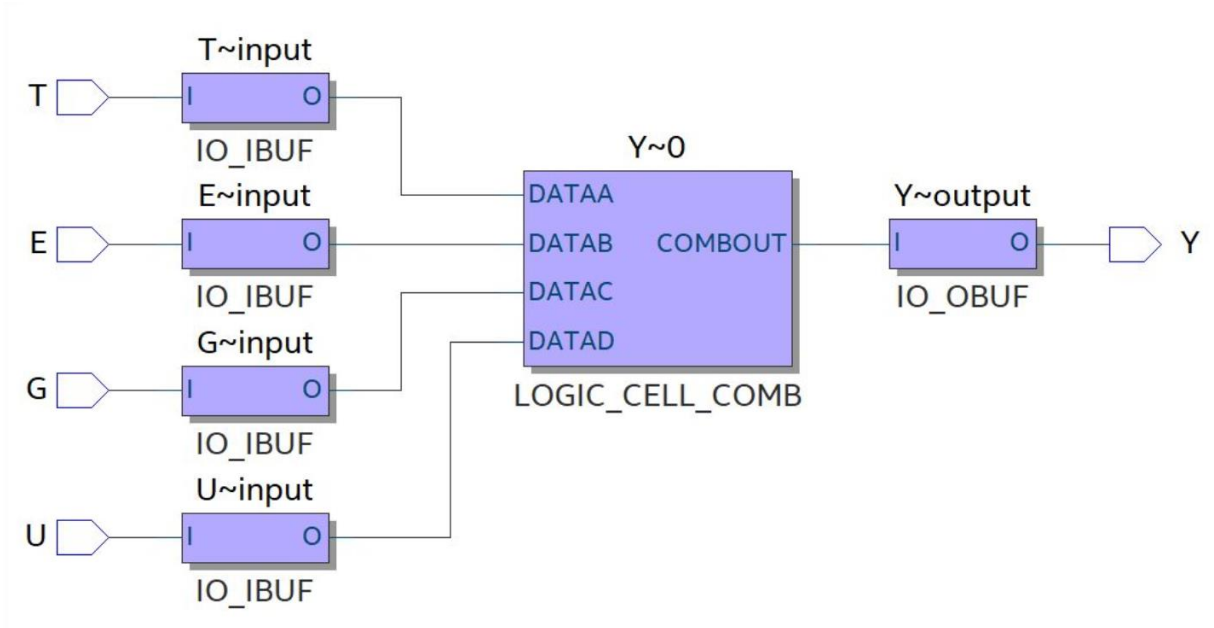
Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Apr 30 18:07:59 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	lab1_g7_p2
Top-level Entity Name	lab1_g7_p2
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	2 / 8,064 (< 1 %)
Total registers	0
Total pins	5 / 250 (2 %)
Total virtual pins	0
Total memory bits	0 / 387,072 (0 %)
Embedded Multiplier 9-bit elements	0 / 48 (0 %)
Total PLLs	0 / 2 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 1 (0 %)

Şekil 11. Problem 2 Analiz ve Sentez Özeti

Şekil 10. Problem 2 Analiz ve Sentez Kaynak Kullanım Özeti



Şekil 12. Problem 2 RTL Şeması



Şekil 13. Problem 2 Eşleştirme Sonrası Teknoloji Şeması

2.2.3. Sonuçların Yorumu

Problem 2’de Şekil 8’de teorikte yapmış olduğumuz doğruluk tablosuna göre oluşturduğumuz blok diyagramın Şekil 12’ de gösterilen RTL şemasına ve Şekil 13’te gösterilen eşleştirme sonrası teknoloji şemasına benzer çıktığı görülmektedir. Buna göre teorik olarak yaptığımız şemanın doğru olduğu söylenebilir.

2.2.4. Yazılan Kodlar

```
/* lab1_g7_p2.sv
* Hazırlayanlar: Umut Mehmet ERDEM - Emre TANER
* Notlar: ELM235 2023 Bahar Lab1 - Problem 2
* Y = TEU'+GTU+GTE+GEU'+G'UE ifadesinin gerçekleştirilmesi
*/
module lab1_g7_p2(
    input logic G, T, U, E,
    output logic Y
);
assign Y = T&E&~U | G&T&U | G&T&E | G&E&~U | ~G&U&E;
endmodule

/* tb_lab1_g7_p2.sv
* Hazırlayanlar: Umut Mehmet ERDEM - Emre TANER
* Notlar: ELM235 2023 Bahar Lab1 - Problem 2 Testbench
* Y = TEU'+GTU+GTE+GEU'+G'UE denkleminin simülasyonu
* Bütün olası girişlere göre çıkış gözlemlenir.
*/
// Zaman birimi ve simülasyon çözünürlüğü
`timescale 1ns/1ps

module tb_lab1_g7_p2();
// Test tezgahlarında port bulunmaz
    logic G, T, U, E; // test tezgahi giriş sinyal tanımları
    logic Y; // test tezgahi çıkış sinyal tanımları
// Test edilecek modülün yaratımı ve port bağlantılarının yapılması
// dut = device under test
    lab1_g7_p2 dut0(G, T, U, E, Y);
// Bu kısımda sinyaller test edilen devreye sıralı olarak uygulanır.
// Sonuçlar test edilen devre çıkışlarında gözlemlenebilir.
initial begin
    G = 0; T = 0; U = 0; E=0;    #10 // 0000 -10 ns bekle
    E = 1;                      #10 // 0001
    U = 1; E = 0;                #10 // 0010
    E = 1;                      #10 // 0011
    T = 1; U = 0; E = 0;        #10 // 0100
    E = 1;                      #10 // 0101
    U = 1; E = 0;                #10 // 0110
    E = 1;                      #10 // 0111
    G = 1; T = 0; U = 0; E=0;   #10 // 1000
    E = 1;                      #10 // 1001
    U = 1; E = 0;                #10 // 1010
    E = 1;                      #10 // 1011
    T = 1; U = 0; E = 0;        #10 // 1100
    E = 1;                      #10 // 1101
    U = 1; E = 0;                #10 // 1110
    E = 1;                      #10 // 1111
    $stop; // simülasyonu durdur
end
endmodule
```

2.3. Problem III – Zamanlama Diyagramı Ve Dalga Şekli Yardımıyla Lojik Devre Tasarımı

2.3.1. Teorik Araştırma

- a) Verilen zamanlama diyagramına göre verilen iki farklı devre için doğruluk tablosu Tablo 3'te verilmiştir. Oluşturulan tabloya göre mintermler toplanmış SOP denklemleri teorik olarak aşağıdaki gibi bulunmuş ve sadeleştirilmiştir. Sadeleştirilen denkleme göre devrenin blok diyagramları çıkarılmış, Şekil 14 ve Şekil 15'te gösterilmiştir.

G	T	U	E	X	Y
0	0	0	0	1	1
0	0	0	1	0	1
0	0	1	0	1	1
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	1
0	1	1	1	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	0	0

Tablo 3. Problem 3'in Doğruluk Tablosu

$$Y = G'T'U'E' + G'T'U'E + G'T'UE' + G'T'UE + G'TU'E' + G'TU'E + G'TUE' + G'TUE + GT'U'E' + GT'U'E + GTU'E' + GTU'E$$

$$Y = G'T'U'(E+E') + G'T'U(E'+E) + G'TU'(E+E') + G'TU(E+E') + GT'U'(E+E') + GTU'(E'+E) \text{ (combining teoremi)}$$

$$Y = G'T'U' + G'T'U + G'TU' + G'TU + GT'U' + GTU' \text{ (complement teoremi)}$$

$$Y = G'T'(U'+U) + G'T(U'+U) + GU'(T'+T) \text{ (combining teoremi)}$$

$$Y = G'T' + G'T + GU' \text{ (complement teoremi)} = G'(T'+T) + GU' \text{ (combining teoremi)}$$

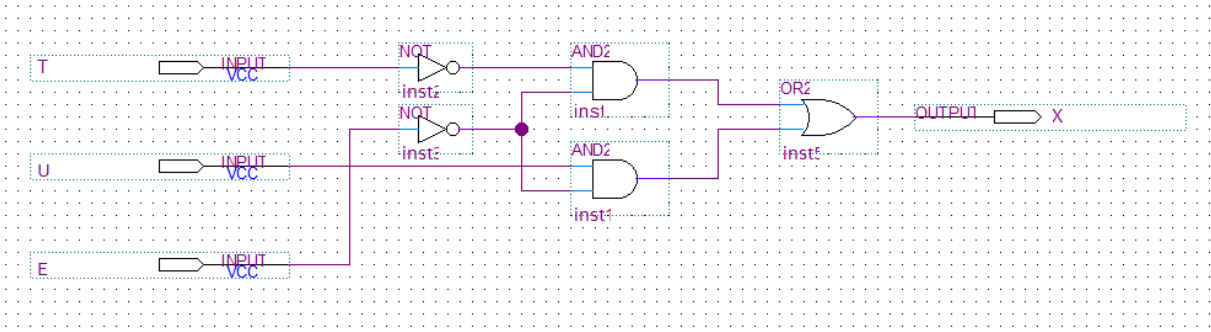
$$Y = G' + GU' \text{ (complement teoremi)} = \mathbf{G' + U'} \text{ (benzetme teoremi)}$$

$$X = G'T'U'E' + G'T'UE' + G'TUE' + GT'U'E' + GT'UE' + GTUE' X = G'T'E'(U'+U) + TUE'(G' + G) + GT'E'(U+U') \text{ (combining teoremi)}$$

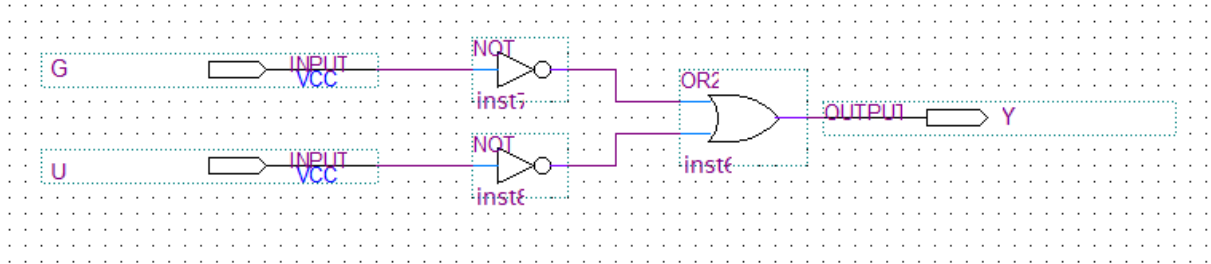
$$X = G'T'E' + TUE' + GT'E' \text{ (complement teoremi)} = T'E'(G+G') + TUE' \text{ (combining teoremi)}$$

$$X = T'E' + TUE' X = E'(T'+TU) \text{ (combining \& benzetme teoremi)} = \mathbf{T'E' + UE'}$$

b)



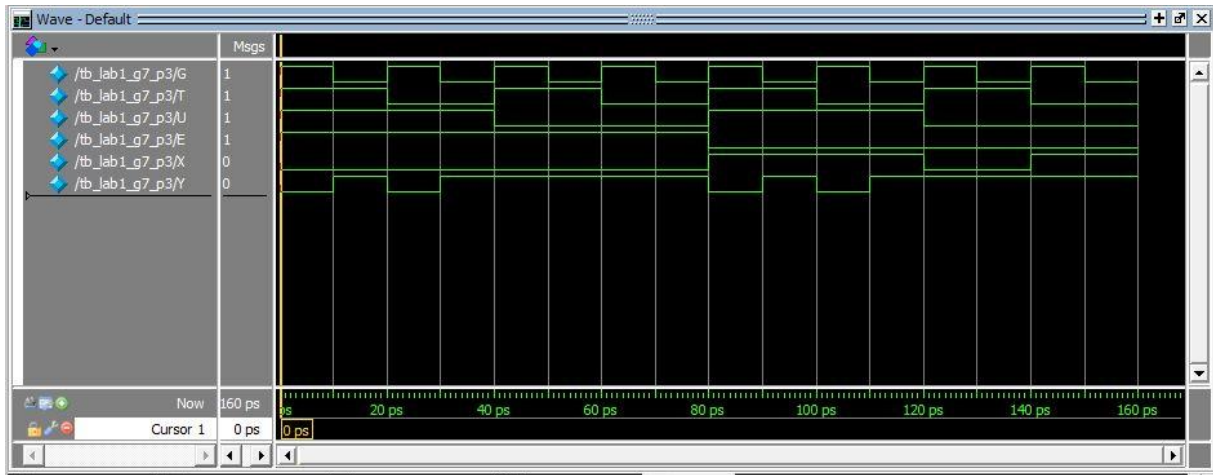
Şekil 14. Problem 3' te X için sadeleştirilmiş cebirin pin atamaları yapılmış devre şeması



Şekil 15. Problem 3' te Y için sadeleştirilmiş cebirin pin atamaları yapılmış devre şeması

2.3.2. Deneyin Yapılışı

Problem 1' de Quartus Prime programı üzerinden yapmış olduğumuz adımlar Problem 3 için de yapılmış olup Modelsim programı çıkan zamanlama diyagramı Şekil 16' daki gibi bulunmuştur.



Şekil 16. Problem 3'de X ve Y için zamanlama diyagramı

Lab1 föyünde verilen dalga grafiğine göre Şekil 16'de bulduğumuz dalga grafiğini incelediğimizde iki grafiğin eşleştiği görülmektedir. Buna göre; teorik olarak yapmış olduğumuz Tablo 3' deki doğruluk tablosu, X ve Y denklemleri, Şekil 14 ve Şekil 15' deki şemaların doğru olduğu teyit edilmiştir.

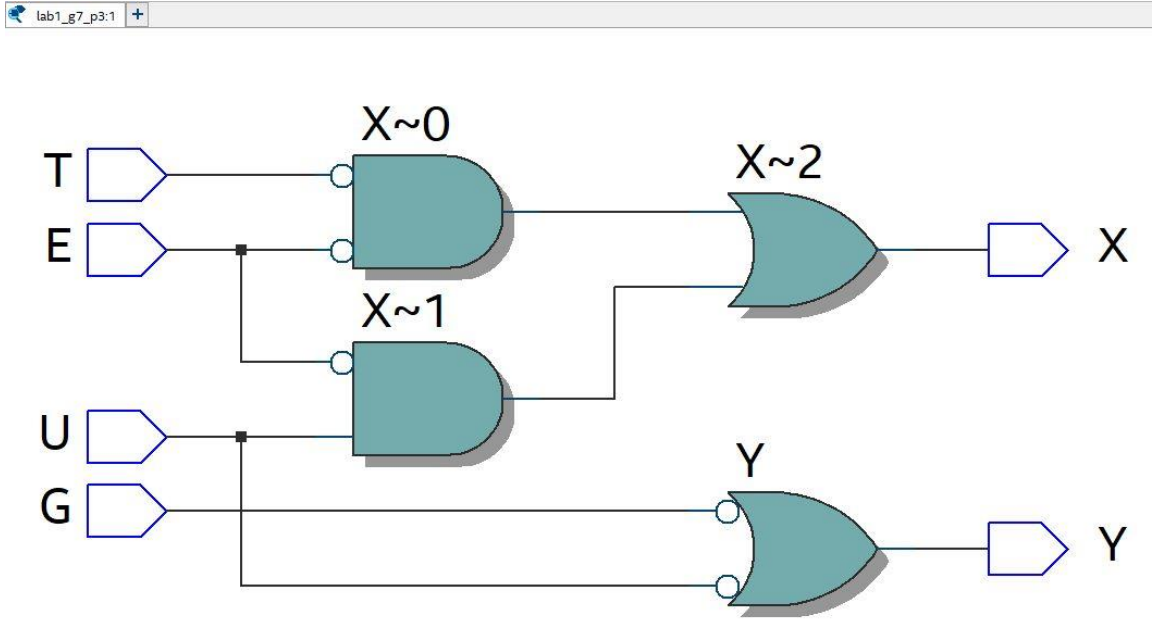
c) Analiz, Sentez, Kaynak Kullanım Özeti Ve RTL, Eşleştirme Sonrası Teknoloji Şeması

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	2
2		
3	Total combinational functions	2
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	2
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	6
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	U~input
15	Maximum fan-out	2
16	Total fan-out	13
17	Average fan-out	0.93

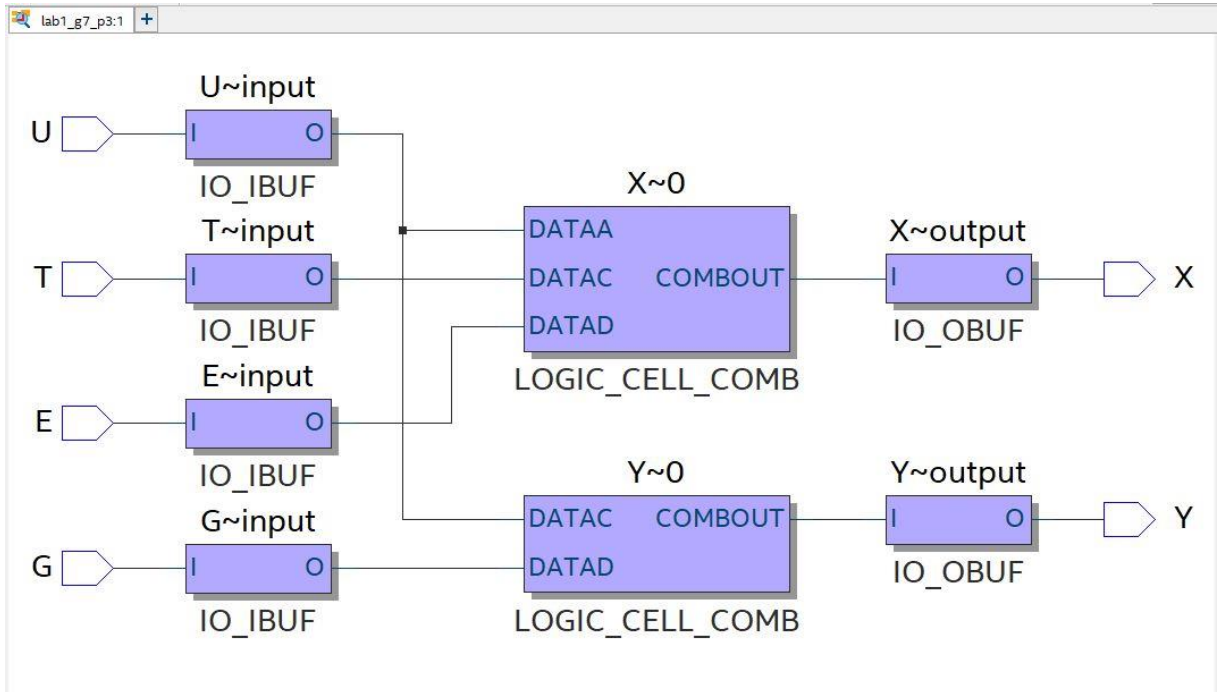
Şekil 17. Problem 3 Analiz ve Sentez Kaynak Kullanım Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Thu Apr 27 20:41:19 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	lab1_g7_p3
Top-level Entity Name	lab1_g7_p3
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	3 / 8,064 (< 1 %)
Total registers	0
Total pins	6 / 250 (2 %)
Total virtual pins	0
Total memory bits	0 / 387,072 (0 %)
Embedded Multiplier 9-bit elements	0 / 48 (0 %)
Total PLLs	0 / 2 (0 %)
UFM blocks	0 / 1 (0 %)
ADC blocks	0 / 1 (0 %)

Şekil 18. Problem 3 Analiz ve Sentez Özeti



Şekil 19. Problem 3 RTL Şeması



Şekil 20. Problem 3 Eşleştirme Sonrası Teknoloji Şeması

2.3.3. Sonuçların Yorumu

Şekil 14 ve Şekil 15’ te teyit ettiğimiz blok diyagramlarına göre Şekil 19’ daki RTL ve Şekil 20’ deki eşleştirme sonrası teknoloji şemasını incelersek Quartus Prime programı üzerinden almış olduğumuz şemalarının doğru olduğunu söyleyebiliriz.

2.3.4. Yazılan Kodlar

```
/* lab1_g7_p3.sv
* Hazırlayanlar: Umut Mehmet ERDEM - Emre TANER
* Notlar: ELM235 2023 Bahar Lab1 - Problem 3
*  $Y = G' + U'$  ve  $X = T'E' + UE'$  ifadesinin gerçekleştirilmesi
*/
module lab1_g7_p3(
    input logic G, T, U, E,
    output logic X, Y
);
assign X =  $\sim T \& \sim E \mid U \& \sim E$ ;
assign Y =  $\sim G \mid \sim U$ ;
endmodule

/* tb_lab1_g7_p3.sv
* Hazırlayanlar: Umut Mehmet ERDEM - Emre TANER
* Notlar: ELM235 2023 Bahar Lab1 - Problem 3 Testbench
*  $Y = G' + U'$  ve  $X = T'E' + UE'$  denkleminin simülasyonu
* Bütün olası girişlere göre çıkış gözlemlenir.
*/
// Zaman birimi ve simülasyon çözünürlüğü
`timescale 1ns/1ps
module tb_lab1_g7_p3();
// Test tezgahlarında port bulunmaz
    logic G, T, U, E; // test tezgahi giriş sinyal tanımları
    logic X, Y; // test tezgahi çıkış sinyal tanımları
// Test edilecek modülün yaratımı ve port bağlantılarının yapılması
// dut = device under test
    lab1_g7_p3 dut0(G, T, U, E, X, Y);
// Bu kısımda sinyaller test edilen devreye sıralı olarak uygulanır.
// Sonuçlar test edilen devre çıkışlarında gözlemlenebilir.
initial begin
    G = 1; T = 1; U = 1; E=1;    #10 // 1111 - 10ns bekle
    G = 0;                        #10 // 0111
    G = 1; T = 0;                 #10 // 1011
    G = 0;                        #10 // 0011
    G = 1; T = 1; U = 0;          #10 // 1101
    G = 0;                        #10 // 0101
    G = 1; T = 0;                 #10 // 1001
    G = 0;                        #10 // 0001
    G = 1; T = 1; U = 1; E=0;     #10 // 1110
    G = 0;                        #10 // 0110
    G = 1; T = 0;                 #10 // 1010
    G = 0;                        #10 // 0010
    G = 1; T = 1; U = 0;          #10 // 1100
    G = 0;                        #10 // 0100
    G = 1; T = 0;                 #10 // 1000
    G = 0;                        #10 // 0000
    $stop; // simülasyonu durdur
end
endmodule
```

3. Sonuçlar ve Genel Yorumlar

Yapılan laboratuvar çalışmasında, yaptığımız adımların belli bir hiyerarşi içerisinde teorik bilginin simüle edilip daha sonra sentezlenerek ürünün ortaya çıktığı görülmüştür. Buna göre; simüle edilecek denklemin öncelikle doğruluk tablosu çıkarılmış, daha sonra çıkarılan doğruluk tablosuna ve Boole denklemine göre ModelSim üzerinden kodu yazılmıştır. ModelSim programında birkaç hata ile karşılaşmış ve bunların nedenleri anlaşılmıştır. Alınan birkaç hata şu şekildedir:

1. Kodun yazılması sırasında söz dizimi hatası alınması ve bunların fark edilmesi
2. Kodun hata alması durumunda derlenememesi ve bundan dolayı Library>Work bölümünde görünmemesi

Quartus Prime programı üzerinden yeni proje açılmış projedeki her bir dosyanın isimlendirmesi System Verilog dosyalarındaki ile aynı isimlendirilmiştir. Oluşturulan dosyalar derlenerek RTL ve Eşleştirme Sonrası Teknoloji Şeması, Kaynak Kullanım Özeti, Analiz Ve Sentez Özeti verileri alınmıştır. “Technology Map Viewer(Post-mapping)” de gösterilen mantık hücre miktarları kaynak kullanım özetinde gösterilen “Estimated total logic elements” değerine göre belirlenmektedir. Kaynak kullanım özetinde belirtilen “I/O pins” ifadesinden kullanılan giriş ve çıkış pin miktarları görülebilir. Aynı ifade analiz ve sentez özetinde “total pins” ifadelerinde gösterilmektedir. Giriş kısmında amaçlanan ifadeler gerçekleştirilmiş ve başarıyla sonuçlandırılmıştır.

4. Referanslar

[1] Intel® Quartus® Prime Software Suite. URL: <https://www.intel.com.tr/content/www/tr/tr/software/programmable/quartus-prime/overview.html> Accessed: 21.02.2020

[2] **Quartus Prime Introduction Using Schematic Designs.** URL: ftp://ftp.intel.com/Pub/fpgaup/pub/Intel_Material/16.0/Tutorials/Schematic/Quartus_II_Introduction.pdf Accessed: 21.02.2020