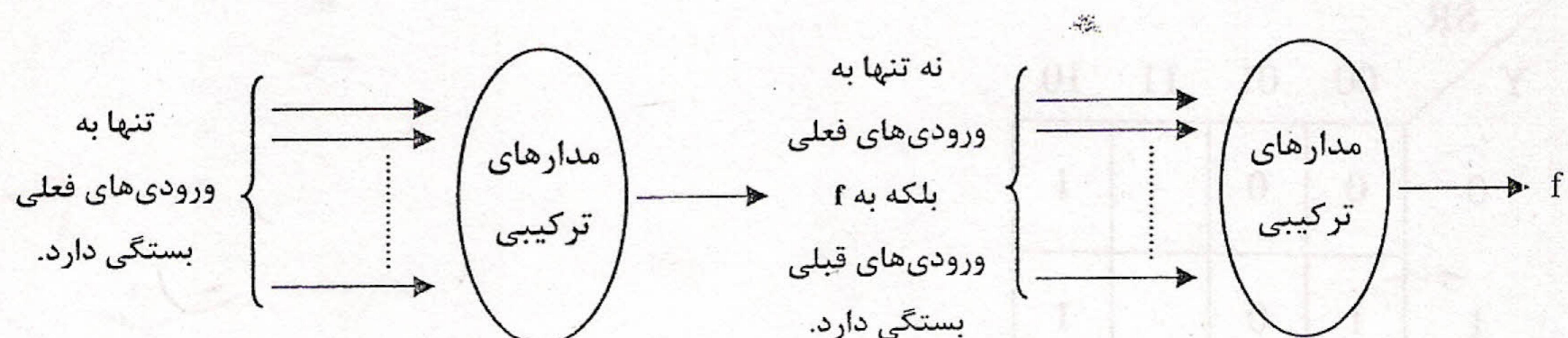


فصل سوم

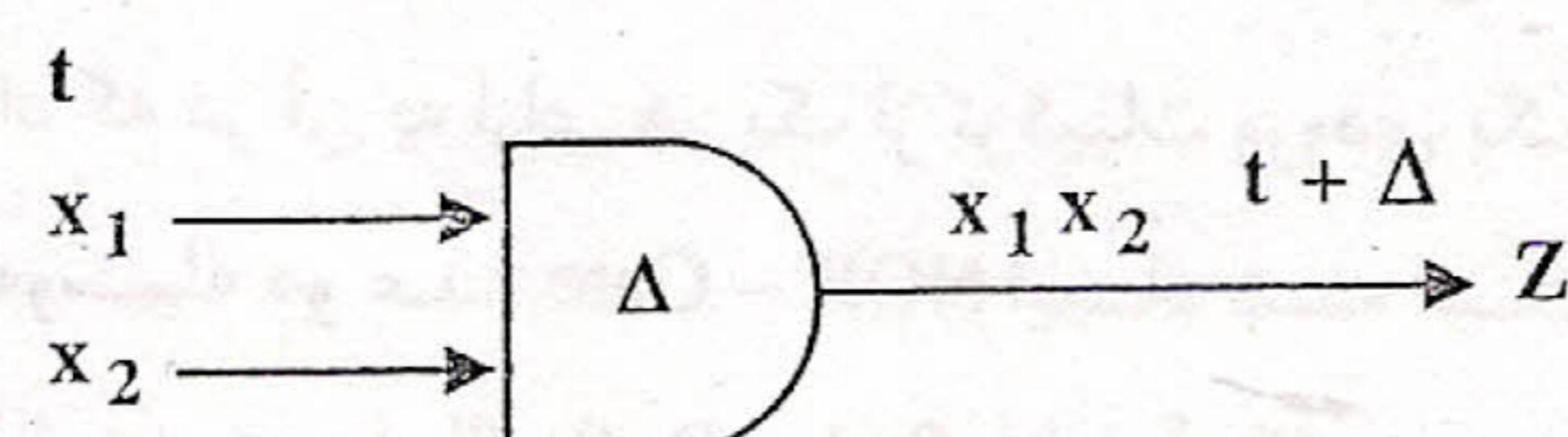
معرفی مؤلفه‌های مدارهای ترتیبی

مدارهای ترتیبی:

بر خلاف مدارهای ترکیبی در مدارهای ترتیبی خروجی نه تنها به ورودی‌های فعلی بلکه به ورودی‌های قبلی نیز بستگی دارد، بنابراین مدارهای ترتیبی می‌توانند اطلاعات را در خود ذخیره سازند یعنی دارای حافظه می‌باشند.

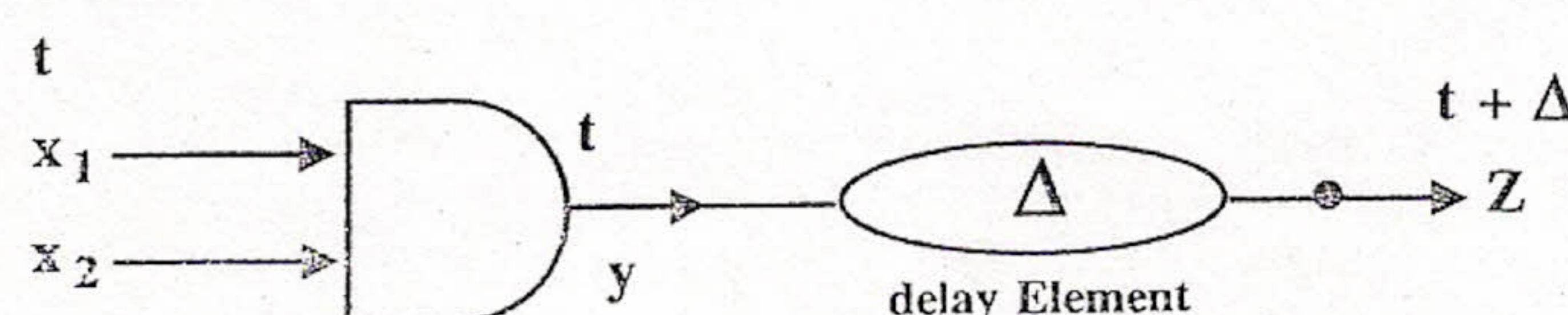


برای درک مفهوم حافظه رفتار یک AND-Gate را در نظر می‌گیریم.

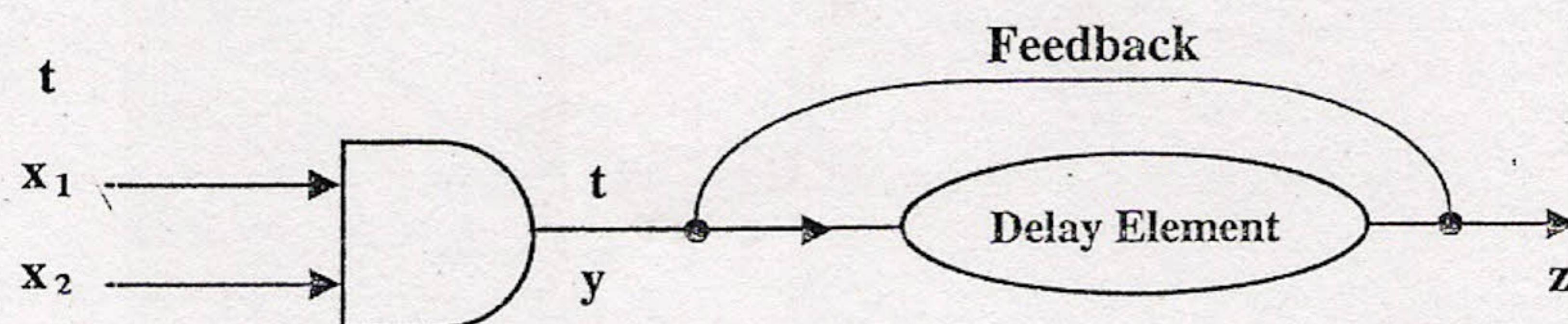


که در آن تاخیر Gate مساوی با Δ فرض شده است، بنابراین یک مدل انتزاعی ولی ایدهآل برای AND-Gate را می‌توان به صورت زیر در نظر گرفت:

$$z(t+\Delta) = y(t) = x_1(t) \cdot x_2(t)$$

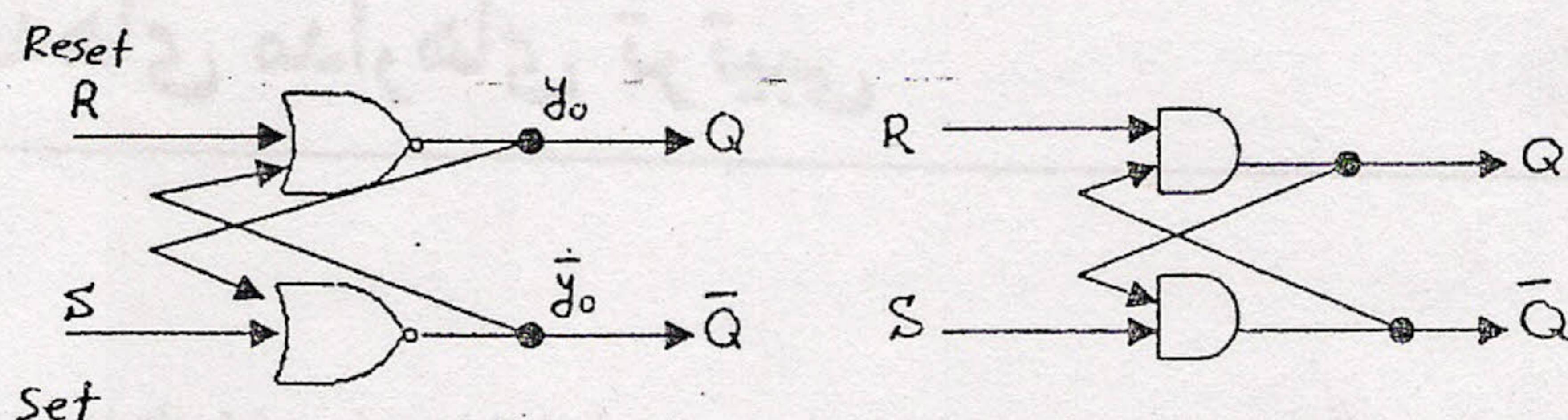


که با قطع منابع ورودی اطلاعات ذخیره شده در آن یعنی y پس از Δ واحد زمان از میان خواهد رفت در نتیجه Gate ها انباره موقتی هستند و برای تبدیل آن به یک انباره دائمی باید یک مسیر بازخوردی (feedback cycle) از خروجی به ورودی آن داشته باشیم تا بتواند اطلاعات را به طور نامحدود از نظر زمانی در خود ذخیره کند.



Fيليب فلاپ غير همگام: Asynchronous Flip Flop (Latch)

ساده‌ترین مداری را که بتواند اطلاعات تک بیتی را به طور نامحدود از نظر زمانی در خود ذخیره سازد، می‌توان با اتصال دو NAND یا دو NOR به صورت ضربدر زیر به دست آورد که آن را Latch یا فيليب فلاپ غير همگام گويند.



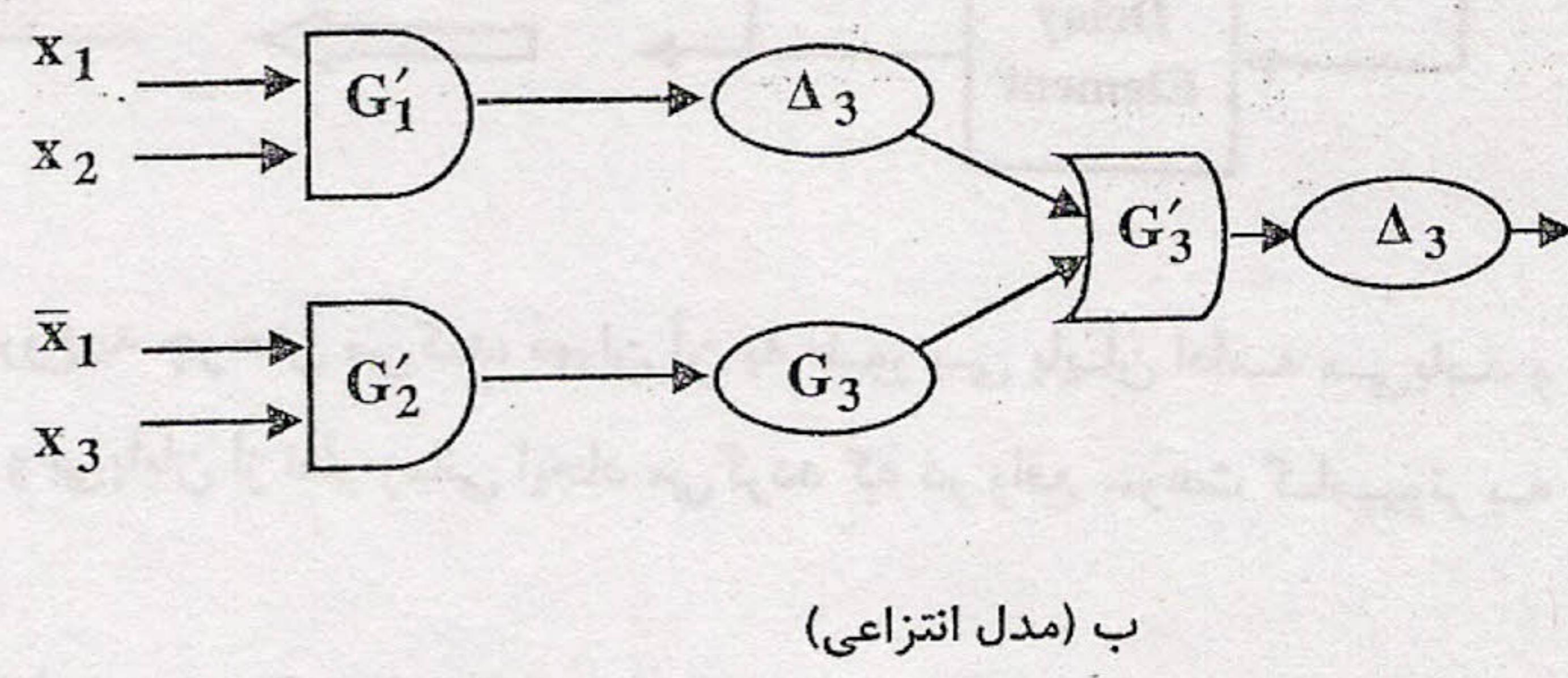
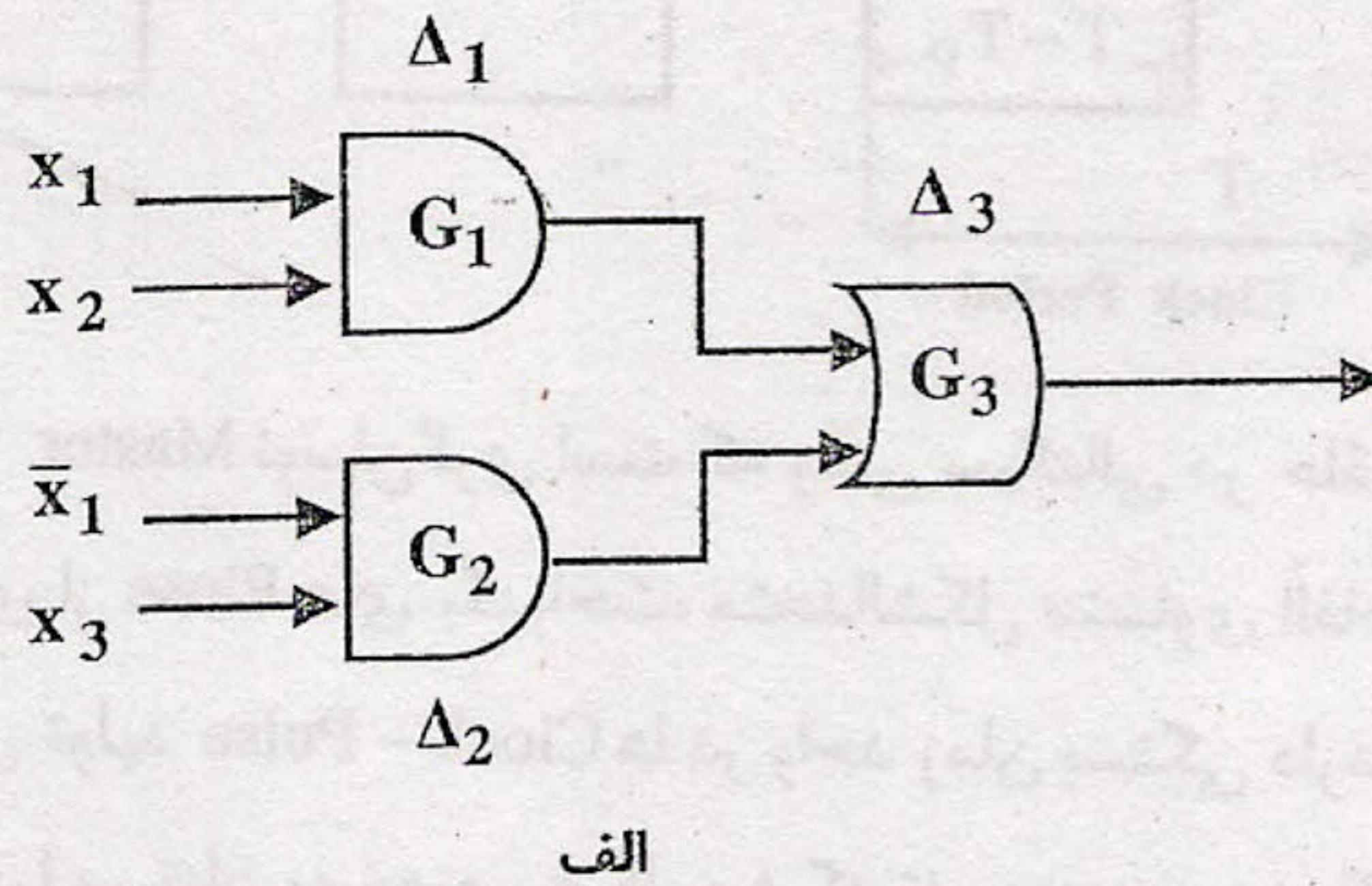
State Table:

SR		00	01	11	10
Y		0	0	-	1
	R	1	0	-	1

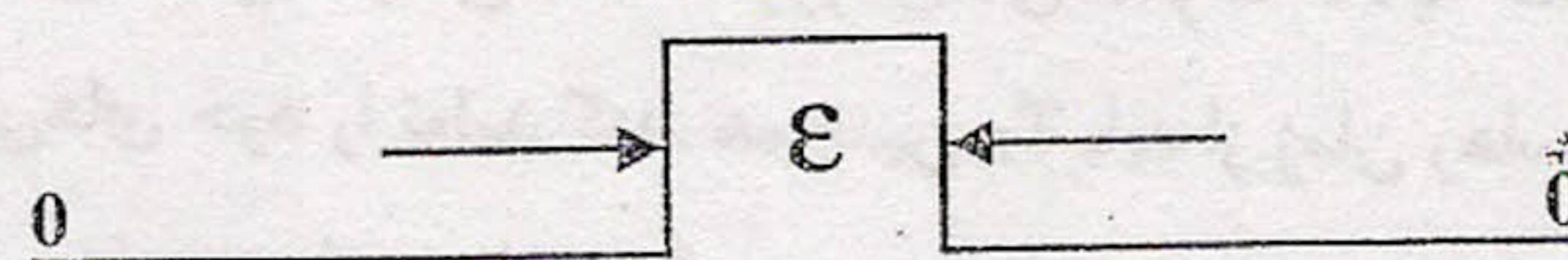
همان‌طور که رفتار مدارهای ترکیبی را می‌توان به وسیله جدول ارزش (Truth – Table) نشان داد، رفتار مدارهای ترکیبی را می‌توان به وسیله جدول حالات (State Table) نشان داد که در آن به ازای هر یک از ترکیبات ورودی یک ستون و به ازای هر یک از حالات درونی یک سطر وجود دارد. مدار Latch که به وسیله دو عدد NOR – Gate ایجاد شده است دارای دو ورودی محرک R, S و دو خروجی Q , \bar{Q} می‌باشد که مکمل یکدیگرند با توجه به مدار اگر $S=1$, $R=0$ باشد، آن‌گاه خروجی Q مساوی با یک خواهد بود که در این صورت گوییم مدار Set شده است و با قطع ورودی‌ها یعنی $S=0$, $R=0$ خروجی Q تغییر نخواهد یافت. اگر $S=0$, $R=1$ آن‌گاه خروجی Q مساوی صفر خواهد بود که گوییم مدار Reset شده است و دوباره با قطع منابع ورودی Latch خروجی مدار تغییر نخواهد یافت. ورودی‌های $S=1$ و $R=1$ ترکیبات ورودی ممنوعه خواهد بود، زیرا خروجی‌های مدار در نوسان خواهند بود و دو خروجی مکمل یکدیگر نخواهند بود.

تاخیرها و زمان سنج‌ها: (Delays and Clocks)

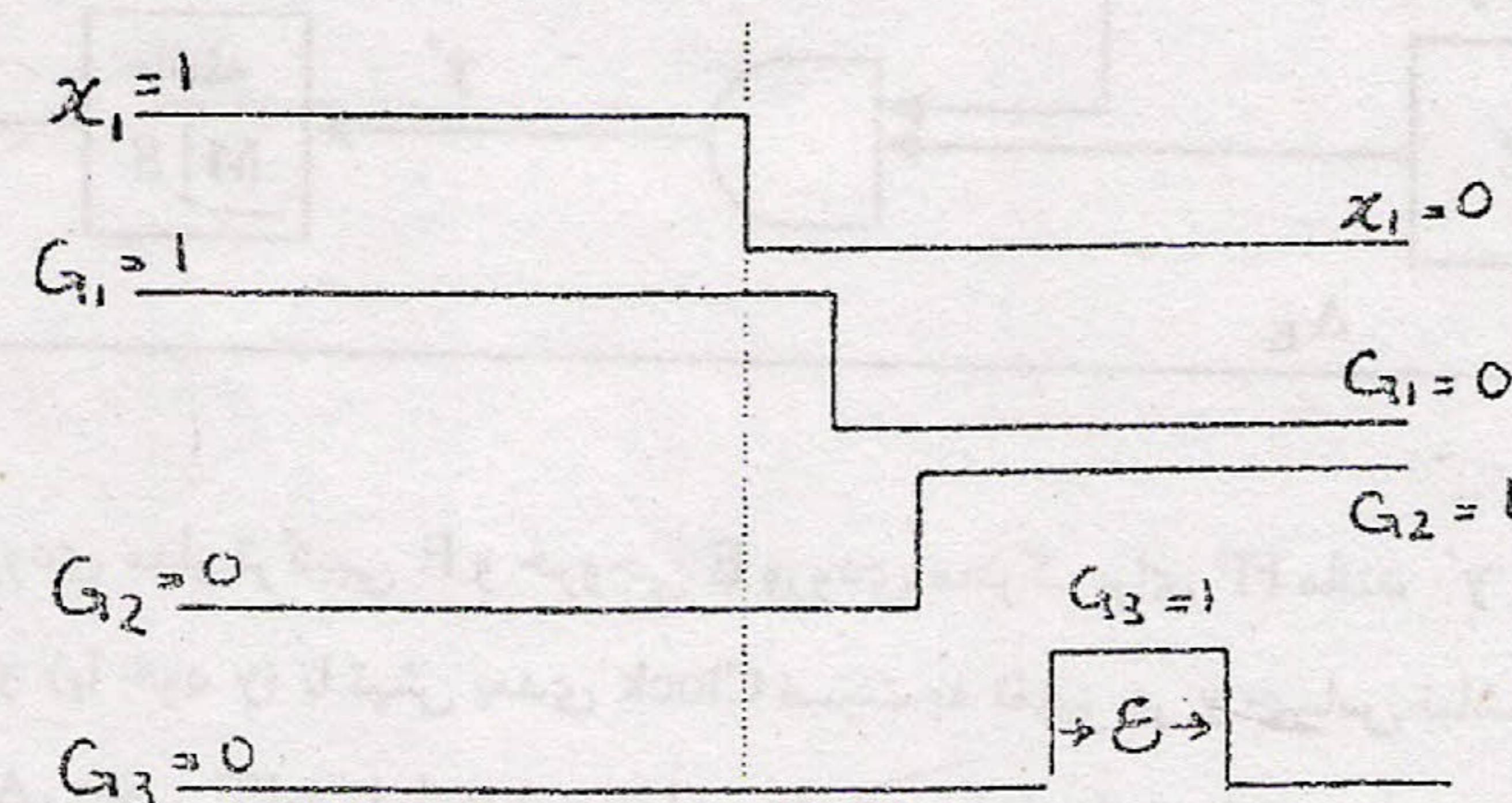
تاکنون از ناهمانگ بودن تاخیر Gate‌ها صرف‌نظر کرده‌ایم، هر چند این تاخیرها در رفتار مدارهای ترکیبی اثر منفی ندارند ولی پیامد آن در رفتار مدارهای ترتیبی می‌تواند کاملاً جدی باشد و در نتیجه باعث یک خطای دائمی شود. برای این منظور مدار زیر را در نظر می‌گیریم:



اگر تاخیر Gate‌های G_1 , G_2 و G_3 را به ترتیب Δ_1 , Δ_2 و Δ_3 در نظر بگیریم، مدار «الف» را می‌توان به صورت انتزاعی «ب» نشان داد که در آن تاخیر $G'_i = 0$ می‌باشد. حال فرض کنید در لحظه t_0 , $x_1 = x_2 = x_3 = 1$ ، و در لحظه $t_1 > t_0$ ورودی x_1 از یک به صفر تبدیل گردد، یعنی: $f(1,1,1) = 0$, $x_1 = 0$, $x_2 = 1$, $x_3 = 1$ چون $f(0,1,1) = 0$ ، بنابراین انتظار داریم خروجی مدار هم‌چنان صفر باقی بماند. با تغییر در ورودی در لحظه t_1 خروجی G_1 باید از یک به صفر و خروجی G_2 باید از یک به صفر تغییر یابد. اگر $\Delta_1 < \Delta_2$ باشد، آن‌گاه تغییر در خروجی G_1 زودتر از تغییر در خروجی G_2 انجام خواهد گرفت و در نتیجه در فاصله کوتاهی مانند $\Delta_2 - \Delta_1 = \epsilon$ هر دو ورودی G_3 مساوی صفر و در نتیجه خروجی f یک تپش موقتی «۱» با مدت زمان ϵ خواهد داشت.

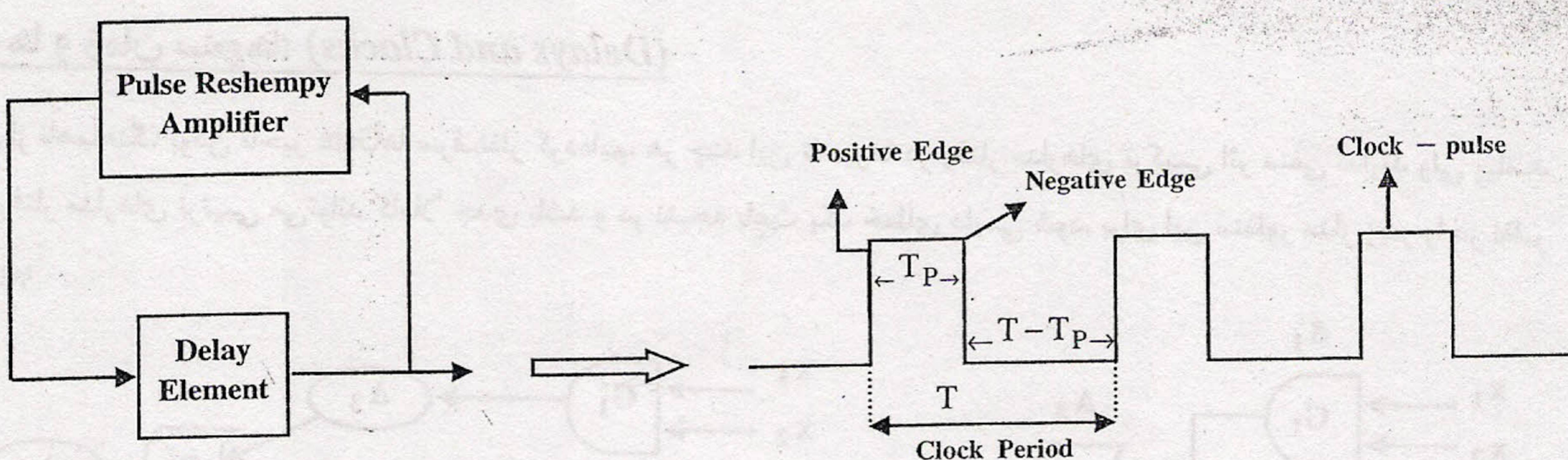


سیگنال‌های x_1 , x_2 , x_3 , G_1 , G_2 و G_3 در شکل زیر به صورت موجی نشان داده شده‌اند.



بنابراین به علت ناهمانگ بودن تاخیر Gate‌ها ممکن است در خروجی مدارهای ترکیبی خطای گذرا یا (Hazard, Transient Error) ایجاد گردد و اگر خروجی این مدار ترکیبی ورودی به یک Flip Flop باشد، تپش ۱ نادرست ممکن است FF را اشتباه به طور دائمی Set و یا Reset کند و در نتیجه یک خطای ثابت و دائمی ایجاد گردد.

اما مدت زمانی که FF نسبت به تغییر در ورودی از خود واکنش نشان می‌دهد "Tigger Time" یا زمان رهاسازی نامیده می‌شود. بنابراین فاصله زمانی تپش ۱ باید بیش از زمان رهاسازی FF باشد تا بتواند باعث یک خطای دائمی گردد. این مشکل را می‌توان با استفاده از clock که مستقیماً به وسیله Master clock تولید می‌شود برطرف نمود.



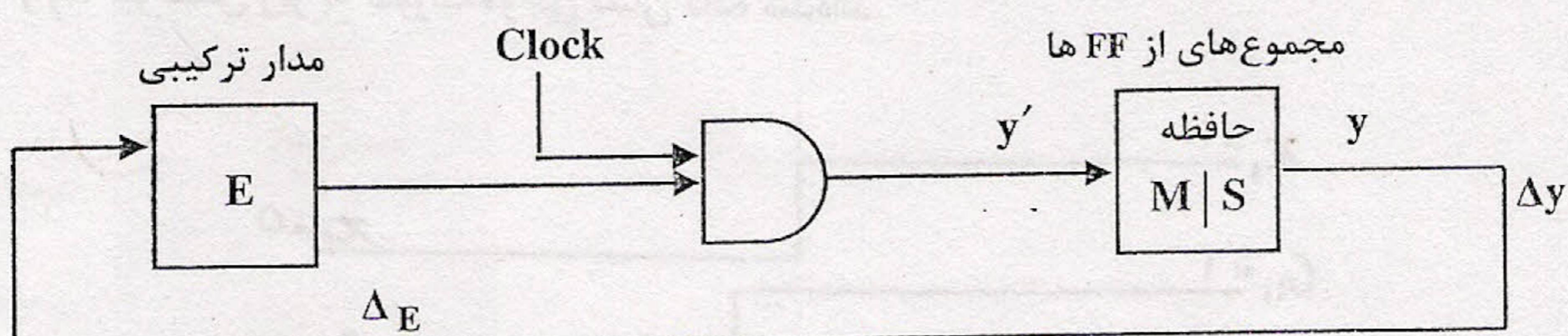
نوسان‌گری Master Clock است که وقتی سیگنالی در حلقه شروع به چرخش می‌کند، دوران آن به طور بی‌پایان ادامه می‌یابد و دنباله‌ای از Pulse های یکنواخت، متعددالشكل متساوی الفاصله و بی‌پایان از نظر زمانی ایجاد می‌گردد که در واقع سرعت کامپیووتر به فرکانس تولید Clock – Pulse ها در واحد زمان بستگی دارد.

Clock را می‌توان به نحوی به کار برد که تغییر در ورودی FF فقط در مدت $1 = \text{Clock}$ اتفاق بیفت و در نتیجه وجود خطای گذرا در خروجی مدار ترکیبی در رفتار مدار ترتیبی اثر منفی نگذارد و خطای دایمی را تولید نکند.

مدار ترتیبی که در آن از Clock استفاده می‌شود "Synchronous Circuit" یا مدارهای ترتیبی همگام نامیده می‌شود، مانند کنترل کننده‌های چراغ‌های راهنمایی که بر سر تقاطع خیابان‌ها نصب شده‌اند.

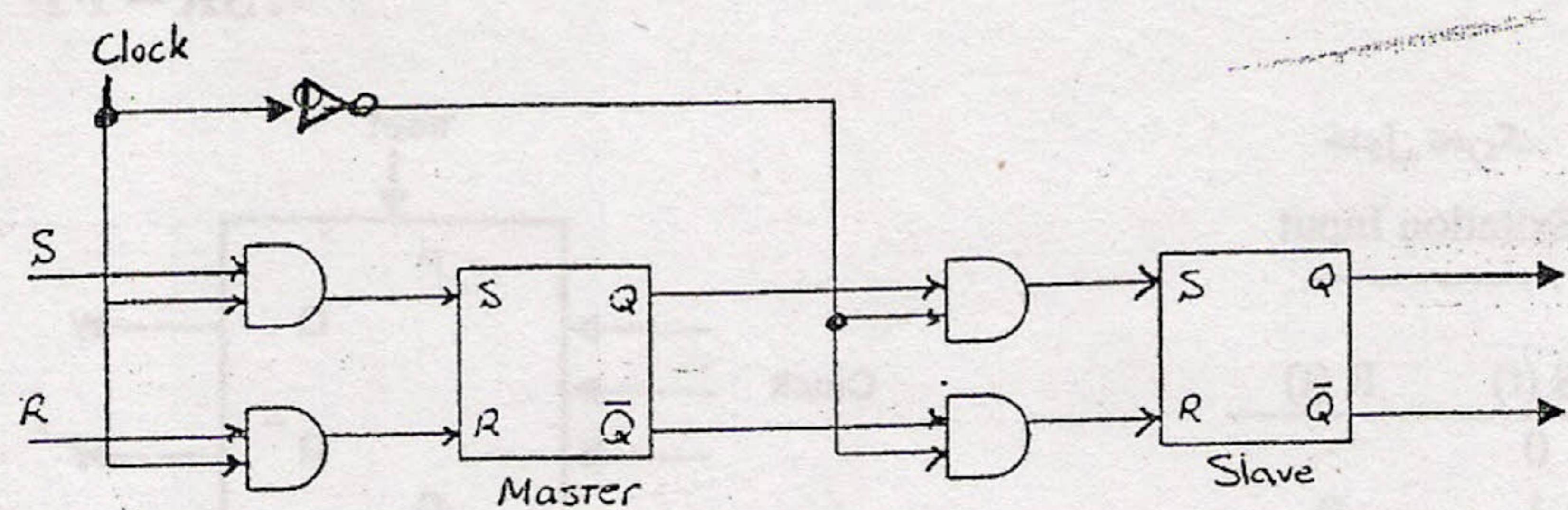
مدارهای ترتیبی که در آن از Clock استفاده نشود "Asynchronous Circuit" یا مدارهای ترتیبی غیر همگام نامیده می‌شود، مانند کنترل کننده آسانسور.

زمان‌های T - T_p و T_p باید نسبت به تاخیر متناظر با gate‌ها و FF‌ها تنظیم گردد تا مدار به طور صحیح کار کند، مخصوصاً مدت زمانی که $\text{Clock} = 0$ است. یعنی " T - T_p " باید به اندازه کافی طولانی باشد تا ورودی‌های محرک FF به حالت پایدار برسد یا به عبارت دیگر به مدارهای ترکیبی مهلت داده شود تا خروجی‌های خود را تولید کند. همچنین T_p باید از زمان رهاسازی FF بیشتر باشد. اما برای T_p کران بالایی نیز وجود دارد. برای این منظور مدار زیر را در نظر می‌گیریم:



که در آن خروجی FF مانند y ورودی مدار ترکیبی E و خروجی E ورودی محرک برای FF مانند y' (یا خود y) می‌باشد. پهنای تپش T_p باید چنان باشد که y' (یا خود y) تا تپش بعدی Clock نسبت به تغییر در y حساس نباشد.

بنابراین اگر تاخیر مدار E را با Δ_E ، تاخیر y -FF را با Δ_y و زمان رهاسازی را با Δ_S نمایش دهیم، باید $\Delta_S < T_p < \Delta_E + \Delta_y + \Delta_S$ باشد. روش دیگر برای صحیح کار کردن مدار استفاده از Master – Slave FF می‌باشد که از اتصال دو FF به صورت زیر به دست می‌آید:



که در آن Master هنگامی تغییر حالت می‌دهد که $Clock=1$ باشد و به هنگام $Clock=0$ بیت ذخیره شده در Master به Slave انتقال می‌یابد. بنابراین اگر در مدار قبلی از Master – Slave FF استفاده شود، چون ورودی مدار E از Slave تامین می‌شود و این ورودی‌ها در مدت زمان "Clock=1" ثابت هستند و نمی‌توانند تغییر کنند در نتیجه در خروجی E تغییری ایجاد نمی‌شود و در واقع تا – Clock – بعدی تغییری در ورودی Master – Slave FF ایجاد نخواهد شد.

مدت زمانی که $Clock=1$ است. یعنی T_p باید به اندازه کافی طولانی باشد که FF بتواند نسبت به تغییر در ورودی‌های محرک از خود واکنش نشان دهد و همچنین در مدت زمان T_p ورودی‌های محرک باید ثابت بماند زیرا به دلیل وجود اگر در خروجی FF تغییری ایجاد شود، باعث تغییر مجدد در ورودی‌های محرک خواهد بود.

از طرف دیگر در بیشتر مدارهای ترتیبی، خروجی یک FF ورودی به یک FF دیگر می‌باشد، بنابراین تغییر حالت در کلیه FF‌ها باید به طور همزمان انجام گیرد. حال اگر به دلایلی برخی از FF‌ها کند و برخی سریع عمل کند، بر اثر وجود تاخیر ناهمانگ، رفتار مدار به طور صحیح انجام نخواهد گرفت که این را Race Problem گویند به عبارت دیگر در هر Clock – Period ورودی FF تنها یکبار باید تغییر یابد در غیر این صورت مواجه با Race Problem خواهیم شد و برای رفع آن یا از Master – Slave Flip Flop و یا از Edge – Trigger Flip Flop استفاده می‌کنند.

انواع Flip – Flop ها :

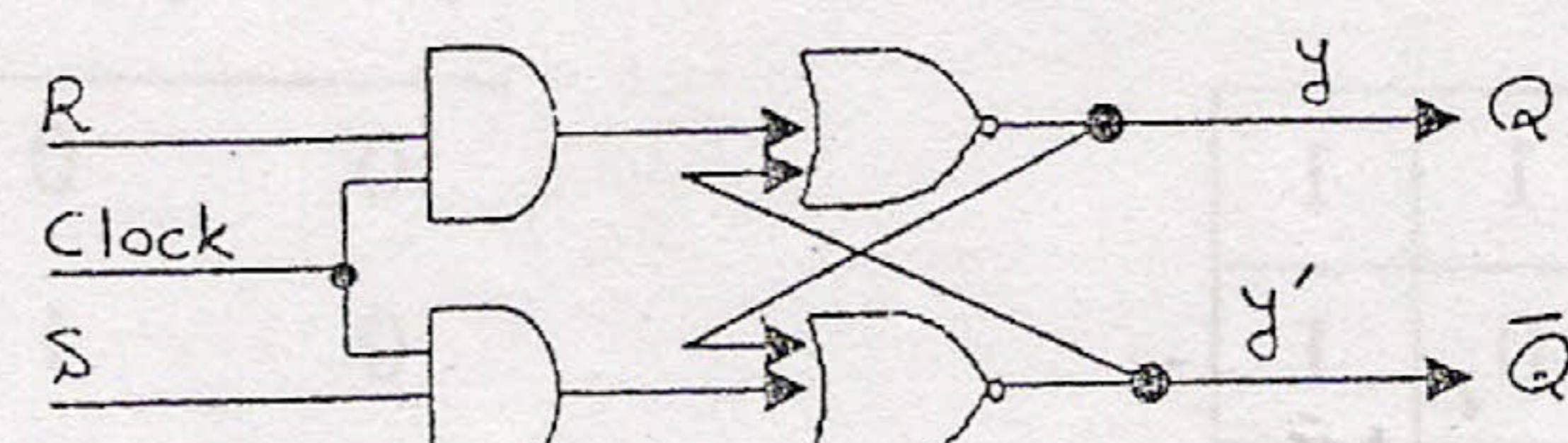
انواع FF‌ها را می‌توان با اضافه نمودن Clock به مدار Latch قبلی به وجود آورد:

:SR – FF (1)

	SR	00	01	11	10
0	y	1	0	-	1
1	y	1	0	-	1

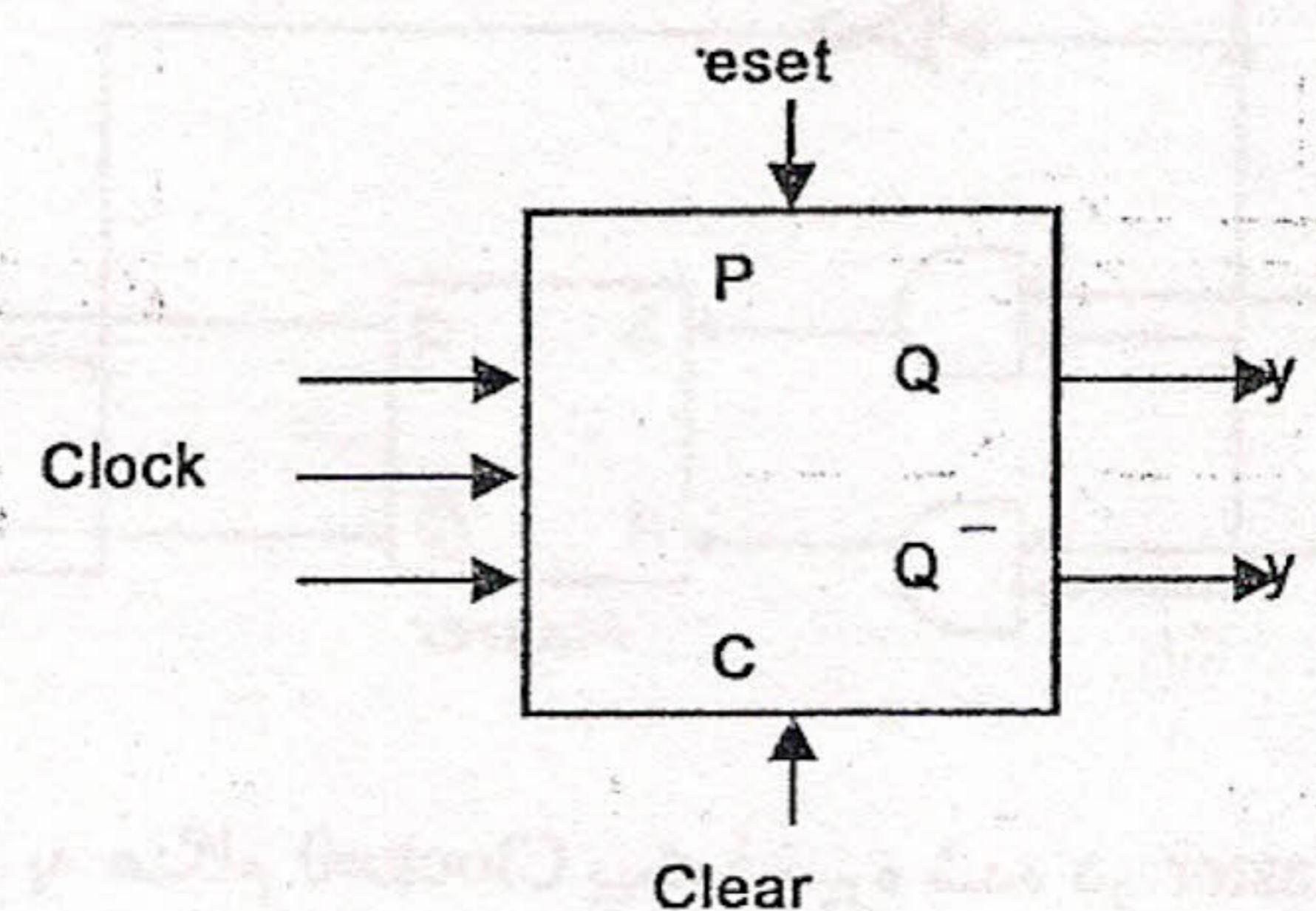
$y = S + \bar{R}y$

(State Table) جدول حالت



نمودار بلوکی : SR - FF

Exitation Table		جدول تحریک	
Present State	Next State	Exitation Input	
$y(t)$	$y(t+1)$	$S(t)$	$R(t)$
0	0	0	-
0	1	1	0
1	0	0	1
1	1	-	0

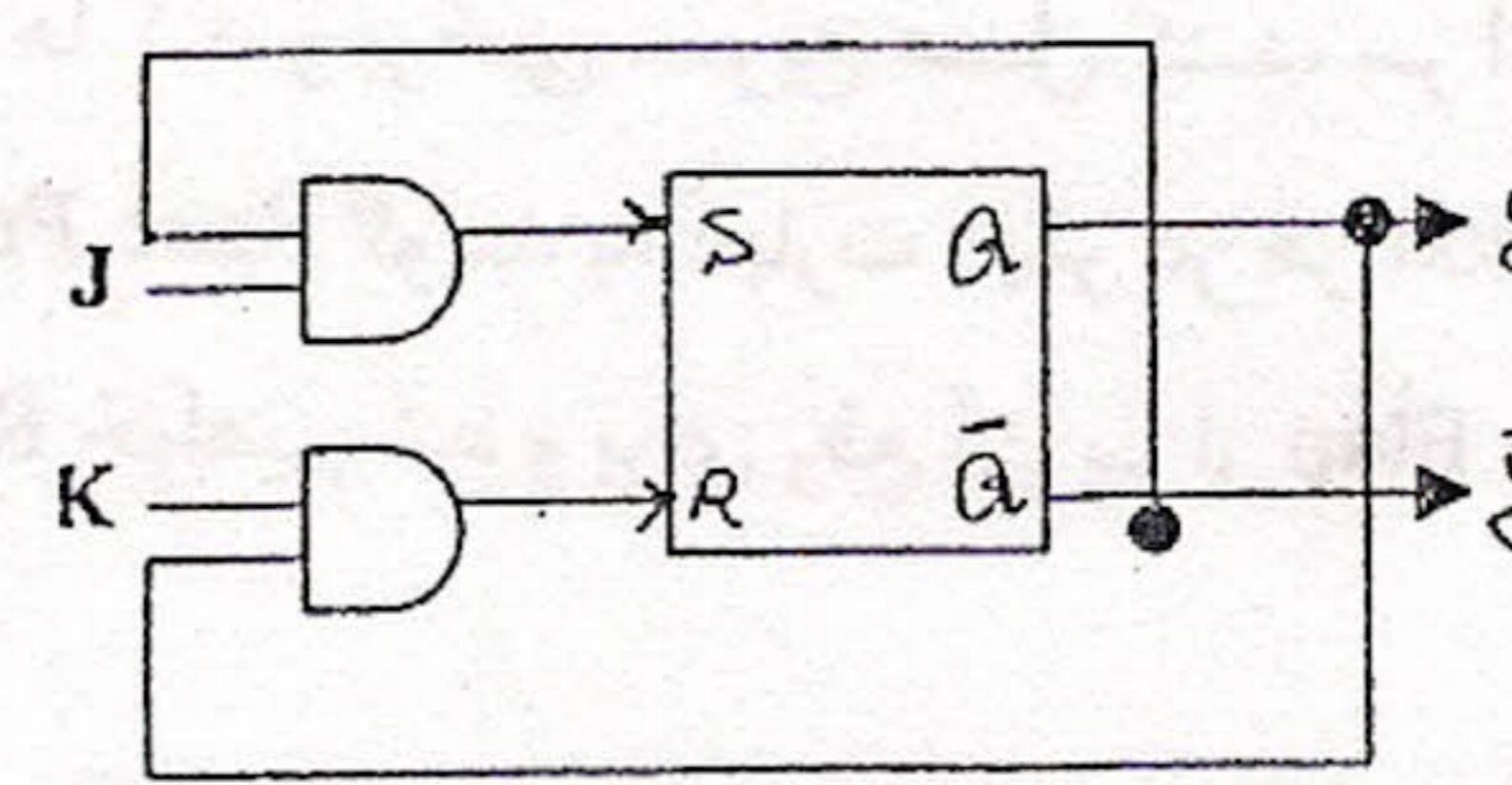
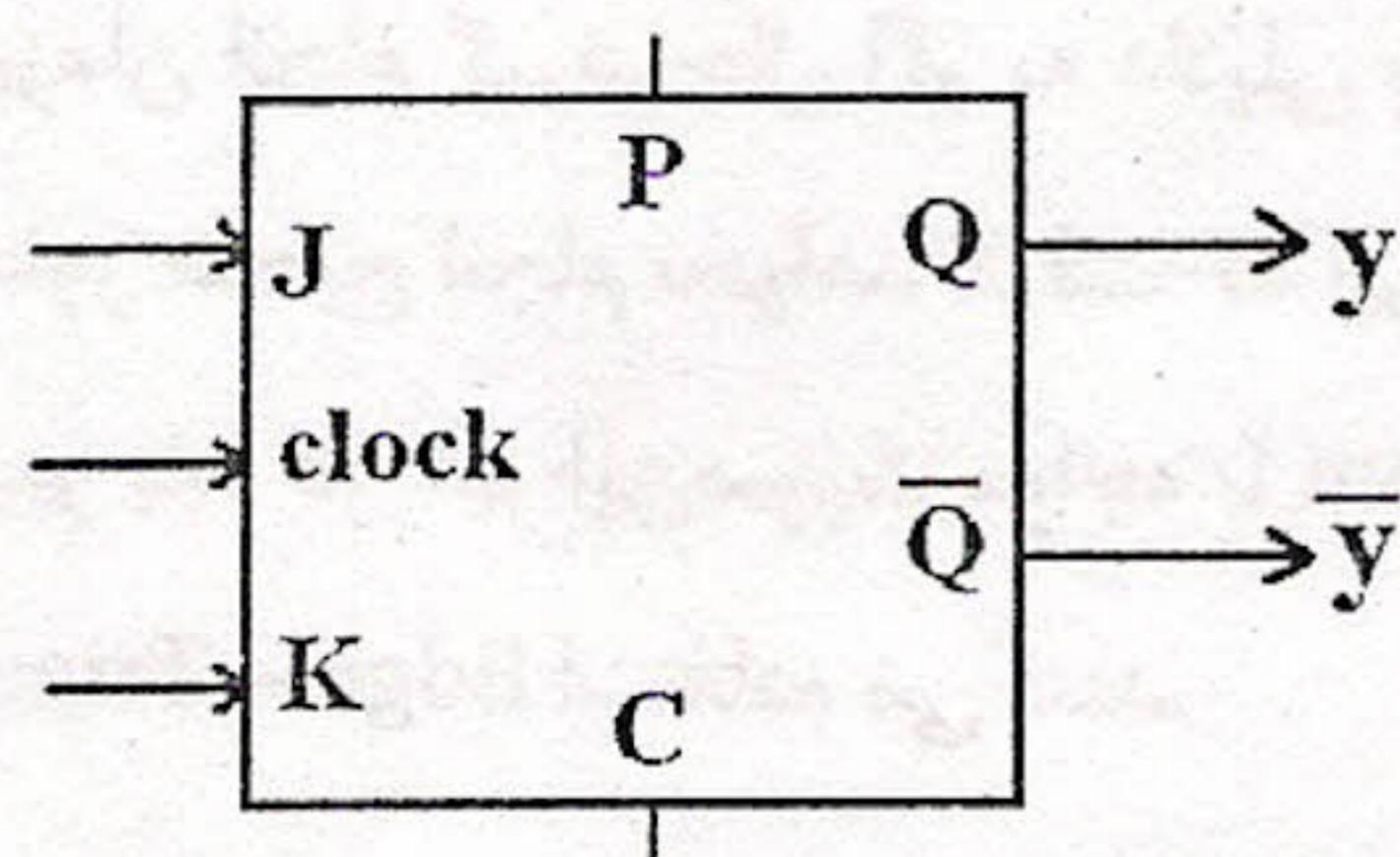


معمولًا در شروع کار، FF ها در یک حالت تصادفی قرار دارند بنابراین باید دو خط کنترل Preset و Clear وجود داشته باشد که به کمک آنها بتوان FF ها را به طور غیر همگام Set و Reset کرد.

تمرین: چگونه می‌توان ورودی‌های Clear و Preset را به مدار SR - FF افزود؟

(۲) JK-FF فلیپ فلاب

طراحی داخلی:



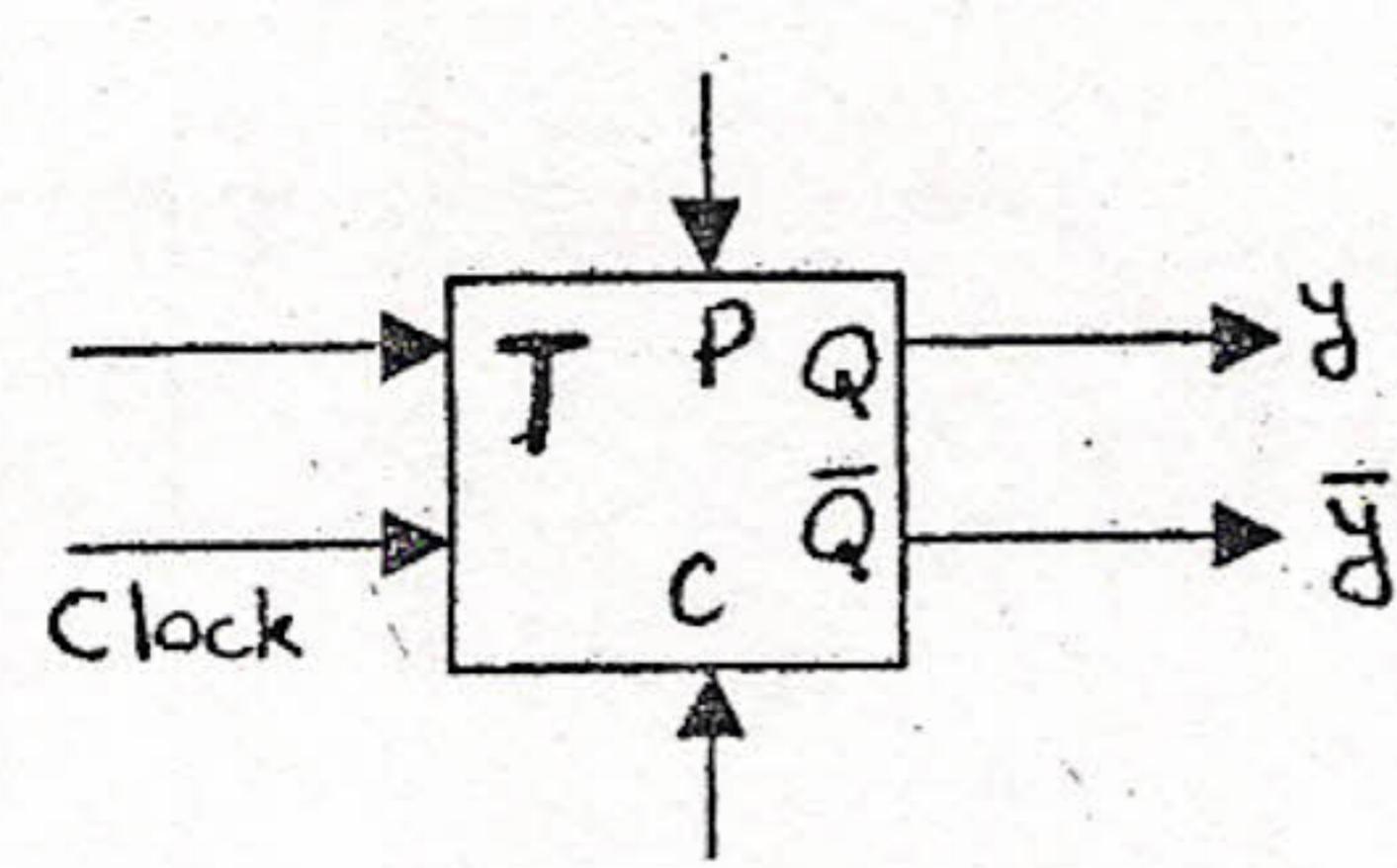
State table:

JK	y			
	00	01	11	10
0	0	0	1	1
1	1	0	0	1

$$Y = J\bar{y} + Ky$$

Exitation Table:

P.S	N.S	inputs			
		$y(t)$	$y(t+1)$	J(t)	K(t)
		0	0	0	-
		0	1	1	-
		1	0	-	1
		1	1	-	0

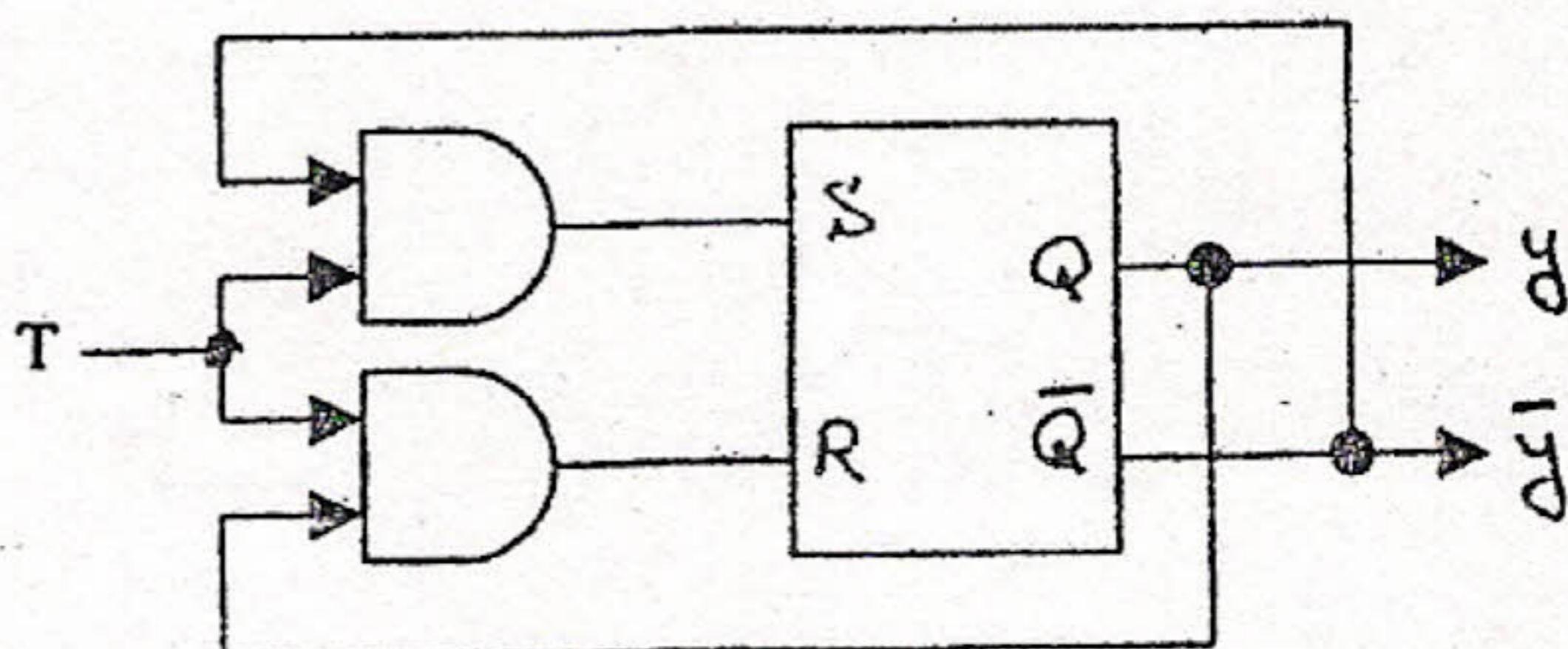


State table:

T	0	1
y	0	①
0	①	0

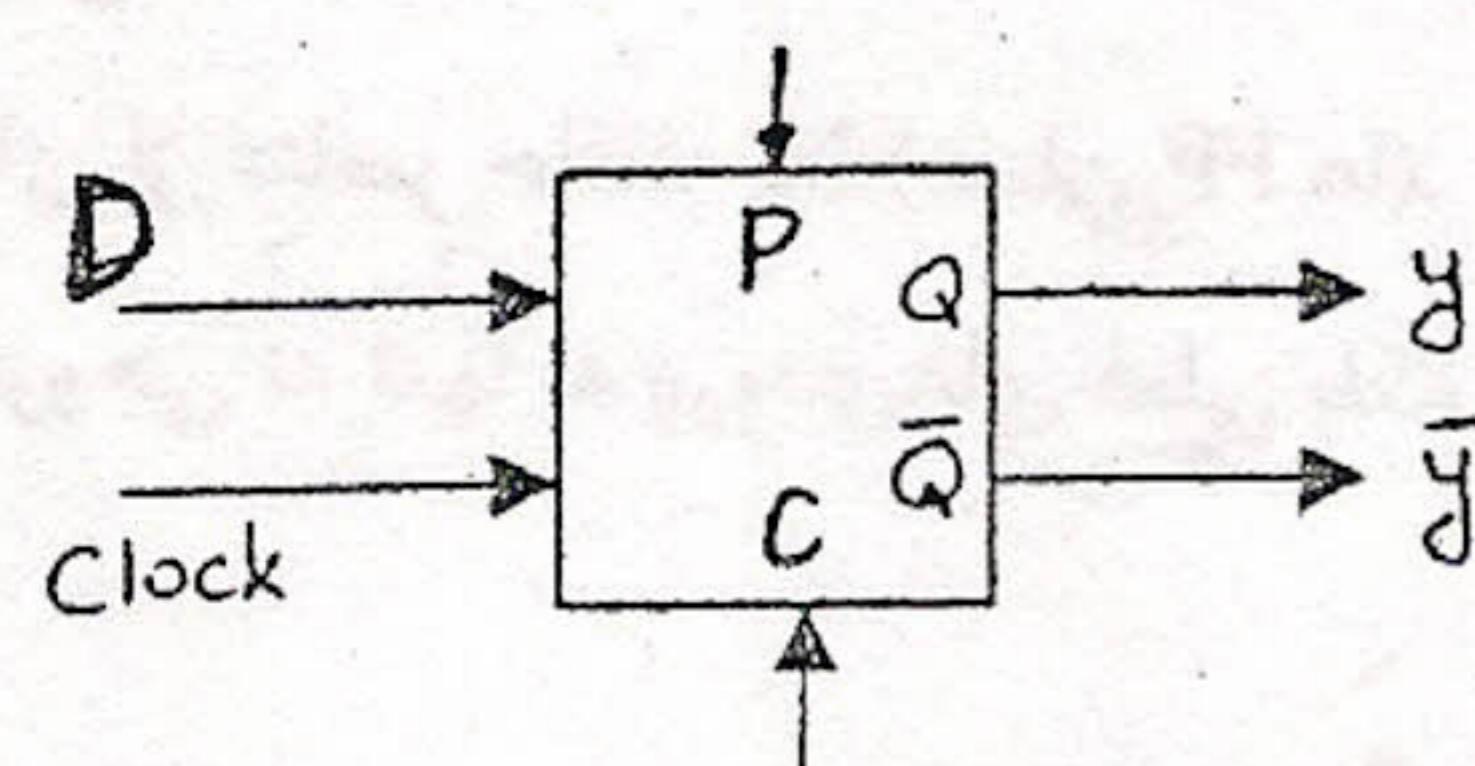
$$Y = \bar{T}y + \bar{T}y = T \oplus Y$$

(Trigger-FF) : T-FF (٢)



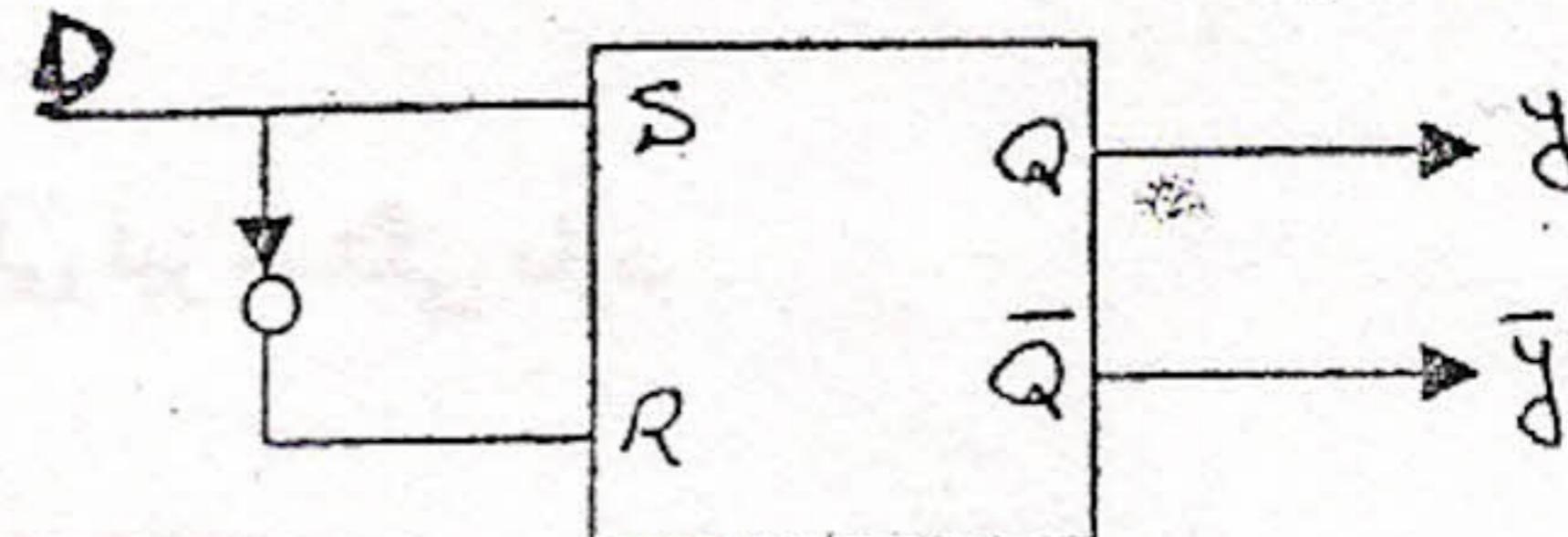
Excitation table

P.S.	N.S.	Input
y(t)	y(t+1)	T(t)
0	0	0
0	1	1
1	0	1
1	1	0



(Delay-FF) : D-FF (٣)

طراحی داخلی:



State table:

D	0	1
y	0	1
0	0	0

$$y=D$$

Excitation table

P.S.	N.S.	Input
y(t)	y(t+1)	Dt
0	0	0
0	1	1
1	0	0
1	1	1