

# 第2章

## メモリー構成

### 2-1 メインメモリー

#### 2-1-1 X1シリーズのメモリー構成

X1のメモリー空間は、メインメモリー用のRAM 64KバイトとIPL(Initial Program Loader)ROM 4Kバイトによって構成されています。またX1turbo, X1turboZのメモリー空間は、メインメモリー用のRAM64KバイトとIPL部を含むBIOS ROM32Kバイトによって構成されています。

グラフィックV-RAM, テキストV-RAM, アトリビュートV-RAMなどはI/O空間64Kバイトの中に配置されています。

#### 2-1-2 増設RAM

X1で使用されている外部RAM(CZ-8EM)はI/Oアドレス(0D\*\*H)を介してアクセスされる外部記憶装置ですが、turboシリーズの増設RAMはメインメモリーの0000H~7FFFH番地(32Kバイト)を1ブロックとする最大16バンク、計512Kバイトのメインメモリーとして使用することができます。

メインメモリーと増設RAMのバンク切り換えは、I/Oポート0B00H番地にデータをセットすることによって行われます。

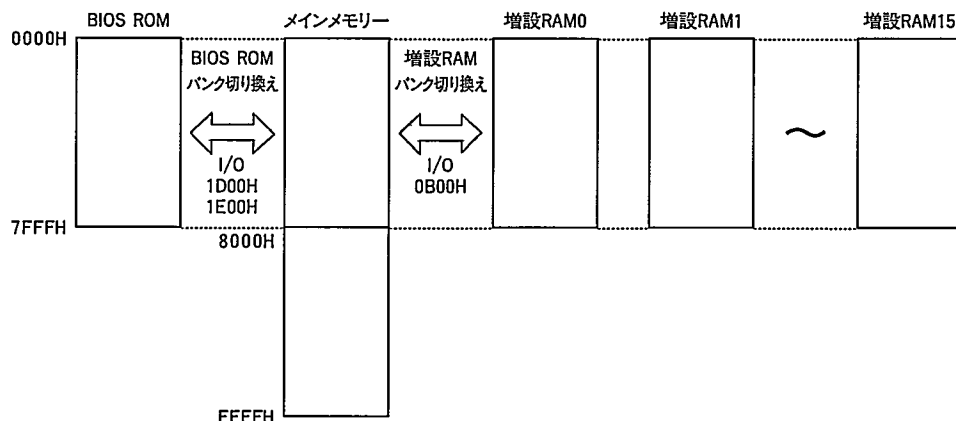
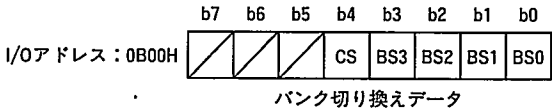


図2-1 増設RAMの切り換え



CS	BS3	BS2	BS1	BS0	バンク切り換え先
1	*	*	*	*	メインメモリー
0	0	0	0	0	増設RAM 0
	0	0	0	1	# 1
	0	0	1	0	# 2
	0	0	1	1	# 3
	0	1	0	0	# 4
	0	1	0	1	# 5
	0	1	1	0	# 6
	0	1	1	1	# 7
	1	0	0	0	# 8
	1	0	0	1	# 9
	1	0	1	0	# 10
	1	0	1	1	# 11
	1	1	0	0	# 12
	1	1	0	1	# 13
	1	1	1	0	# 14
	1	1	1	1	# 15

表2-1 I/Oポート0B00H番地の内容

リスト2-1 増設RAM切り換えプログラム

```
RBKADD EQU      0B00H
RASLAD EQU      1E00H
RBKST:  LD       BC, RASLAD ] BIOS-ROM ノンアクティブ
        OUT      (C), A
        LD       BC, RBKADD ]
        LD       A, (RBKDT) ] バンク切り換え
        OUT      (C), A
        RET
;
RBKDT:  DB       01H .....増設RAM #1選択
;
END
```

2-2 内蔵 ROM

2-2-1 IPL ROM

(1) IPL ROM の動作

IPL ROM は電源投入時(IPL リセット時)に時刻やテレビタイマーの設定を行うか、もしくはフロッピーディスク、カセット、ROM 等の外部ソフトウェアをメインメモリーの 0000H 番地以降に読み込みます。

IPL プログラムの実行時には、IPL ROM(0000H 番地から 0FFFH 番地)とメインメモリーの領域は重なっていますが、CPU の読み出し動作時には IPL ROM を、書き込み動作時にはメインメモリーをアクセスするハードウェア構成によって両者を区別しています。IPL ROM は外部

システムプログラムの読み込みが終了するとメインメモリー空間から切り離されます。ただし、タイマー設定時には再起動されます。

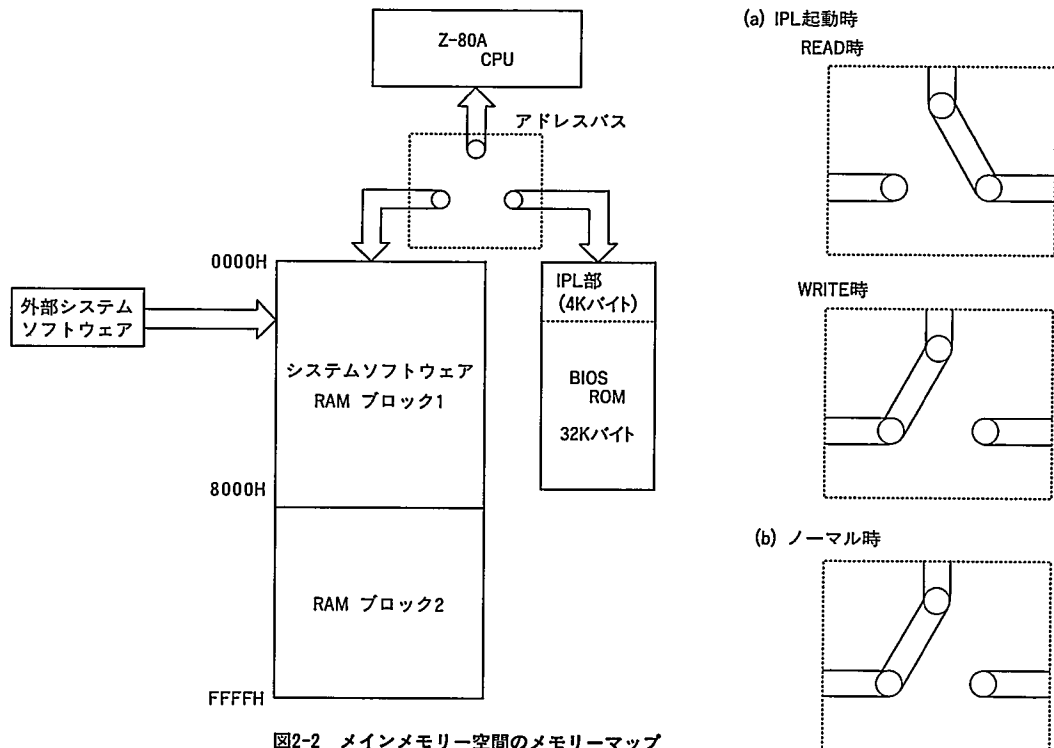


図2-2 メインメモリー空間のメモリーマップ

## (2) 外部システムプログラムの読み込み

電源投入時はX1シリーズのメインメモリーが全てRAM構成になっているため、システムソフトウェアを外部デバイスからRAM上に読み込む必要があります。前述したように、システムソフトウェアを読み込むためのプログラムはIPLに組み込まれています。外部デバイスとしてフロッピーディスク、カセット、ROMがサポートされています。

電源投入後IPLが起動して、ハードとソフトの初期設定が行われます。続いてキーが押されているかどうかを調べます。押されたキーの内容と選択するデバイスの内容は以下の通りです。

キーの内容	選択デバイス
F	フロッピーディスク
R	ROM
C	カセット

表2-2 キーの内容と選択デバイス

キーが押されていれば、それに対応するデバイスの読み込みプログラムを起動します。またこのとき「T」が押されていればタイマー設定のプログラムを、「M」が押されていれば機械語モニタを起動します。何もキーが押されていない場合には、各デバイスの接続の状態を次の優先順位で調べます。

- 1-フロッピーディスク
- 2-ROM
- 3-カセット

次に、選択されたデバイスのファイルから、インフォメーションブロックと呼ばれる32バイトを読み込みます。そして、インフォメーションブロックの先頭のモード部分を見て機械語ファイルであれば、システムプログラムをメモリー上にロードします。ロードが終了すると IPL ROM を切り離し、メモリー上のシステムプログラムに制御を渡します。

### (3) IPL ルーチンの呼び出し

IPL (BIOS) ROM 内のルーチンを使いたいとき、たとえばタイマーを設定したいときには IPL (BIOS) ROM をアクティブにします。そのためには、システム I/O ポートの 1D \*\* H ポートを使用します。このポートに対して出力命令を実行すれば IPL (BIOS) ROM がアクティブになります。

IPL (BIOS) ROM をメモリー空間から切り離すためには、システム I/O ポートの 1E \*\* H ポートを使用します。このポートに対して出力命令を実行すれば IPL (BIOS) ROM はノンアクティブになります。

X1turbo では、次のような手順で IPL の 001BH (RAM) を通じて BIOS ROM 内のルーチンをメインメモリ上のプログラムから CALL することができます。

まず BC レジスタに BIOS のエントリ番地をセットします。  
そして RST 001BH を実行します。

```
LD    BC, (アドレス)
RST   001BH
```

この場合、メインメモリ側のプログラムも IPL の 001BH 番地のルーチンに対応していなければなりません。参考までにメインメモリと IPL のバンク切り換え例を示します。

番地	(メインメモリ)	(IPL)
0018H	CALL 001BH	
001B H	PUSH BC	NOP
001C H	LD B, 1DH	LD B, 1EH
001E H	OUT (C), B	OUT (C), B
0020H	RET	RET

### 注 意

外部から利用できるサブルーチンのエントリー番地、内容に関しては X1 と turbo シリーズは共通になっています。ただし、X1 と turbo シリーズの IPL を利用した共通プログラムを作成する場合は、次のことに注意する必要があります。X1 では IPL をアクセス中に 1 ウェイトかかりますが、X1turbo ではウェイトがかかりません。これに伴いループカウンターの定数を変更されています。更に、turbo シリーズではメッセージが追加、変更されているためメッセージエリアのアドレスが変更されています。

## 2-2-2 BIOS ROM

BIOS とは、X1turbo シリーズのハードウェアを直接制御するためのサブルーチンの集まりのことで、CPU と各種 I/O デバイスとの間の入出力インターフェイスの役割をしています。この BIOS は I/O ドライバーだけでなく、浮動小数点パッケージ、グラフィックパッケージ等も含む

強力なものです。各種サブルーチンのエン트리番地や機能などの詳細は付録の「BIOS ROM マップ」を参照してください。

X1turbo シリーズの BIOS ROM は、メモリーアドレス空間の 0000H~7FFFH 番地を占めています。なお、先頭の 4K バイト(0000H 番地から 0FFFH 番地)は IPL になっています。

#### (1) BIOS ルーチンの呼び出し

BIOS 内のルーチンを読み出す方法は、0000H~7FFFH 番地にユーザープログラムがあるかなにかによって異なります。7FFFH 番地以前にある場合には 2-2-1(3)の「IPL ルーチンの呼び出し」と同様に行ってください。8000H 番地以降にある場合は、次のような手順を使用します。

```
LD      B, 1DH
OUT     (C), B
CALL    <アドレス>
LD      B, 1EH
OUT     (C), B
```

#### (2) BIOS ルーチン内部でのエラー発生

BIOS 内のルーチンでエラーが発生した場合は自動的に F83CH 番地の BIOSER にジャンプします。このルーチンは、エラー処理のためのジャンプルーチンなのでユーザープログラム中で BIOS ルーチンを利用する際には、ユーザー側でエラー処理ルーチンを用意して、BIOSER のジャンプテーブルに登録しておく必要があります。なお、その場合はメインメモリーを以下のように設定して、RST 命令で 0008H 番地から実行します。

<番地>	<メインメモリー>	<IPL>
0 0 0 8 H	EX    A F, A F'	
0 0 0 9 H	LD    A, 1 D H	
0 0 0 B H	OUT   (C), A	
0 0 0 D H		EX    A F, A F'
0 0 0 E H	どのような内容でも	CALL 7 D 6 C H
0 0 1 1 H	かまいません。	LD    B, 1 E H
0 0 1 3 H		OUT   (C), B
0 0 1 5 H	RET	
	LD    B C, <アドレス>	注) <アドレス> は、エラー処理と
	RST   0 0 0 8 H	ルーチンのエン트리アドレス

#### 注 意

BIOS ROM 内ルーチンでエラーが発生した場合は、キャリーフラグがセットされます。

## 2-3 I/O 制御

### 2-3-1 I/O 空間のアクセス

X1 シリーズは 64K バイトの I/O 空間を持ち、Z-80A の入出力命令によって自由にアクセスすることができます。I/O 空間には各種 I/O の他にグラフィック V-RAM も存在しています。

I/O 空間をアクセスするには、Z-80A の I/O 制御命令である IN 命令と OUT 命令を使用します。I/O 制御命令には 2 つの使い方があります。ひとつは C レジスタを使用した入出力命令で以下のように使います。

IN r, (C)

あるいは、

OUT (C), r

この命令を実行することによって BC レジスタの内容がアドレスとして出力されます。すなわち、B レジスタの内容が上位 8 ビットのアドレスに、C レジスタの内容が下位 8 ビットのアドレスになります。これにより 16 ビットのアドレスが指定され、64K バイトの I/O 空間を制御することができます。

もうひとつは入出力命令の第 2 グループを使用したもので、

IN A, (n)

あるいは、

OUT (n), A

を実行します。n には 8 ビットの定数 (0 ~ 255) が入りこれでは、最大 256 個の I/O 空間しかアクセスできませんが、実際は A レジスタの内容が上位 8 ビットに出力されるので、この命令によっても 64K バイトの I/O 空間を制御することができます。

#### 注 意

I/O ポートのなかで I/O アドレスの一部が \*\* で表現されているものがありますが、これは下位アドレス等がデコードされていないためで、この部分はどのような内容でも構いません。

### 2-3-2 シングルアクセスモードと同時アクセスモード

X1 シリーズの I/O アクセスは、通常のアクセスモードであるシングルアクセスモードとグラフィック V-RAM に対する書き込み時に使用される同時アクセスモードとがあります。

#### (1) シングルアクセスモード

X1 シリーズではアクセスモードがいかなるモードであっても、I/O に対する読み出し命令を実行するとシングルアクセスモードになるハードウェア構成となっています。従って、シングルアクセスモードで I/O ポートをアクセスするためには、ダミーの IN 命令を実行するだけでアクセス可能となります。

#### (2) 同時アクセスモード

同時アクセスモードでは、2 面以上のグラフィック V-RAM に同時に書き込むことができるようになっています。このため、面の塗りつぶしや画面のクリアなどを高速に行うことができます。

シングルアクセスモードから同時アクセスモードへ切り換えは、8255②のポート C ビット 5 の立ち下がりによって行われます。そこで、同時アクセスモードにするには、ダミーの読み出し命令を実行してシングルアクセスモードにしたのち、8255②のポート C (1A02H 番地) のビット 5 を "0" → "1" → "0" の順で変化させます。再びシングルアクセスモードにするには、I/O に対して読み出し命令を実行します。

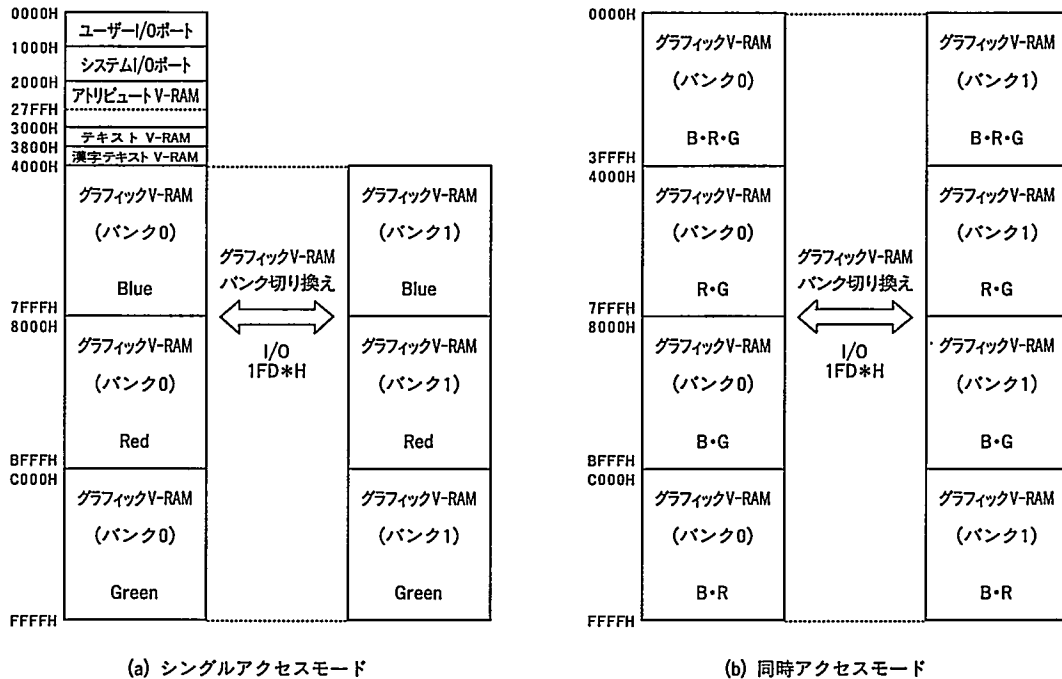


図2-3 シングルアクセスモードと同時アクセスモードのI/Oマップ

## リスト2-2 シングルアクセスモードでのI/Oポートに対する書き込み

```

SACADD EQU      4000H .....I/Oポートアドレス
SACDAT EQU      20H .....書き込むデータ
SACSS: IN       A, (C) .....シングルアクセスモードに換える
        LD      BC, SACADD
        LD      A, SACDAT
        OUT     (C), A
        RET
        ;
        END

```

## リスト2-3 同時アクセスモードでのV-RAMアクセス

```

PIOADD EQU      1A03H .....8255②コントロールレジスタI/Oアドレス
DACADD EQU      4000H .....I/Oアドレス
DACDAT EQU      20H .....データ
DACSS: IN       A, (C) .....シングルアクセスモードに
        LD      BC, PIOADD
        LD      A, 0BH
        OUT     (C), A ] 8255のポートCのビット5をオン
        DEC     A
        OUT     (C), A ] 8255のポートCのビット5をオフ。
        LD      BC, DACADD
        LD      A, DACDAT
        OUT     (C), A
        IN      A, (C) .....シングルアクセスへ
        RET
        ;
        END

```

### 2-3-3 システム I/O ポートとユーザー I/O ポート

システム I/O ポートとユーザー I/O ポートはシングルアクセスモード時のみアクセスすることができます。

ユーザー I/O ポートは I/O アドレスの 0000H~0FFFH 番地を占め、各種の周辺機器や外部デバイスなどの入出力に使用します。ただし、シャープから提供されるインターフェイス基板が 0100H~0FFFH 番地に配置されることになっているので、ユーザーがオリジナルのインターフェイス基板を接続する場合には、0000H~00FFH 番地の範囲に設定してください。

システム I/O は 1000H~1FFFH 番地に配置されています。この I/O ポートを通じてパレット回路、プライオリティ回路、PCG, CGROM, 漢字 ROM, CRTIC, サブ CPU (80C49), PSG, 8255②, IPL-ROM などの各種デバイスをアクセスしています。システム I/O ポートの詳細は付録「I/O マップ」を参照してください。