

# Xilinx 7020

## 1. 开发环境搭建

### 💡 Tip

🌐 环境搭建比较耗时，

## 2. 语法基础

### 💡 Tip

⭐ verilog 实在 c 语言的基础上发展而来，很多语法特性相同；

### 2.1 模块开始结束

#### ❗ Important

⚠ 注意 模块名称 要和 文件名称 对应；

⚠ 注意所有模块的标点符号模块使用的是 小括号 ；

```
/* 此文件为 exmpLe.v */
/* 定义模块开始 */
module exmple (
    /* 内部定义输入或者输出或者输入输出信号类型 */
    input wire sys_clk, /* 创建一个输入时钟信号 */
    input wire sys_rst_n, /* 创建一个输入复位信号 */
    inout wire sda, /* 创建 i2c 的数据信号为双向 */
    output wire scl /* 创建 i2c 的时钟信号 */
);
endmodule /* 定义模块结束 */
```

## 2.2 变量相关