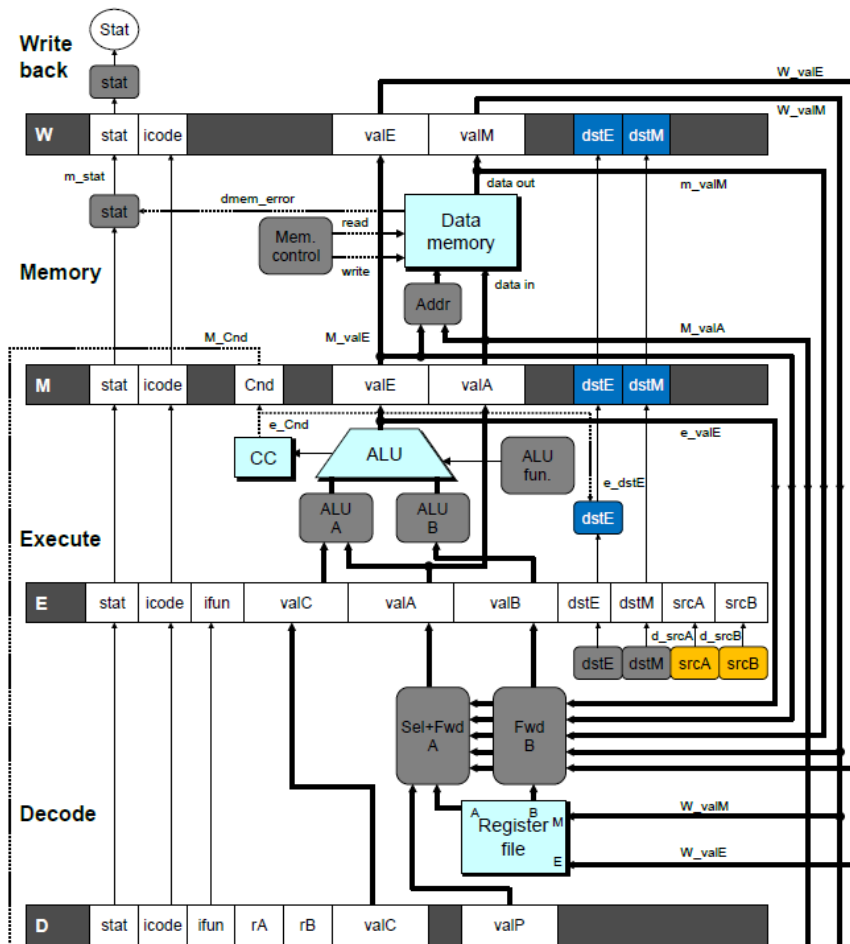


得分

第四题（15 分）

这是一款 Y86-32 流水线处理器的结构图（局部），请以此为基础，依次回答下列问题。



1、该处理器设计采用了前递（forwarding）技术，一定程度上解决了数据相关的问题，在上图中体现在 Sel+FwdA 和 FwdB 部件上。前者输出的信号会存到流水线寄存器 E 的 valA 域（即 E_valA 信号），请补全该信号的 HCL 语言描述。

```
int E_valA = [
    D_icode in { ICALL, IJXX } : _____ ; # ① 答案: D_valP
    d_srcA == e_dstE : _____ ; # ② 答案: e_valE
    d_srcA == M_dstM : _____ ; # ③ 答案: m_valM
```

```

        d_srcA == M_dstE : M_valE      ;
        d_srcA == W_dstM : W_valM      ;
        ...
];

```

2、如果在该处理器上运行下面的程序，每条指令在不同时钟周期所处的流水线阶段如下表所示。在这种情况下，哪条指令的执行结果会有错误？写出该指令的地址：

0x01e。（1分）

```

demo1.ys
0x000: irmovl $128, %edx
0x006: irmovl $3, %ecx
0x00c: rmmovl %ecx, 0(%edx)
0x012: irmovl $10, %ebx
0x018: mrmovl 0(%edx), %eax
0x01e: addl %ebx, %eax
0x020: halt

```

1	2	3	4	5	6	7	8	9	10	11	12
F	D	E	M	W							
	F	D	E	M	W						
		F	D	E	M	W					
			F	D	E	M	W				
				F	D	E	M	W			
					F	D	E	M	W		
						F	D	E	M	W	

3、如需检测出这个情况，需要增加逻辑电路，用 HCL 语言表达如下：

E_icode in {IMRMOVL, IPOPL} && _____ in { _____ }

答案：E_icode in {IMRMOVL, IPOPL} && E_dstM in { d_srcA, d_srcB }，2分，全对才得分

4、当新增的电路检测出这个情况后，应对各流水线寄存器进行不同的设置，以便在尽可能少影响性能的前提下解决该问题。请填写下表，可选的设置包括 normal/bubble/stall 三种。

F	D	E	M	W

答案：stall, stall, bubble, normal, normal。3分，全对才得分

5、如果遇到下面程序代码所展示的情况，该处理器运行时仍然存在问题。因此，还需要新增检测电路。当新增的电路检测出这个情况后，应对各流水线寄存器进行不同的设置，以便在尽可能少影响性能的前提下解决该问题。请填写下表，可选的设置包括 normal/bubble/stall 三种。

```

demo2.ys
...
0x018: rmmovl %ecx, 0(%edx)
0x01e: irmovl $10, %ebx
0x024: popl %esp
0x026: ret

```

F	D	E	M	W

答案：stall, stall, bubble, normal, normal。3分，全对才得分

得分

第五题（15 分）

Cache 为处理器提供了一个高性能的存储器层次框架。下面是一个 8 位存储器地址引用的列表（地址单位为字节，地址为 10 进制表示）：

3, 180, 43, 2, 191, 88, 190, 14, 181, 44

1. (7 分) 考虑如下 cache (S=2, E=2)，每个 cache block 大小为 2 个字节。假设 cache 初始状态为空，替换策略为 LRU。请填补下表：

(Tag 使用二进制格式；Data 使用十进制格式，例：M[6-7] 表示地址 6 和 7 对应的数据)

	V	Tag	Data	V	TAG	Data
SET 0	1			1		
SET 1	1			1		

共命中_____次 (1 分)，分别访问地址_____ (地址用 10 进制表示，2 分)

解答：

答案：

	V	Tag	Data	V	TAG	Data
SET 0	1	101101 M[180-181]		1	001011 M[44-45]	
SET 1	1	000011 M[14-15]		1	101111 M[190-191]	

共命中 3 次

(表格上每空格 1 分，tag 和 data 都正确才得分；)

命中次数回答正确得 1 分；

分别为访问地址 2、190、181 (三个地址完全正确得 2 分，答对两个得 1 分)

2. (4 分) 现在有另外两种直接映射的 cache 设计方案 C1 和 C2，每种方案的 cache 总大小都为 8 个字节，C1 块大小为 2 个字节，C2 块大小为 4 个字节。假设从内存加载一次数据到 cache 的时间为 25 个周期，访问一次 C1 的时间为 3 个周期，访问一次 C2 的时间为 5 个周期。针对第一问的地址访问序列，哪一种 cache 的设计更好？(请分别给出两种 cache 访问第一问地址序列的总时间以及 miss rate)

答案：

Address	Binary address	C1 hit/miss	C2 hit/Miss
3	000000 11	M	M
180	101101 00	M	M
43	001010 11	M	M

2	000000 10	M	M
191	101111 11	M	M
88	010110 00	M	M
190	101111 10	H	H
14	000011 10	M	M
181	101101 01	H	M
44	001011 00	M	M

C1 更好。(1 分)

C1: miss rate = $8/10 = 80\%$, (0.5 分) total cycles = $8 * 25 + 10 * 3 = 230$ (1 分)

C2: miss rate = $9/10 = 90\%$, (0.5 分) total cycles = $9 * 25 + 10 * 5 = 275$ (1 分)

3. (2 分)现在考虑另外一个计算机系统。在该系统中，存储器地址为 32 位，并采用如下的 cache:

Cache datasize	Cache block size	Cache mode
32 KiB	8 Bytes	直接映射

此 cache 至少要占用_____Bytes. (datasize + (valid bit size + tag size) * blocks)

答案:

cache block 为 8 bytes, 所以 $b=3$;

cache block 一共 $32 * 1024 / 8 = 4096$ 个, 又因为是直接映射, 所以 $s=12$; 于是 tag 位一共 $t = 32 - s - 1 = 17$ 。所以总大小为:

$$\begin{aligned} \text{totalsize} &= \text{datasize} + (\text{valid bit size} + \text{tag size}) * \text{blocks} \\ &= 32 * 1024 + (1 + 17) * 4096 / 8 = 41984 \text{ (bytes)} \end{aligned}$$