

Федеральное государственное автономное образовательное учреждение
высшего образования «Санкт-Петербургский политехнический университет
Петра Великого»
Институт компьютерных наук и технологий
Программная инженерия



ПОЛИТЕХ

Санкт-Петербургский
политехнический университет
Петра Великого

Отчёт по лабораторной работе по дисциплине

**«Языки моделирования и описания цифровой аппаратуры»
Программная и аппаратная реализация алгоритма сортировки вставками**

Студент гр. 5130904/30008

Ребдев П.А

Студент гр. 5130904/30008 Мунгой Шеллер Валмиро Да Линда

Проверил:

Амосов В.В

Санкт-Петербург
2025

Оглавление

1. Техническое задание.....	3
2. Описание алгоритма.....	3
3. Аппаратная реализация.....	4
3.1 Блок-схема.....	4
3.2 Verilog код.....	4
3.3 Симуляция (тестирование).....	6
3.4 Технологическая схема.....	7
6. Ручной расчёт.....	9

1. Техническое задание

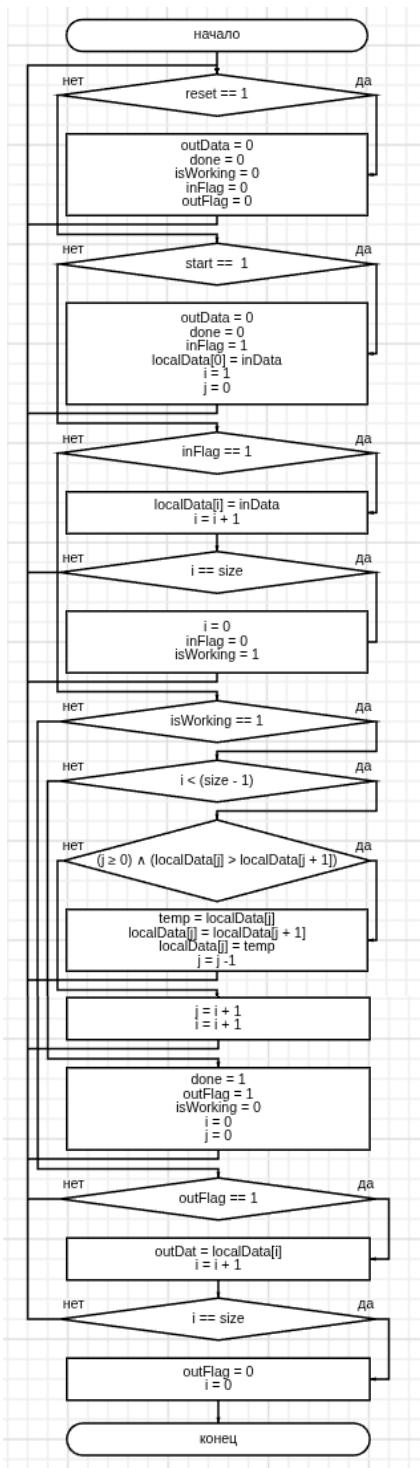
- 1) Разработать аппаратную реализацию сортировки вставками массива на языке Verilog
- 2) Произвести симуляцию Verilog кода
- 3) Создать RTL схему в среде Quartus II
- 4) Создать технологическую схему
- 5) Сделать ручной расчёт сортировки

2. Описание алгоритма

На вход алгоритма подаётся последовательность n чисел. Алгоритм состоит из прохода по массиву. На каждом шагу следующий элемент сравнивается с текущим, если порядок неверный, то следующий элемент вставляется в отсортированную часть. Проход по массиву проводится однократно, на каждом шаге отсортированная часть увеличивается, а не отсортированная уменьшается

3. Аппаратная реализация

3.1 Блок-схема



3.2 Verilog код

```
module insert_sort(clk, start, reset, inData, done, outData);  
    parameter size = 8;
```

```

input clk, start, reset;
input [31 : 0] inData;
output reg done;
output reg [31 : 0] outData;

integer localData[(size - 1) : 0];
integer i = 0, j = 0, temp = 0;
reg isWorking = 0, inFlag = 0, outFlag = 0;

always @(posedge clk)
begin
    if (reset)
    begin
        outData = 0;
        done = 0;
        isWorking = 0;
        inFlag = 0;
        outFlag = 0;
    end
    else if (start)
    begin
        outData = 0;
        done = 0;
        inFlag = 1;
        localData[0] = inData;
        i = 1;
        j = 0;
    end
    else if (inFlag)
    begin
        localData[i] = inData;
        i = i + 1;
        if (i == size)
        begin
            i = 0;
            inFlag = 0;
            isWorking = 1;
        end
    end
    else if (isWorking == 1)
    begin
        if (i < (size - 1))
        begin
            if ((j >= 0) && (localData[j] > localData[j + 1]))
            begin
                temp = localData[j];
                localData[j] = localData[j + 1];
                localData[j + 1] = temp;
                j = j - 1;
            end
        end
        else
        begin
            j = i + 1;
            i = i + 1;
        end
    end
end

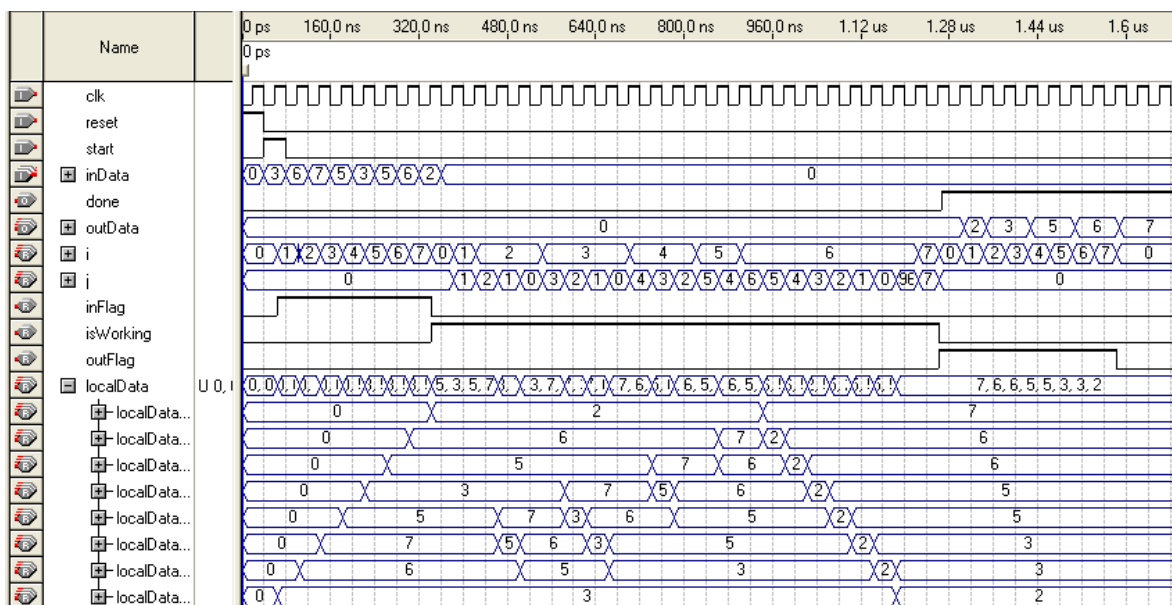
```

```

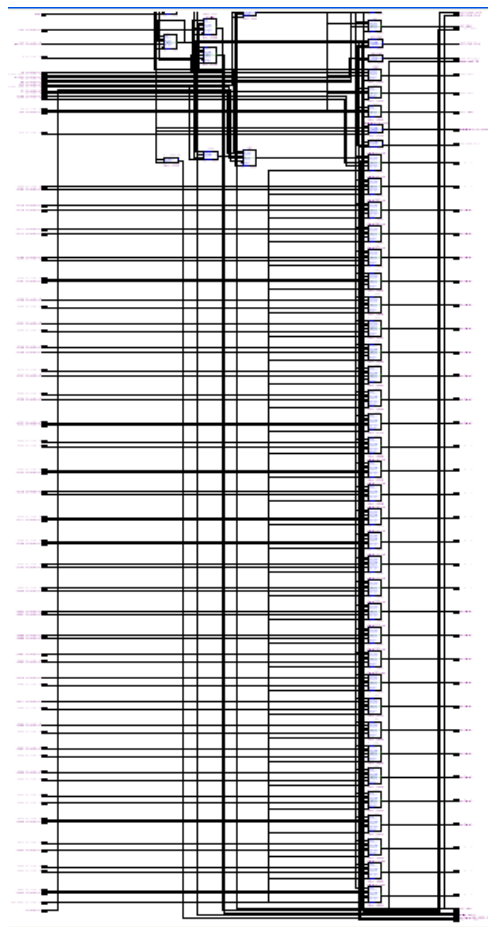
else
begin
    done = 1;
    outFlag = 1;
    isWorking = 0;
    i = 0;
    j = 0;
end
end
else if (outFlag)
begin
    outData = localData[i];
    i = i + 1;
    if (i == size)
begin
        outFlag = 0;
        i = 0;
    end
end
end
endmodule

```

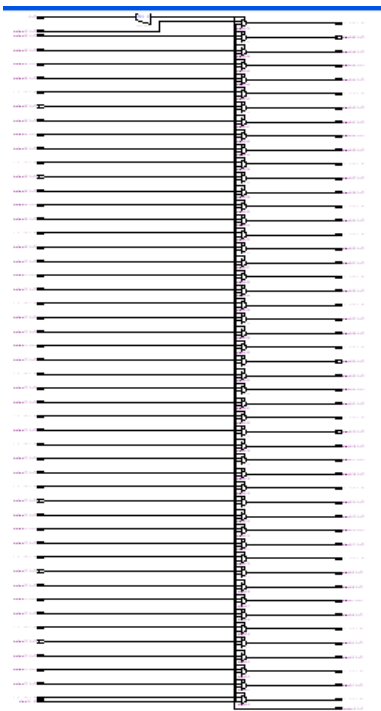
3.3 Симуляция (тестирование)



3.4 Технологическая схема



3.5 RTL схема



3.6 Отчёт в среде Quartus

Flow Status	Successful - Thu May 27 14:54:39 2021		Resource	Usage
Quartus II Version	5.0 Build 148 04/26/2005 SJ Full Version	1	Total logic elements	950
Revision Name	Lab8	2	Total combinational functions	950
Top-level Entity Name	insert_sort	3	-- Total 4-input functions	489
Family	Stratix	4	-- Total 3-input functions	325
Met timing requirements	Yes	5	-- Total 2-input functions	72
Total logic elements	950 / 10,570 (8 %)	6	-- Total 1-input functions	64
Total pins	68 / 336 (20 %)	7	-- Total 0-input functions	0
Total virtual pins	0	8	Combinational cells for routing	0
Total memory bits	0 / 920,448 (0 %)	9	Total registers	356
DSP block 9-bit elements	0 / 48 (0 %)	10	Total logic cells in carry chains	96
Total PLLs	0 / 6 (0 %)	11	I/O pins	68
Total DLLs	0 / 2 (0 %)	12	Maximum fan-out node	clk
Device	EP1S10F484C5	13	Maximum fan-out	356
Timing Models	Final	14	Total fan-out	4585
		15	Average fan-out	4.50

6. Ручной расчёт

Возьмём 8 случайно сгенерированных тестовых чисел: 3 6 7 5 3 5 6 2

