

Problem D: Chip Level Global Router

(MediaTek Inc.)

Q&A

Q1. 您好，對於 ICCAD 的 Problem D 有些問題想請教一下。對於 net 在所有的 feedthroughable block 和 non-feedthroughable block 裡面要到 channel 上都要經過 through block edge (在 input 檔的 cfg 裡的 through_block_edge_net_num 裡的座標) 嗎?反之在 channel 裡的 net 要到 feedthroughable block 或 non-feedthroughable block 也需要穿過 through block edge 嗎?

A1. 如果 cfg 中有描述某個 block 有 through_block_edge_net_num，表示這個 block 的所有經過或出發或接收的 net 都受此限制，所以從 block 內到 channel 和 channel 到這 block 都需要穿過 through_block_edge_net_num 的區域。

Q2. 目前我有閱讀過 IC/CAD contest 2024 中的 Problem D 的說明文件，對此題有一些疑問，如下列所述：

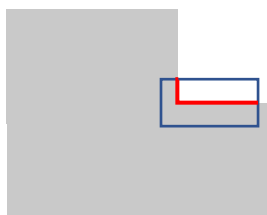
1. 圖 1.中，四周的深灰色區域代表什麼？
2. Region 是否能讓 net 穿過去？
3. Pin 的詳細定義是什麼？只有被 TX_COORD 與 RX_COORD 所定義的點才是 pin 嗎？抑或是只要是 net 穿過任何 block 的進入/離開點，或是被 TX_COORD 與 RX_COORD 所定義的點就算是 pin？
4. CFG 檔案中的 block_port_region，文中敘述是「在 block 邊上可以擺放引腳的矩形區域」，意思是「block 邊上存在一個矩形區域，區域內皆可擺放引腳」(在 block 邊上“可以擺放引腳的矩形區域”)，還是「可以擺放引腳的矩形區域就是 block 的輪廓邊緣」(“在 block 邊上可以擺放引腳”的矩形區域)？
5. CFG 檔案中的 HMFT_MUST_THROUGH，與 connection matrix 檔案中的 is_feedthroughable，兩者的判定上有沒有優先順序？一個 non-feedthroughable block 的 is_feedthroughable 是否為 False？
6. Wirelength 在 Problem Statement 的解釋為 segment 的總和，但在 Evaluation 中的解釋為 HPWL，兩者的解釋不同。
7. $x_{modified}$ 、 $y_{modified}$ 的公式中，相除的部分是否要加上 floor(無條件捨去)？若否，則此公式就只是將所有繞線的位置往右上方移動相同距離，並不會達成「將每一個 segment 的座標平移到 gcell 的中心」的目標。

8. $\text{penalty}_{\text{pinconstraint}}$ 的公式中，在文章內並無清楚地定義 all constraint、 $\# \text{pin_constraints}$ 以及 $\# \text{used track}$ 代表什麼。

以上就是我的提問，還煩請主辦單位撥冗閱讀回覆，謝謝！

A2.

1. 第一頁介紹各種元件的第三點，Non-feedthroughable block: 不被允許一般 net 穿過的 block，然而 HMFT 可以穿過此 block。(HMFT [hard macro feedthrough 縮寫]: 其目的是為了縮減 channel 面積，將某些 net 穿進 non-feedthrough block)。
2. 可以。
3. Pin 的定義是穿過 block 的進入或離開點。
Tx_coord 和 rx_coord 在 block 內的邏輯將訊號送出或接收的位置，所以其定義是 net 的起終點。
4. block_port_region 會和 block 的邊有交集，而其交集的“邊”是可以擺放引腳的，如下圖，藍色框和灰色 block 的交集，紅色線段即為可以擺放引腳的區域。



5. HMFT_MUST_THROUGH 的優先權大於 is_feedthroughable，Non-feedthroughable block 的 is_feedthroughable 一定為 False。
6. 在公式中會依據每條 net 經過的 gcell 做 overflow 的權重計算，所以 wirelength 已隱含在總合的過程，而最後 HPWL 的目的是為了讓 detour 的權重也列入考量，如果 wirelength 除以 HPWL 的值越大，表示 wirelength 繞了遠路。
7. 是的。須加上 floor 的條件。謝謝提醒！
8. 在 cfg 的“through_block_edge_net_num”表示在某段 block 邊會限制可走過的 net 數量。所有 cfg 中的此種 constraint 即為 all constraint， $\# \text{pin_constraints}$ 表示 cfg 限制在某個 block 邊可走過的 net 數量， $\# \text{used_track}$ 表示參賽 router 所經過此段受限制的邊所占用的數量。

Q3. 您好，想請問的問題如下

1. Evaluation 的 score 中， $\text{cost_overflowLength}$ 的第二個 sigma 的意思；以

及 `penalty_#pin_constraints` 中的 each constraint 詳細對應題目中的哪部分。

2. Output File / Format 中(`X_modified`, `Y_modified`)的功用，因為好像沒看到有相關輸出規定、參數限制或是評分等有使用到這組數據，所以想問計算(`X_modified`, `Y_modified`)的用意。

A3.

1. 第二個 `sigma` 的下標 `segment` 表示一條 net 被 gcell 切開的每條線段，上標是一條 wire 包含的 `segment` 數量。Penalty 來自 `cfg` 的 `through_block_net_num` 和 `through_block_edge_net_num` 的限制，`#pin_constraints` 由題目提供，`#used_track` 是參賽者 router 經過所占用的 track 數量。
2. 參賽者可以按照自己的計算輸出 `x,y`，`x_modified` 和 `y_modified` 是 evaluation 時會將參賽者的 output 的 `x,y` 移動到 gcell 的中心點做 `wirelength` 和 `overflow` 的計算。

Q4. 您好，我想請問關於 ICCAD 2024 Problem D 的兩個問題：

1. 8 Evaluation 的部分，想請問後半部的公式中的 `score` 就是最後的總分嗎。因為 8 (1) 提到分數是按照高排到低，但是 `score` 的計算好像會是 `penalty`、`cost` 越高則分數越高，有違 2 Problem Statement 對成本的考量。

$$\text{score} = 0.55 * \text{cost}_{\text{overflowLength}} + 0.35 * \text{cost}_{\text{edgePinDensity}} + 0.1 * e^{\frac{\text{time}}{2*60*60}} + 0.3 * \text{penalty}_{\text{\#pin_constraint}} + 0.01 * \text{penalty}_{\text{\#net_turn}}$$

2. 3 Input File/Format 的部分，有關於 json 檔案格式的問題。因為範例的 json 檔中有出現小括弧，例如：`(X0, Y0)`，但是好像沒有查詢到小括弧在 json 格式中相關用法。想請問之後提供的 benchmarks 中，是會將 `(X0, Y0)` 整個當作一個 element，還是會改以 `[X0, Y0]` 矩陣形式表示。

For example ,

```
{
  "block_name": AAA,
  "through_block_net_num": 1000,
  "through_block_edge_net_num": [(X0, Y0),(X1,Y1),100],
  "block_port_region":[(X0,Y0),(X1,Y1)],
  "is_feedthroughable:True"
}
```

A4.

1. 更正，分數由低排到高。
2. 會更正為[X0,Y0]

Q5. 我想請問 Problem-D 的繞線問題是 2D 還是 3D?

A5. 2D

Q6. Problem D 相關疑問

1. 請問 channel 是否有容量的限制?例如題目中圖一的紅色虛線框中的 channel 的容量為何?另外可否再提供一個例子，並詳細描述 channel 的容量及繞線在 channel 中的所有合法走向?

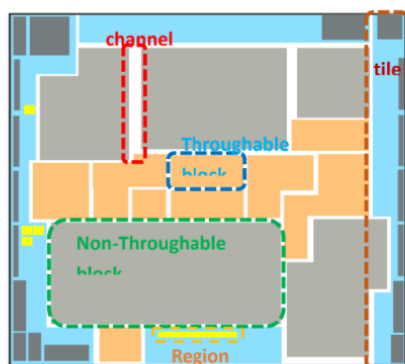
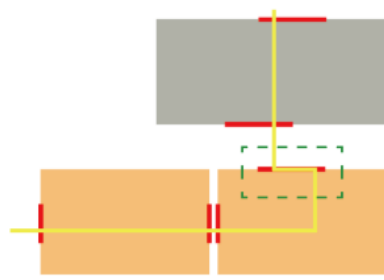


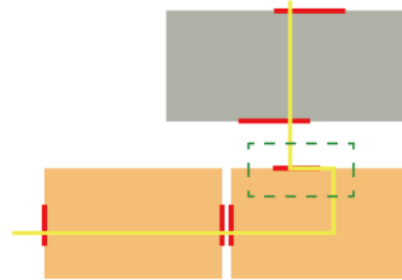
圖 1.

2. 題目中提到 number of available routing tracks 本競賽將直接定義在每一組測試資料的輸入中，請問可否提供一個簡單的例子說明?
3. 在 introduction 中的第 4 點 Region 指的是除了 block 之外, chip level 中還有些四處散落的 standard cell,它們會依據 function 被分配到不同的 region 中。請問 Region 的 Block_port_region 的資訊是放在 input file 中的哪一個部份呢?
4. Input file 中，有許多的值是以座標的方式表示，請問這些座標值是否皆為整數?若不是整數，請問其最多會表示到小數第幾位?
5. 請問 block 的形狀是不是都是矩形?若不是，所有 block 的形狀是否都為 rectilinear 的?
6. 下二圖中，橘色矩形為 Feedthroughable block，灰色矩形為 Nonfeedthroughable block，紅色線段為此 net 的 MUST_THROUGH，黃色線段為繞線。請問下兩圖中，針對綠色虛線框內的情形，我們有二個疑問，第一，此兩種繞線方式是否皆合法?第二，此兩種繞線方式要如何

計算 track 的數量?



圖二

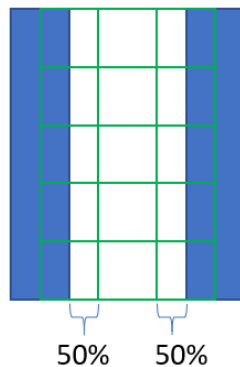


圖三

7. 請問 CFG 檔案中，Block_port_region 是否會有重疊的情形發生?另外是否會有 block 不存在 Block_port_region?若 block 的 Block_port_region 有一個以上，格式會如何表示?

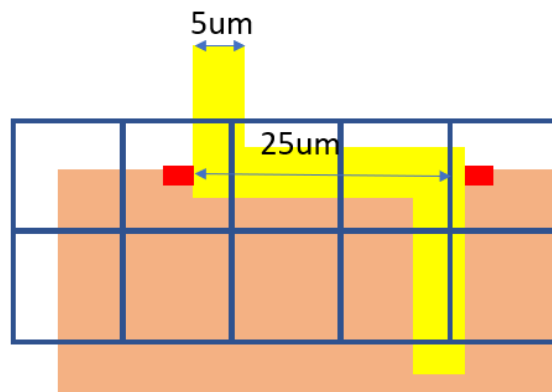
A6.

1. 如右圖，左右兩邊的藍色為不可 feedthrough 的 block，假如 number of available routing tracks=20/um，最大的 net num=100，如此 gcell 的 width=100/20=5um，而 channe 的垂直最多可繞線的 track 等於 $(100\%+50\%*2)=2$ 個 gcell width* number of available routing tracks=2*5*20=200 tracks，不過 overflow 是依照 gcell 計算，不會將 channe 所有可用的 tracks 合併計算 overflow。



2. 如上題。
3. region 會被定義在 def 中，region 不會有 port region 的需求，region 只是因為 cell 的 function 需求而聚集再一起，不像 block 會被明確定義邊界。
4. 會有小數，到第 4 位。
5. 不是。會有各種多邊形。
6. 對於 gcell 計算 overflow 是合法的。假如黃色 net 的寬度為 5um，在計算 edge pin density 時，會依照 user 給的 segment 座標和走向(水平或垂直)，向(上和下)或(左和右)extend 2.5um。在右圖，水平的黃色線段假設為 25um 且和 block edge 重疊，會認為此 net 在 block edge 佔據了

$25 * (\text{number of available routing tracks} = 20/\mu\text{m}) = 500 \text{ tracks}$



7. 有可能重疊，是，

"block_port_region": [[[x0,y0],[x1,y1]], [[x2,y2],[x3,y3]]]

Q7. 您好，想詢問以下問題

1. 在如何求 width_gcell 的舉例中，在單位面積中包含的 routing track 數量的單位部分是否應該為 μm^2 ？且想詢問 width_gcell 是否是只取例子中 $100/20$ 的值？因為單位上如果直接相除會是 μm^2 的面積單位，而非長度單位。
2. 在 Evaluation 中有使用到 capacity_gcell_edge，理解上是取 gcell 後，gcell 的邊能容納的 net 數量。但在給的 input file 中，和 net 數量有關的限制只有在 cfg 中關於 block 的部分。而求 gcell 邊長的過程對於一個 gcell 各自邊長的 capacity 限制也不明確。所以想詢問 capacity_gcell_edge 是如何獲得？
3. 透過更新的 QA 中得知 #pin_constraints 跟 through_block_edge_net_num 有比較大的關係，但想詢問兩個定義上分別有‘某段’跟‘某個’的差異？是否可理解為一個 block 的邊上可能有好幾段 through_block_edge_net_num，而 #pin_constraints 為該邊上所有 through_block_edge_net_num 的數值總和？

A7.

1. 不是，net 的 num=100 是指此條 net 沿路上都是占用 100 個 tracks，測試時，如果給定 $20 \text{ tracks}/\mu\text{m}$ ， $100 (\text{tracks})/20 (\text{tracks}/\mu\text{m}) = 5 \mu\text{m}$ 。20 這個數值是會變動的，實際狀況會依據不同 design、process 有所不同。

2. 每 um 可容納多少 tracks 是會變動的，所有 case 的設定會在 17~25 之間，依據不同 case 設定不同值。 $\text{Capacity_gcell_edge} = \text{gcell width} * [17 \sim 25]$
3. 一個 block 的邊上可能有多段 through_block_edge_net_num。
#pin_constraints 的部分是指所有跟 pin 相關的 constraint，在評分時會”逐段”檢查經過這些 through_edge_net_num 是否滿足，不是將所有 constraint 和檢查。

Q8. 請問每個 block 的任意一個邊的邊長一定會大於 gcell 的寬度嗎？

A8. 是。

Q9. 請問每一單位座標即是 1um 長嗎?例如(0,0) -> (0,1)的距離為 1um?

A9. 有可能會出現小數的座標。

Q10. 您好，透過更新的 QA 了解到 block 可能為各種多邊形，我想請問這邊的意思是各種幾何圖形如三角形等，還是指 rectilinear 的多邊形？

A10. rectilinear。

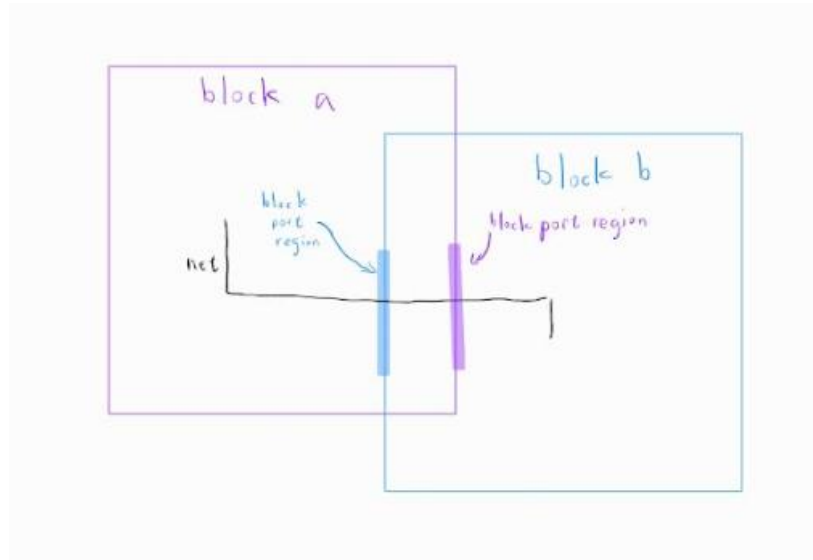
Q11. 有兩個問題想問一下：

1. 請問如果 net 有 must through 或是 hmft must through，那 must through 和 hmft must through 的區域一定會在某個 block 的 block port region 內嗎？
2. 請問 block port region、must through 和 hmft must through 的座標也是相對於其區域所在的 block 嗎？

A11.

1. 不一定，block 的 port region”沒有限定”給某些 net 經過，但是 net 的 must_through 或 hmft_must_through 就必須讓此 net 經過。
2. 是。

Q12. 在提供的測資中，似乎有 block 是重疊的(case 4 block 61, block 62)，那假如出現兩個 block 都有 block port region，設為 block a 與 block b，net 要從 block a 到 block b，那是只能走 block a -> block b 的 block port region -> block a 與 block b 交界處 -> block a block port region -> block b 嗎?如附圖



A12. 是，依然要遵守 port region 的 constraint。

Q13. 您好，我想請問一些問題，在先前的 Q&A 中提到 pin 點的定義是穿過 block 的進入或離開點，而 block_port_region 是 block 上能擺放 pin 點的區域，所以意思是指 net 再穿果 block 時一定只能經過 block_port_region 嗎?

A13. 是。

Q14. 您好，我想問關於測資中沒有給的資訊是否就代表沒有限制，例如 block_port_region 為空的話是否代表該 block 的任何邊界都能擺放 pin 點?

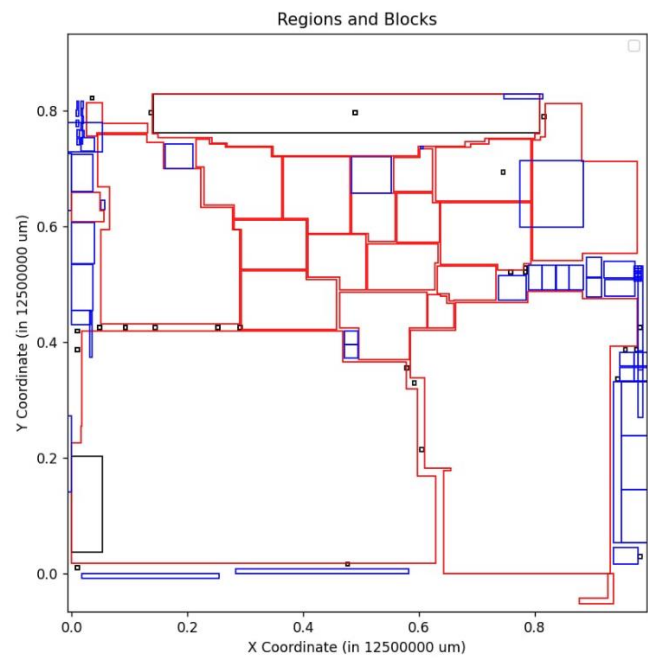
A14. 是。

Q15. 您好，此封信是為詢問有關 problem D block 擺放位置與翻轉問題，如圖一所示，這是我利用 python，畫出的 case 4 的 block 在 top-chip 的擺放位置，藍色代表是矩形 block，紅色代表多邊形 block。

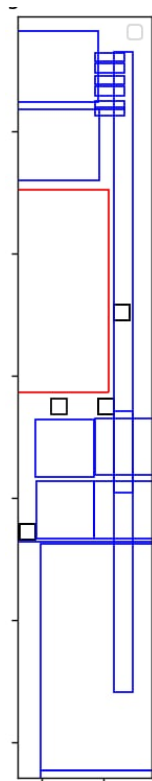
第一個問題是如圖二、圖三所示，我發現 block 會重疊，這是正確的嗎? 還是我 code 寫錯呢?

第二個問題是翻轉(FN、FS...)，是根據 y 軸左右翻轉(flip)後，再旋轉，還是根據這個 block 的中心 X 的位置左右翻轉(flip)後，再旋轉呢？
第三個問題是旋轉(N、S...)，是把原點當支點旋轉，還是把這個 block 的中心位置當支點旋轉呢？

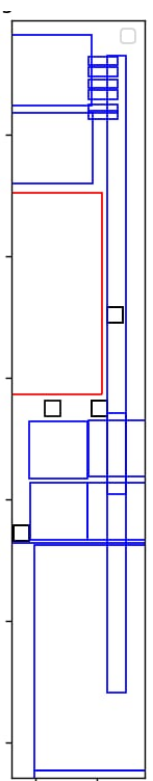
圖一：



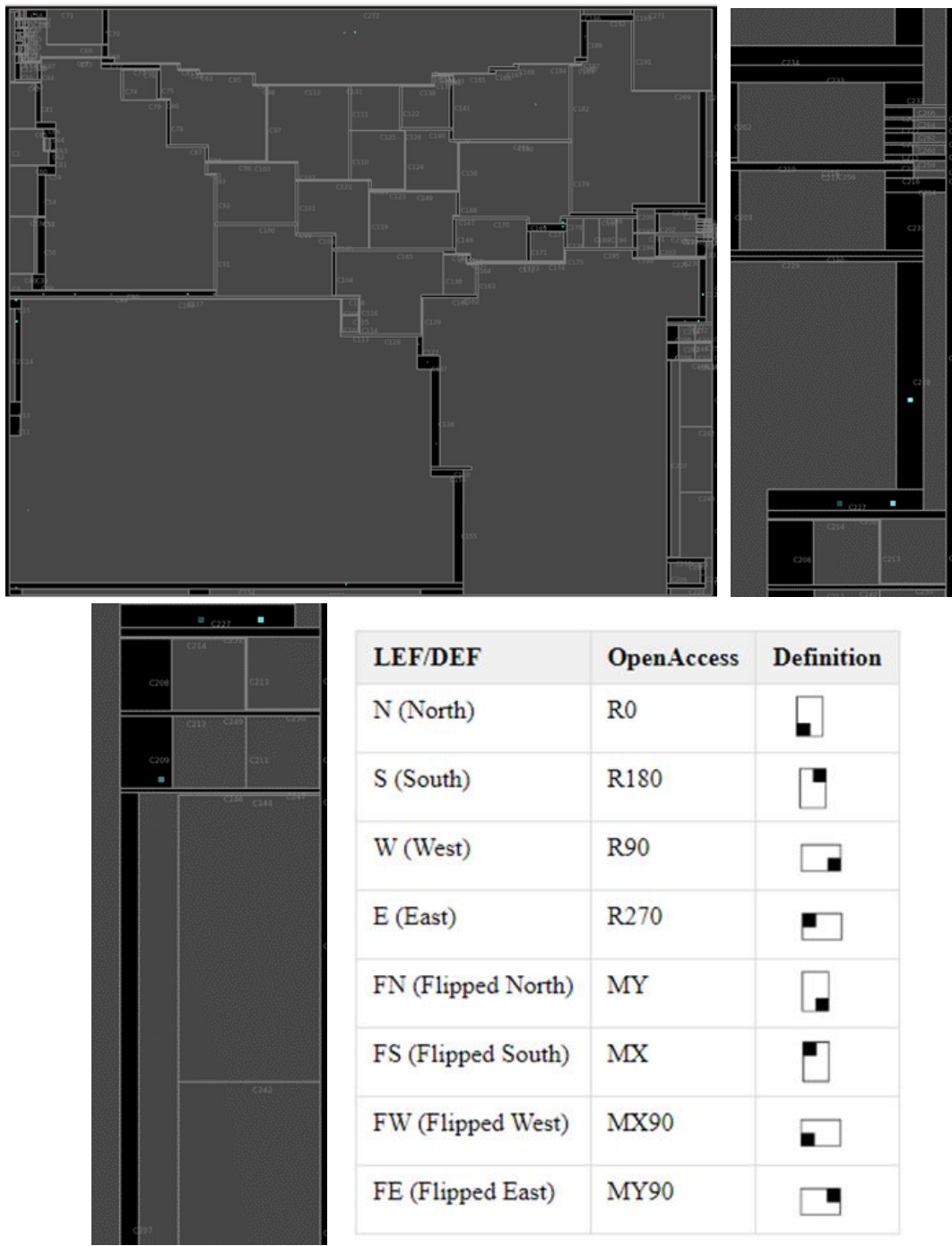
圖二：



圖三：



A15.

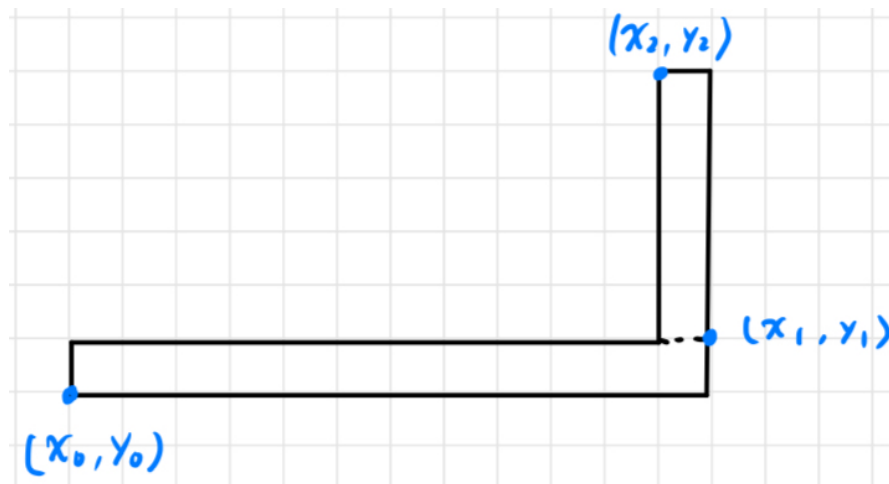


Q16. 您好：想問 Problem D 中，關於 def 檔案讀取，有現有的 parser 工具來輔助讀檔嗎？
若否，請問 hidden case 的 def 檔案格式內容會與目前公開的兩個測資格式相同嗎？

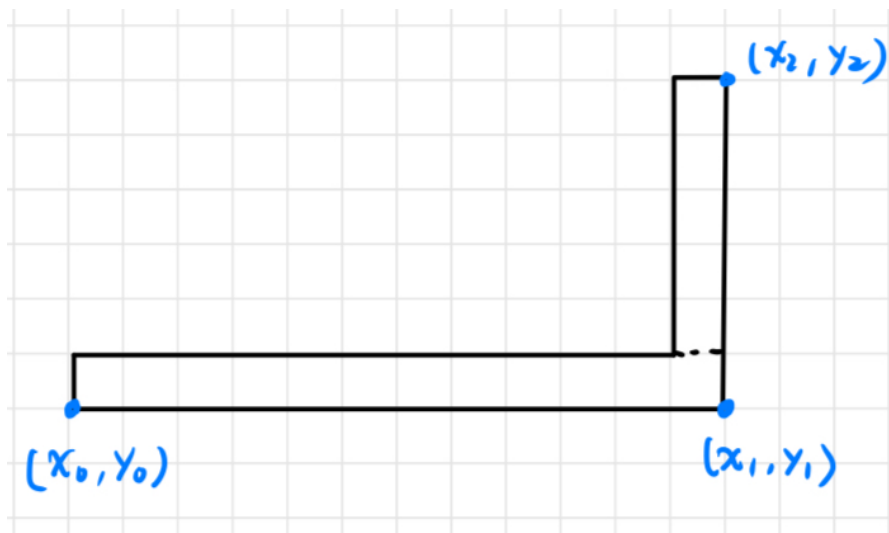
A16. 網路上應該有，hidden case 的 def 與目前的公開的測資格式會相同。

Q17. 主辦單位您好，此封信是為詢問有關 problem D output 的輸出結果，請問輸出一條 wire 時，需要考慮到 wire 的寬度嗎？如圖一，例如輸出此 wire 的左下座標與右上座標等。或者是，輸出直線座標，不用考慮此 wire 在 gcell 中如何擺放，因為您會將結果都轉到該 gcell 的中心點，且您已有該 wire 的寬度呢？如圖二。

圖一：



圖二：



A17. output 描述所有的 net segment 兩點都會轉到 gcell 中心點，wire 的寬度只會在計算 overflow 時用上，所以只要 net segment 經轉到 gcell 中心點後為水平或垂直的線段，即為合法的 net segment。