

**ASR6601**

**Reference manual**

**Document version: 1.5.0**

**Release date: 2022-08-11**

**Copyright © 2022 ASR Technology**

**About this document**

This document provides reference information for software and hardware development of IoT LPWAN SoC chip ASR6601.

**Target Audience**

This document is mainly intended for the following engineers:

* 1. Hardware development engineers.
  2. Software engineers.
  3. Technical support engineers.

**Product number**

The product models corresponding to this document are as follows:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | **Model** |  |  | **Flash** |  | **SRAM** |  | **Core** |  | **Package** |  | **Frequency** |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | ASR6601SE |  |  | 256 KB |  | 64 KB |  | 32-bit 48 MHz |  | QFN68, |  | 150 ~ 960 MHz |  |
|  |  |  |  |  |  | Arm China STAR-MC1 |  | 8\*8 mm |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | ASR6601CB |  |  | 128 KB |  | 16 KB |  | 32-bit 48 MHz |  | QFN48, |  | 150 ~ 960 MHz |  |
|  |  |  |  |  |  | Arm China STAR-MC1 |  | 6\*6 mm |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

**Copyright Notice**

Copyright © 2022 ASR Technology Co., Ltd. All rights reserved. No part or all of this document may be reproduced, transmitted, transcribed, stored or translated in any form or by any means without the written permission of ASR Technology Co., Ltd.

**Trademark Notice**

ASR, ASR and other ASR logos are trademarks of ASR Technology Co., Ltd.  
 All other trade names, trademarks and registered trademarks mentioned in this document are the property of their respective owners and are hereby acknowledged.

**Disclaimer**

ASR Corporation does not make any form of guarantee for the contents of this document and will update the contents of this document or the products introduced in this document from time to time.

This document is for guidance only and all contents in this document do not constitute any form of warranty. The information in this document is subject to change without prior notice.

This document disclaims any liability, including liability for infringement of any proprietary rights resulting from the use of information in this document.

**ASR Technology Ltd**

Address: 9th Floor, Building 10, Zhangjiang Innovation Park, 399 Keyuan Road, Pudong New District, Shanghai Postal Code: 201203

Official website: <http://www.asrmicro.com/>

**Document Revision History**

|  |  |  |
| --- | --- | --- |
| Date | Version number | Release notes |
| 2021.03 | V1.0.0 | Initial Release. |
| 2021.05 | V1.1.0 | Updated the overview and Table 6-1 of Chapter 6. Updated some descriptions in Section 16.3, Section 16.9, and Section 16.14.1. Corrected the description of LORAC\_SR register in Section 12.4.13. |
| 2021.07 | V1.2.0 | Updated CPU description. |
| 2022.03 | V1.3.0 | Added Chapter 21: DMA and Chapter 22: GPTIMER.  Fixed several typos. |
| 2022.05 | V1.4.0 | Modified RCO4M to RCO3.6M due to crystal frequency adjustment. |
| 2022.08 | V1.5.0 | Updated register bits descriptions in Sections 7.5.3, 8.3.3, 8.3.4, 8.3.7, 8.3.12, and 8.3.13  Updated Figure 8-1: Clock network diagram. |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Table of contents** | | | | |
|  |  |  |  |  |
| [**1.**](#page20) | **Overview** | [**.......................................................................................................................................................**](#page20) | | [**1**](#page20) |
| [**2.**](#page21) | [**ASR6601 简介 ......................................................................................................................................**](#page21) | | | [**2**](#page21) |
| [**3.**](#page22) | [**模块及功能 ............................................................................................................................................**](#page22) | | | [**3**](#page22) |
|  | [3.1](#page22) | [ASR6601 Module Block Diagram ...........................................................................................................................](#page22) | | [3](#page22) |
|  | [3.2](#page23) | [ASR6601 功能点...............................................................................................................................](#page23) | | [4](#page23) |
| [**4.**](#page28) | [**电源供电................................................................................................................................................**](#page28) | | | [**9**](#page28) |
|  | [4.1](#page28) | [芯片供电管脚 ....................................................................................................................................](#page28) | | [9](#page28) |
|  | [4.2](#page29) | [芯片内部电源架构...........................................................................................................................](#page29) | | [10](#page29) |
| [**5.**](#page30) | [**Security control..............................................................................................................................................**](#page30) | | | [**11**](#page30) |
|  | [5.1](#page30) | [简单配置 .........................................................................................................................................](#page30) | | [11](#page30) |
|  |  | [5.1.1](#page30) | [可恢复安全配置..................................................................................................................](#page30) | [11](#page30) |
|  |  | [5.1.2](#page30) | [不可恢复安全配置 ..............................................................................................................](#page30) | [11](#page30) |
|  | [5.2](#page30) | [accessSecurity control ..................................................................................................................................](#page30) | | [11](#page30) |
|  |  | [5.2.1](#page30) | [debuglevel 规则 ..................................................................................................................](#page30) | [11](#page30) |
|  |  | [5.2.2](#page31) | [安全操作与非安全操作 .......................................................................................................](#page31) | [12](#page31) |
| [**6.**](#page32) | [**Operating modes..............................................................................................................................................**](#page32) | | | [**13**](#page32) |
|  | [6.1](#page35) | [Run .................................................................................................................................................](#page35) | | [16](#page35) |
|  |  | [6.1.1](#page35) | [Entry and Exit Conditions..................................................................................................................](#page35) | [16](#page35) |
|  |  | [6.1.2](#page35) | [Wake-up source ................................................................................................................................](#page35) | [16](#page35) |
|  | [6.2](#page35) | [LpRun .............................................................................................................................................](#page35) | | [16](#page35) |
|  |  | [6.2.1](#page35) | [Entry and Exit Conditions..................................................................................................................](#page35) | [16](#page35) |
|  |  | [6.2.2](#page35) | [Wake-up source ................................................................................................................................](#page35) | [16](#page35) |
|  | [6.3](#page36) | [Sleep ...............................................................................................................................................](#page36) | | [17](#page36) |
|  |  | [6.3.1](#page36) | [Entry and Exit Conditions..................................................................................................................](#page36) | [17](#page36) |
|  |  | [6.3.2](#page36) | [Wake-up source ................................................................................................................................](#page36) | [17](#page36) |
|  | [6.4](#page36) | [LpSleep...........................................................................................................................................](#page36) | | [17](#page36) |
|  |  | [6.4.1](#page36) | [Entry and Exit Conditions..................................................................................................................](#page36) | [17](#page36) |
|  |  | [6.4.2](#page36) | [Wake-up source ................................................................................................................................](#page36) | [17](#page36) |
|  | [6.5](#page37) | [Stop0 ..............................................................................................................................................](#page37) | | [18](#page37) |
|  |  | [6.5.1](#page37) | [Entry and Exit Conditions..................................................................................................................](#page37) | [18](#page37) |
|  |  | [6.5.2](#page37) | [Wake-up source ................................................................................................................................](#page37) | [18](#page37) |
|  | [6.6](#page37) | [Stop1 ..............................................................................................................................................](#page37) | | [18](#page37) |
|  |  | [6.6.1](#page37) | [Entry and Exit Conditions..................................................................................................................](#page37) | [18](#page37) |
|  |  | [6.6.2](#page38) | [Wake-up source ................................................................................................................................](#page38) | [19](#page38) |
|  | [6.7](#page38) | [Stop2 ..............................................................................................................................................](#page38) | | [19](#page38) |
|  |  | [6.7.1](#page38) | [Entry and Exit Conditions..................................................................................................................](#page38) | [19](#page38) |
|  |  | [6.7.2](#page38) | [Wake-up source ................................................................................................................................](#page38) | [19](#page38) |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | [6.8](#page39) | [Stop3 ..............................................................................................................................................](#page39) | | [20](#page39) |
|  |  | [6.8.1](#page39) | [Entry and Exit Conditions..................................................................................................................](#page39) | [20](#page39) |
|  |  | [6.8.2](#page39) | [Wake-up source ................................................................................................................................](#page39) | [20](#page39) |
|  | [6.9](#page39) | [Standby...........................................................................................................................................](#page39) | | [20](#page39) |
|  |  | [6.9.1](#page39) | [Entry and Exit Conditions..................................................................................................................](#page39) | [20](#page39) |
|  |  | [6.9.2](#page39) | [Wake-up source ................................................................................................................................](#page39) | [20](#page39) |
| [**7.**](#page40) | [**System Configuration..............................................................................................................................................**](#page40) | | | [**21**](#page40) |
|  | [7.1](#page40) | [system structure .........................................................................................................................................](#page40) | | [21](#page40) |
|  |  | [7.1.1](#page41) | [Arm China STAR-MC1 微处理器 ........................................................................................](#page41) | [22](#page41) |
|  |  | [7.1.2](#page41) | [DMAC0 ...............................................................................................................................](#page41) | [22](#page41) |
|  |  | [7.1.3](#page41) | [DMAC1 ...............................................................................................................................](#page41) | [22](#page41) |
|  |  | [7.1.4](#page41) | [Master .................................................................................................................................](#page41) | [22](#page41) |
|  | [7.2](#page42) | [Memory Map......................................................................................................................................](#page42) | | [23](#page42) |
|  |  | [7.2.1](#page43) | [AHB0 SFR ..........................................................................................................................](#page43) | [24](#page43) |
|  |  | [7.2.2](#page43) | [AHB1 SFR ..........................................................................................................................](#page43) | [24](#page43) |
|  |  | [7.2.3](#page43) | [APB0 SFR...........................................................................................................................](#page43) | [24](#page43) |
|  |  | [7.2.4](#page44) | [APB1 SFR...........................................................................................................................](#page44) | [25](#page44) |
|  | [7.3](#page44) | [SRAM .............................................................................................................................................](#page44) | | [25](#page44) |
|  | [7.4](#page45) | [启动方式 .........................................................................................................................................](#page45) | | [26](#page45) |
|  | [7.5](#page46) | [System Configuration相关registerDescription ................................................................................................................](#page46) | | [27](#page46) |
|  |  | [7.5.1](#page47) | [SYSCFG\_CR0 ...................................................................................................................](#page47) | [28](#page47) |
|  |  | [7.5.2](#page47) | [SYSCFG\_CR1 ....................................................................................................................](#page47) | [28](#page47) |
|  |  | [7.5.3](#page48) | [SYSCFG\_CR2 ....................................................................................................................](#page48) | [29](#page48) |
|  |  | [7.5.4](#page51) | [SYSCFG-CR3.....................................................................................................................](#page51) | [32](#page51) |
|  |  | [7.5.5](#page51) | [SYSCFG\_CR4 ....................................................................................................................](#page51) | [32](#page51) |
|  |  | [7.5.6](#page52) | [SYSCFG\_CR5 ....................................................................................................................](#page52) | [33](#page52) |
|  |  | [7.5.7](#page52) | [SYSCFG\_CR6 ....................................................................................................................](#page52) | [33](#page52) |
|  |  | [7.5.8](#page53) | [SYSCFG\_CR7 ....................................................................................................................](#page53) | [34](#page53) |
|  |  | [7.5.9](#page55) | [SYSCFG\_CR8 ....................................................................................................................](#page55) | [36](#page55) |
|  |  | [7.5.10 SYSCFG\_CR9 ..................................................................................................................](#page55) | | [36](#page55) |
|  |  | [7.5.11 SYSCFG\_CR10 ................................................................................................................](#page55) | | [36](#page55) |
|  | [7.6](#page57) | [DMA 请求 MUX...............................................................................................................................](#page57) | | [38](#page57) |
| [**8.**](#page59) | [**复Bit和时钟Control (RCC)........................................................................................................................**](#page59) | | | [**40**](#page59) |
|  | [8.1](#page59) | [复Bit.................................................................................................................................................](#page59) | | [40](#page59) |
|  |  | [8.1.1](#page59) | [外部复Bit.............................................................................................................................](#page59) | [40](#page59) |
|  |  | [8.1.2](#page59) | [上电复Bit.............................................................................................................................](#page59) | [40](#page59) |
|  |  | [8.1.3](#page59) | [系统复Bit.............................................................................................................................](#page59) | [40](#page59) |
|  |  | [8.1.4](#page59) | [低功耗复Bit .........................................................................................................................](#page59) | [40](#page59) |
|  | [8.2](#page60) | [时钟.................................................................................................................................................](#page60) | | [41](#page60) |
|  |  | [8.2.1](#page61) | [系统时钟 SYS\_CLK ...........................................................................................................](#page61) | [42](#page61) |
|  |  | [8.2.2](#page61) | [模块时钟.............................................................................................................................](#page61) | [42](#page61) |
|  |  | [8.2.3](#page62) | [时钟输出 MCO ...................................................................................................................](#page62) | [43](#page62) |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | [8.3](#page62) | [RCC 相关registerDescription......................................................................................................................](#page62) | | [43](#page62) |
|  |  | [8.3.1](#page63) | [RCC\_CR0 ...........................................................................................................................](#page63) | [44](#page63) |
|  |  | [8.3.2](#page65) | [RCC\_CR1 ...........................................................................................................................](#page65) | [46](#page65) |
|  |  | [8.3.3](#page67) | [RCC\_CR2 ...........................................................................................................................](#page67) | [48](#page67) |
|  |  | [8.3.4](#page69) | [RCC\_CGR0 ........................................................................................................................](#page69) | [50](#page69) |
|  |  | [8.3.5](#page72) | [RCC\_CGR1 ........................................................................................................................](#page72) | [53](#page72) |
|  |  | [8.3.6](#page73) | [RCC\_CGR2 ........................................................................................................................](#page73) | [54](#page73) |
|  |  | [8.3.7](#page74) | [RCC\_RST0 .........................................................................................................................](#page74) | [55](#page74) |
|  |  | [8.3.8](#page77) | [RCC\_RST1 .........................................................................................................................](#page77) | [58](#page77) |
|  |  | [8.3.9](#page78) | [RCC\_RST\_SR ....................................................................................................................](#page78) | [59](#page78) |
|  |  | [8.3.10](#page79) | [RCC\_RST\_CR..................................................................................................................](#page79) | [60](#page79) |
|  |  | [8.3.11](#page80) | [RCC\_SR ...........................................................................................................................](#page80) | [61](#page80) |
|  |  | [8.3.12](#page81) | [RCC\_SR1 .........................................................................................................................](#page81) | [62](#page81) |
|  |  | [8.3.13](#page83) | [RCC\_CR3 .........................................................................................................................](#page83) | [64](#page83) |
| [**9.**](#page85) | [**中断 (Interrupt) ...................................................................................................................................**](#page85) | | | [**66**](#page85) |
|  | [9.1](#page85) | [主要功能 .........................................................................................................................................](#page85) | | [66](#page85) |
|  | [9.2](#page85) | [SysTick 功能 ...................................................................................................................................](#page85) | | [66](#page85) |
|  | [9.3](#page85) | [中断向量表......................................................................................................................................](#page85) | | [66](#page85) |
| [**10.**](#page87) | [**嵌入式 Flash**](#page87) | | [**.......................................................................................................................................**](#page87) | [**68**](#page87) |
|  | [10.1](#page87) | [简介.................................................................................................................................................](#page87) |  | [68](#page87) |
|  | [10.2](#page87) | [主要特性 .........................................................................................................................................](#page87) | | [68](#page87) |
|  | [10.3](#page87) | [Functional description .........................................................................................................................................](#page87) | | [68](#page87) |
|  |  | [10.3.1](#page87) | [Flash info 区划分 ...............................................................................................................](#page87) | [68](#page87) |
|  |  | [10.3.2](#page88) | [EFC\_CR 保护 ...................................................................................................................](#page88) | [69](#page88) |
|  |  | [10.3.3](#page88) | [读拍数 ..............................................................................................................................](#page88) | [69](#page88) |
|  |  | [10.3.4](#page88) | [读加速 ..............................................................................................................................](#page88) | [69](#page88) |
|  |  | [10.3.5](#page89) | [指令预取...........................................................................................................................](#page89) | [70](#page89) |
|  |  | [10.3.6](#page89) | [Flash Program ..................................................................................................................](#page89) | [70](#page89) |
|  |  | [10.3.7](#page90) | [Flash Erase .......................................................................................................................](#page90) | [71](#page90) |
|  | [10.4](#page91) | [Flash Option Bytes .........................................................................................................................](#page91) | | [72](#page91) |
|  |  | [10.4.1](#page91) | [Flash Option0 ...................................................................................................................](#page91) | [72](#page91) |
|  |  | [10.4.2](#page93) | [Flash Option1 ...................................................................................................................](#page93) | [74](#page93) |
|  | [10.5 嵌入式 Flash 相关registerDescription .........................................................................................................](#page94) | | | [75](#page94) |
|  |  | [10.5.1](#page95) | [EFC\_CR............................................................................................................................](#page95) | [76](#page95) |
|  |  | [10.5.2](#page97) | [EFC\_INT\_EN ....................................................................................................................](#page97) | [78](#page97) |
|  |  | [10.5.3](#page98) | [EFC\_SR............................................................................................................................](#page98) | [79](#page98) |
|  |  | [10.5.4](#page99) | [EFC\_PROG\_DATA0 ........................................................................................................](#page99) | [80](#page99) |
|  |  | [10.5.5](#page99) | [EFC\_PROG\_DATA1 ........................................................................................................](#page99) | [80](#page99) |
|  |  | [10.5.6](#page100) | [EFC\_TIMING\_CFG ..........................................................................................................](#page100) | [81](#page100) |
|  |  | [10.5.7](#page100) | [EFC\_PROTECT\_SEQ......................................................................................................](#page100) | [81](#page100) |
|  |  | [10.5.8](#page101) | [SERIAL\_NUM\_LOW.........................................................................................................](#page101) | [82](#page101) |
|  |  | [10.5.9](#page101) | [SERIAL\_NUM\_HIGH........................................................................................................](#page101) | [82](#page101) |

|  |  |  |  |
| --- | --- | --- | --- |
|  | [10.5.10](#page101) | [OPTION\_CSR\_BYTES...................................................................................................](#page101) | [82](#page101) |
|  | [10.5.11](#page102) | [OPTION\_EXE\_ONLY\_BYTES .......................................................................................](#page102) | [83](#page102) |
|  | [10.5.12](#page103) | [OPTION\_WR\_PROTECT\_BYTES .................................................................................](#page103) | [84](#page103) |
|  | [10.5.13](#page103) | [OPTION\_SECURE\_BYTES0 .........................................................................................](#page103) | [84](#page103) |
|  | [10.5.14](#page104) | [OPTION\_SECURE\_BYTES1 .........................................................................................](#page104) | [85](#page104) |
| [**11. 通用输入输出 (GPIO)..........................................................................................................................**](#page105) | | | [**86**](#page105) |
| [11.1](#page105) | [简介.................................................................................................................................................](#page105) | | [86](#page105) |
| [11.2](#page105) | [输出配置 .........................................................................................................................................](#page105) | | [86](#page105) |
| [11.3](#page105) | [输入配置 .........................................................................................................................................](#page105) | | [86](#page105) |
| [11.4](#page106) | [输出驱动能力 ..................................................................................................................................](#page106) | | [87](#page106) |
| [11.5](#page106) | [中断.................................................................................................................................................](#page106) | | [87](#page106) |
| [11.6](#page106) | [Sleep/Stop0~2 唤醒请求 .................................................................................................................](#page106) | | [87](#page106) |
| [11.7](#page106) | [Stop3 唤醒请求 ...............................................................................................................................](#page106) | | [87](#page106) |
| [11.8](#page106) | [复用功能Control ..................................................................................................................................](#page106) | | [87](#page106) |
| [11.9](#page106) | [时钟复Bit .........................................................................................................................................](#page106) | | [87](#page106) |
| [11.10](#page107) | [电源domain .............................................................................................................................................](#page107) | | [88](#page107) |
| [11.11](#page107) | [低功耗工作与唤醒...........................................................................................................................](#page107) | | [88](#page107) |
| [11.12 SWD IO...........................................................................................................................................](#page107) | | | [88](#page107) |
| [11.13 BOOT0 的Control................................................................................................................................](#page107) | | | [88](#page107) |
| [11.14 GPIO 相关registerDescription ....................................................................................................................](#page108) | | | [89](#page108) |
|  | [11.14.1](#page109) | [GPIOx\_OER (x=A, B, C, D) ............................................................................................](#page109) | [90](#page109) |
|  | [11.14.2](#page109) | [GPIOx\_OTYPER (x=A, B, C, D) .....................................................................................](#page109) | [90](#page109) |
|  | [11.14.3](#page109) | [GPIOx\_IER (x=A, B, C, D) ..............................................................................................](#page109) | [90](#page109) |
|  | [11.14.4](#page110) | [GPIOx\_PER (x=A, B, C, D) ............................................................................................](#page110) | [91](#page110) |
|  | [11.14.5](#page110) | [GPIOx\_PSR (x=A, B, C, D) ............................................................................................](#page110) | [91](#page110) |
|  | [11.14.6](#page110) | [GPIOx\_IDR (x=A, B, C, D) .............................................................................................](#page110) | [91](#page110) |
|  | [11.14.7](#page111) | [GPIOx\_ODR (x=A, B, C, D) ............................................................................................](#page111) | [92](#page111) |
|  | [11.14.8](#page111) | [GPIOx\_BRR (x=A, B, C, D) ............................................................................................](#page111) | [92](#page111) |
|  | [11.14.9](#page111) | [GPIOx\_BSRR (x=A, B, C, D) ..........................................................................................](#page111) | [92](#page111) |
|  | [11.14.10 GPIOx\_DSR (x=A, B, C, D) ..........................................................................................](#page112) | | [93](#page112) |
|  | [11.14.11 GPIOx\_INT\_CR (x=A, B, C, D) .....................................................................................](#page112) | | [93](#page112) |
|  | [11.14.12 GPIOx\_FR (x=A, B, C, D) .............................................................................................](#page113) | | [94](#page113) |
|  | [11.14.13 GPIOx\_WU\_EN (x=A, B, C, D) .....................................................................................](#page113) | | [94](#page113) |
|  | [11.14.14 GPIOx\_WU\_LVL (x=A, B, C, D) ...................................................................................](#page113) | | [94](#page113) |
|  | [11.14.15 GPIOx\_AFRL (x=A, B, C, D) ........................................................................................](#page114) | | [95](#page114) |
|  | [11.14.16 GPIOx\_AFRH (x=A, B, C) ............................................................................................](#page116) | | [97](#page116) |
|  | [11.14.17 GPIOD\_AFRH ..............................................................................................................](#page118) | | [99](#page118) |
|  | [11.14.18 GPIOA\_STOP3\_WU\_CR ...........................................................................................](#page120) | | [101](#page120) |
|  | [11.14.19 GPIOx\_STOP3\_WU\_CR (x=B, C)..............................................................................](#page122) | | [103](#page122) |
|  | [11.14.20 GPIOD\_STOP3\_WU\_CR ...........................................................................................](#page124) | | [105](#page124) |
| [**12. LoRa Control器 (LoRaC) ......................................................................................................................**](#page125) | | | [**106**](#page125) |
| [12.1](#page125) | [简介...............................................................................................................................................](#page125) | | [106](#page125) |

|  |  |  |  |
| --- | --- | --- | --- |
| [12.2](#page125) | [主要特性 .......................................................................................................................................](#page125) | | [106](#page125) |
| [12.3](#page125) | [Functional description .......................................................................................................................................](#page125) | | [106](#page125) |
|  | [12.3.1](#page125) | [内部 SPI 接口 .................................................................................................................](#page125) | [106](#page125) |
|  | [12.3.2](#page126) | [上电初始化 .....................................................................................................................](#page126) | [107](#page126) |
|  | [12.3.3](#page126) | [中断信号.........................................................................................................................](#page126) | [107](#page126) |
| [12.4](#page127) | [LoRaC 相关registerDescription ................................................................................................................](#page127) | | [108](#page127) |
|  | [12.4.1](#page128) | [SSP\_CR0........................................................................................................................](#page128) | [109](#page128) |
|  | [12.4.2](#page129) | [SSP\_CR1........................................................................................................................](#page129) | [110](#page129) |
|  | [12.4.3](#page129) | [SSP\_DR..........................................................................................................................](#page129) | [110](#page129) |
|  | [12.4.4](#page130) | [SSP\_SR..........................................................................................................................](#page130) | [111](#page130) |
|  | [12.4.5](#page130) | [SSP\_CPSR.....................................................................................................................](#page130) | [111](#page130) |
|  | [12.4.6](#page131) | [SSP\_IMSC......................................................................................................................](#page131) | [112](#page131) |
|  | [12.4.7](#page131) | [SSP\_RIS.........................................................................................................................](#page131) | [112](#page131) |
|  | [12.4.8](#page132) | [SSP\_MIS ........................................................................................................................](#page132) | [113](#page132) |
|  | [12.4.9](#page132) | [SSP\_ICR.........................................................................................................................](#page132) | [113](#page132) |
|  | [12.4.10 SSP\_DMACR ...............................................................................................................](#page132) | | [113](#page132) |
|  | [12.4.11 LORAC\_CR0 ................................................................................................................](#page133) | | [114](#page133) |
|  | [12.4.12 LORAC\_CR1 ................................................................................................................](#page133) | | [114](#page133) |
|  | [12.4.13 LORAC\_SR...................................................................................................................](#page134) | | [115](#page134) |
|  | [12.4.14 LORAC\_NSS\_CR.........................................................................................................](#page135) | | [116](#page135) |
|  | [12.4.15 LORAC\_SCK\_CR.........................................................................................................](#page135) | | [116](#page135) |
|  | [12.4.16 LORAC\_MOSI\_CR .......................................................................................................](#page135) | | [116](#page135) |
|  | [12.4.17 LORAC\_MISO\_SR .......................................................................................................](#page136) | | [117](#page136) |
| [**13. 通用异步收发器 (UART) ...................................................................................................................**](#page137) | | | [**118**](#page137) |
| [13.1](#page137) | [简介...............................................................................................................................................](#page137) | | [118](#page137) |
| [13.2](#page137) | [时钟复Bit .......................................................................................................................................](#page137) | | [118](#page137) |
| [13.3](#page137) | [参考时钟 .......................................................................................................................................](#page137) | | [118](#page137) |
| [13.4](#page137) | [波特率发生器 ................................................................................................................................](#page137) | | [118](#page137) |
| [13.5](#page138) | [FIFO..............................................................................................................................................](#page138) | | [119](#page138) |
| [13.6](#page138) | [UART 方式....................................................................................................................................](#page138) | | [119](#page138) |
|  | [13.6.1](#page138) | [波特率除数 .....................................................................................................................](#page138) | [119](#page138) |
|  | [13.6.2](#page138) | [数据发送.........................................................................................................................](#page138) | [119](#page138) |
|  | [13.6.3](#page139) | [数据接收.........................................................................................................................](#page139) | [120](#page139) |
| [13.7](#page139) | [IrDA SIR 方式 ...............................................................................................................................](#page139) | | [120](#page139) |
|  | [13.7.1](#page139) | [低功耗除数 .....................................................................................................................](#page139) | [120](#page139) |
|  | [13.7.2](#page140) | [IrDA SIR 发送编码器 .......................................................................................................](#page140) | [121](#page140) |
|  | [13.7.3](#page140) | [IrDA SIR 接收解码器 .......................................................................................................](#page140) | [121](#page140) |
| [13.8](#page140) | [UART 字符帧结构 .........................................................................................................................](#page140) | | [121](#page140) |
| [13.9](#page141) | [IrDA 数据调制 ...............................................................................................................................](#page141) | | [122](#page141) |
| [13.10](#page141) | [硬件流控 .......................................................................................................................................](#page141) | | [122](#page141) |
| [13.11](#page141) | [中断...............................................................................................................................................](#page141) | | [122](#page141) |
| [13.12 DMA..............................................................................................................................................](#page141) | | | [122](#page141) |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | [13.13 UART 相关registerDescription..................................................................................................................](#page142) | | | | [123](#page142) |
|  |  | [13.13.1](#page143) | | [UARTx\_DR (x=0, 1, 2, 3) ..............................................................................................](#page143) | [124](#page143) |
|  |  | [13.13.2](#page144) | | [UARTx\_RSR\_ECR (x=0, 1, 2, 3) ..................................................................................](#page144) | [125](#page144) |
|  |  | [13.13.3](#page145) | | [UARTx\_FR (x=0, 1, 2, 3) ..............................................................................................](#page145) | [126](#page145) |
|  |  | [13.13.4](#page146) | | [UARTx\_ILPR (x=0, 1, 2, 3) ...........................................................................................](#page146) | [127](#page146) |
|  |  | [13.13.5](#page146) | | [UARTx\_IBRD (x=0, 1, 2, 3) ..........................................................................................](#page146) | [127](#page146) |
|  |  | [13.13.6](#page146) | | [UARTx\_FBRD (x=0, 1, 2, 3) .........................................................................................](#page146) | [127](#page146) |
|  |  | [13.13.7](#page147) | | [UARTx\_LCR\_H (x=0, 1, 2, 3) .......................................................................................](#page147) | [128](#page147) |
|  |  | [13.13.8](#page148) | | [UARTx\_CR (x=0, 1, 2, 3) ..............................................................................................](#page148) | [129](#page148) |
|  |  | [13.13.9](#page149) | | [UARTx\_IFLS (x=0, 1, 2, 3) ...........................................................................................](#page149) | [130](#page149) |
|  |  | [13.13.10 UARTx\_IMSC (x=0, 1, 2, 3) ........................................................................................](#page149) | | | [130](#page149) |
|  |  | [13.13.11 UARTx\_RIS (x=0, 1, 2, 3) ...........................................................................................](#page150) | | | [131](#page150) |
|  |  | [13.13.12 UARTx\_MIS (x=0, 1, 2, 3) ..........................................................................................](#page151) | | | [132](#page151) |
|  |  | [13.13.13 UARTx\_ICR (x=0, 1, 2, 3) ...........................................................................................](#page151) | | | [132](#page151) |
|  |  | [13.13.14 UARTx\_DMACR (x=0, 1, 2, 3) ....................................................................................](#page152) | | | [133](#page152) |
|  |  | [13.13.15 UARTx\_ID[8] (x=0, 1, 2, 3) .........................................................................................](#page153) | | | [134](#page153) |
| [**14.**](#page156) | [**同步串行端口 (SSP)..........................................................................................................................**](#page156) | | | | [**137**](#page156) |
|  | [14.1](#page156) | [简介...............................................................................................................................................](#page156) | |  | [137](#page156) |
|  | [14.2](#page156) | [主要特性](#page156) | | [.......................................................................................................................................](#page156) | [137](#page156) |
|  | [14.3](#page156) | [Functional description](#page156) | | [.......................................................................................................................................](#page156) | [137](#page156) |
|  |  | [14.3.1](#page156) |  | [基础说明.........................................................................................................................](#page156) | [137](#page156) |
|  |  | [14.3.2](#page157) |  | [时钟分频.........................................................................................................................](#page157) | [138](#page157) |
|  |  | [14.3.3](#page158) |  | [数据格式.........................................................................................................................](#page158) | [139](#page158) |
|  |  | [14.3.4](#page158) | [DMA 传输........................................................................................................................](#page158) | | [139](#page158) |
|  |  | [14.3.5](#page159) |  | [中断信号.........................................................................................................................](#page159) | [140](#page159) |
|  | [14.4](#page159) | [SSP 相关registerDescription ....................................................................................................................](#page159) | | | [140](#page159) |
|  |  | [14.4.1](#page160) | [SSP\_CR0........................................................................................................................](#page160) | | [141](#page160) |
|  |  | [14.4.2](#page161) | [SSP\_CR1........................................................................................................................](#page161) | | [142](#page161) |
|  |  | [14.4.3](#page161) | [SSP\_DR..........................................................................................................................](#page161) | | [142](#page161) |
|  |  | [14.4.4](#page162) | [SSP\_SR..........................................................................................................................](#page162) | | [143](#page162) |
|  |  | [14.4.5](#page162) | [SSP\_CPSR.....................................................................................................................](#page162) | | [143](#page162) |
|  |  | [14.4.6](#page163) | [SSP\_IMSC......................................................................................................................](#page163) | | [144](#page163) |
|  |  | [14.4.7](#page163) | [SSP\_RIS.........................................................................................................................](#page163) | | [144](#page163) |
|  |  | [14.4.8](#page164) | [SSP\_MIS ........................................................................................................................](#page164) | | [145](#page164) |
|  |  | [14.4.9](#page164) | [SSP\_ICR.........................................................................................................................](#page164) | | [145](#page164) |
|  |  | [14.4.10](#page165) | | [SSP\_DMACR ...............................................................................................................](#page165) | [146](#page165) |
| [**15.**](#page166) | [**内部集成电路 (I2C) 接口 ...................................................................................................................**](#page166) | | | | [**147**](#page166) |
|  | [15.1](#page166) | [简介...............................................................................................................................................](#page166) | |  | [147](#page166) |
|  | [15.2](#page167) | [Start 与 Stop 条件 .........................................................................................................................](#page167) | | | [148](#page167) |
|  | [15.3](#page168) | [数据传输顺序 ................................................................................................................................](#page168) | | | [149](#page168) |
|  | [15.4](#page169) | [数据与寻址....................................................................................................................................](#page169) | | | [150](#page169) |
|  | [15.5](#page170) | [应答（ACK）................................................................................................................................](#page170) | | | [151](#page170) |

|  |  |  |  |
| --- | --- | --- | --- |
| [15.6](#page170) | [仲裁...............................................................................................................................................](#page170) | | [151](#page170) |
| [15.7](#page171) | [主机模式 .......................................................................................................................................](#page171) | | [152](#page171) |
| [15.8](#page173) | [FIFO 模式 .....................................................................................................................................](#page173) | | [154](#page173) |
| [15.9](#page175) | [从机模式 .......................................................................................................................................](#page175) | | [156](#page175) |
| [15.10](#page176) | [时钟复Bit .......................................................................................................................................](#page176) | | [157](#page176) |
| [15.11](#page176) | [中断请求 .......................................................................................................................................](#page176) | | [157](#page176) |
| [15.12](#page176) | [DMA 请求......................................................................................................................................](#page176) | | [157](#page176) |
| [15.13](#page177) | [I2C 相关registerDescription ......................................................................................................................](#page177) | | [158](#page177) |
|  | [15.13.1](#page178) | [I2Cx\_CR (x=0, 1, 2) ......................................................................................................](#page178) | [159](#page178) |
|  | [15.13.2](#page181) | [I2Cx\_SR (x=0, 1, 2) ......................................................................................................](#page181) | [162](#page181) |
|  | [15.13.3](#page182) | [I2Cx\_SAR (x=0, 1, 2) ....................................................................................................](#page182) | [163](#page182) |
|  | [15.13.4](#page183) | [I2Cx\_DBR (x=0, 1, 2)....................................................................................................](#page183) | [164](#page183) |
|  | [15.13.5](#page183) | [I2Cx\_LCR (x=0, 1, 2) ....................................................................................................](#page183) | [164](#page183) |
|  | [15.13.6](#page183) | [I2Cx\_WCR (x=0, 1, 2)...................................................................................................](#page183) | [164](#page183) |
|  | [15.13.7](#page184) | [I2Cx\_RST\_CYCL (x=0, 1, 2) ........................................................................................](#page184) | [165](#page184) |
|  | [15.13.8](#page184) | [I2Cx\_BMR (x=0, 1, 2) ...................................................................................................](#page184) | [165](#page184) |
|  | [15.13.9](#page184) | [I2Cx\_WFIF0 (x=0, 1, 2) ................................................................................................](#page184) | [165](#page184) |
|  | [15.13.10 I2Cx\_WFIFO\_WPTR (x=0, 1, 2) .................................................................................](#page185) | | [166](#page185) |
|  | [15.13.11 I2Cx\_WFIFO\_RPTR (x=0, 1, 2) ..................................................................................](#page185) | | [166](#page185) |
|  | [15.13.12 I2Cx\_RFIFO (x=0, 1, 2) ..............................................................................................](#page185) | | [166](#page185) |
|  | [15.13.13 I2Cx\_RFIFO\_WPTR (x=0, 1, 2) ..................................................................................](#page186) | | [167](#page186) |
|  | [15.13.14 I2Cx\_RFIFO\_RPTR (x=0, 1, 2) ..................................................................................](#page186) | | [167](#page186) |
|  | [15.13.15 I2Cx\_WFIFO\_STATUS (x=0, 1, 2) .............................................................................](#page186) | | [167](#page186) |
|  | [15.13.16 I2Cx\_RFIFO\_STATUS (x=0, 1, 2) ..............................................................................](#page187) | | [168](#page187) |
| [**16. 模数转换器 (ADC).............................................................................................................................**](#page188) | | | [**169**](#page188) |
| [16.1](#page188) | [简介...............................................................................................................................................](#page188) | | [169](#page188) |
| [16.2](#page188) | [输入模式 .......................................................................................................................................](#page188) | | [169](#page188) |
| [16.3](#page189) | [采样Channel .......................................................................................................................................](#page189) | | [170](#page189) |
| [16.4](#page189) | [触发方式 .......................................................................................................................................](#page189) | | [170](#page189) |
| [16.5](#page190) | [低功耗运行....................................................................................................................................](#page190) | | [171](#page190) |
| [16.6](#page190) | [溢出Control .......................................................................................................................................](#page190) | | [171](#page190) |
| [16.7](#page190) | [采样模式 .......................................................................................................................................](#page190) | | [171](#page190) |
| [16.8](#page190) | [参考电压 .......................................................................................................................................](#page190) | | [171](#page190) |
| [16.9](#page191) | [数据 Buffer ....................................................................................................................................](#page191) | | [172](#page191) |
| [16.10](#page191) | [DMA 请求......................................................................................................................................](#page191) | | [172](#page191) |
| [16.11](#page192) | [中断请求 .......................................................................................................................................](#page192) | | [173](#page192) |
| [16.12](#page192) | [低功耗工作与唤醒.........................................................................................................................](#page192) | | [173](#page192) |
| [16.13](#page192) | [时钟和复Bit....................................................................................................................................](#page192) | | [173](#page192) |
| [16.14](#page192) | [ADC 相关registerDescription ....................................................................................................................](#page192) | | [173](#page192) |
|  | [16.14.1](#page193) | [ADC\_CR .......................................................................................................................](#page193) | [174](#page193) |
|  | [16.14.2](#page194) | [ADC\_CFGR ..................................................................................................................](#page194) | [175](#page194) |
|  | [16.14.3](#page196) | [ADC\_SEQR0 ................................................................................................................](#page196) | [177](#page196) |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | [16.14.4](#page197) | [ADC\_SEQR1 ................................................................................................................](#page197) | [178](#page197) |
|  |  | [16.14.5](#page198) | [ADC\_DIFFSEL .............................................................................................................](#page198) | [179](#page198) |
|  |  | [16.14.6](#page198) | [ADC\_ISR ......................................................................................................................](#page198) | [179](#page198) |
|  |  | [16.14.7](#page199) | [ADC\_IER ......................................................................................................................](#page199) | [180](#page199) |
|  |  | [16.14.8](#page199) | [ADC\_DR .......................................................................................................................](#page199) | [180](#page199) |
| [**17.**](#page200) | [**基本定时器 (BSTIM) .........................................................................................................................**](#page200) | | | [**181**](#page200) |
|  | [17.1](#page200) | [简介...............................................................................................................................................](#page200) | | [181](#page200) |
|  | [17.2](#page200) | [主要特性 .......................................................................................................................................](#page200) | | [181](#page200) |
|  | [17.3](#page201) | [接口时钟 .......................................................................................................................................](#page201) | | [182](#page201) |
|  | [17.4](#page201) | [计数器 ...........................................................................................................................................](#page201) | | [182](#page201) |
|  | [17.5](#page201) | [自动重加载....................................................................................................................................](#page201) | | [182](#page201) |
|  | [17.6](#page201) | [分频计数器....................................................................................................................................](#page201) | | [182](#page201) |
|  | [17.7](#page202) | [DMA Control......................................................................................................................................](#page202) | | [183](#page202) |
|  | [17.8](#page202) | [支持单脉冲....................................................................................................................................](#page202) | | [183](#page202) |
|  | [17.9](#page202) | [支持主模式选择 ............................................................................................................................](#page202) | | [183](#page202) |
|  | [17.10](#page203) | [更新事件管理 ................................................................................................................................](#page203) | | [184](#page203) |
|  | [17.11](#page203) | [Debug 模式Control ............................................................................................................................](#page203) | | [184](#page203) |
|  | [17.12](#page203) | [中断信号 .......................................................................................................................................](#page203) | | [184](#page203) |
|  | [17.13](#page204) | [BSTIMER 相关registerDescription ...........................................................................................................](#page204) | | [185](#page204) |
|  |  | [17.13.1](#page205) | [BSTIM\_CR1..................................................................................................................](#page205) | [186](#page205) |
|  |  | [17.13.2](#page206) | [BSTIM\_CR2..................................................................................................................](#page206) | [187](#page206) |
|  |  | [17.13.3](#page206) | [BSTIM\_DIER ................................................................................................................](#page206) | [187](#page206) |
|  |  | [17.13.4](#page207) | [BSTIM\_SR ....................................................................................................................](#page207) | [188](#page207) |
|  |  | [17.13.5](#page207) | [BSTIM\_EGR .................................................................................................................](#page207) | [188](#page207) |
|  |  | [17.13.6](#page207) | [BSTIM\_CNT..................................................................................................................](#page207) | [188](#page207) |
|  |  | [17.13.7](#page208) | [BSTIM\_PSC..................................................................................................................](#page208) | [189](#page208) |
|  |  | [17.13.8](#page208) | [BSTIM\_ARR .................................................................................................................](#page208) | [189](#page208) |
| [**18.**](#page209) | [**实时时钟 (RTC).................................................................................................................................**](#page209) | | | [**190**](#page209) |
|  | [18.1](#page209) | [简介...............................................................................................................................................](#page209) | | [190](#page209) |
|  | [18.2](#page209) | [主要特性 .......................................................................................................................................](#page209) | | [190](#page209) |
|  | [18.3](#page209) | [接口时钟 .......................................................................................................................................](#page209) | | [190](#page209) |
|  | [18.4](#page210) | [日历...............................................................................................................................................](#page210) | | [191](#page210) |
|  |  | [18.4.1](#page210) | [读取日历.........................................................................................................................](#page210) | [191](#page210) |
|  |  | [18.4.2](#page210) | [设置日历.........................................................................................................................](#page210) | [191](#page210) |
|  | [18.5](#page211) | [RTC PPM 调整 .............................................................................................................................](#page211) | | [192](#page211) |
|  | [18.6](#page211) | [低功耗唤醒....................................................................................................................................](#page211) | | [192](#page211) |
|  | [18.7](#page212) | [tamper/wakeup IO 检测 ................................................................................................................](#page212) | | [193](#page212) |
|  |  | [18.7.1](#page212) | [初始化和配置流程 ..........................................................................................................](#page212) | [193](#page212) |
|  |  | [18.7.2](#page212) | [清除保留 SRAM .............................................................................................................](#page212) | [193](#page212) |
|  | [18.8](#page212) | [周期计数功能 ................................................................................................................................](#page212) | | [193](#page212) |
|  | [18.9](#page213) | [闹钟功能 .......................................................................................................................................](#page213) | | [194](#page213) |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| [18.10](#page214) | [内部信号 IO 输出 ..........................................................................................................................](#page214) | | | [195](#page214) |
| [18.11](#page214) | [中断...............................................................................................................................................](#page214) | |  | [195](#page214) |
| [18.12 RTC 相关registerDescription ....................................................................................................................](#page215) | | | | [196](#page215) |
|  | [18.12.1 RTC\_CR .......................................................................................................................](#page216) | | | [197](#page216) |
|  | [18.12.2 RTC\_ALARM0 ..............................................................................................................](#page219) | | | [200](#page219) |
|  | [18.12.3 RTC\_ALARM1 ..............................................................................................................](#page220) | | | [201](#page220) |
|  | [18.12.4 RTC\_PPMADJUST.......................................................................................................](#page221) | | | [202](#page221) |
|  | [18.12.5 RTC\_CALENDAR .........................................................................................................](#page221) | | | [202](#page221) |
|  | [18.12.6 RTC\_CALENDAR\_H ....................................................................................................](#page222) | | | [203](#page222) |
|  | [18.12.7 RTC\_CYC\_MAX\_VALUE .............................................................................................](#page222) | | | [203](#page222) |
|  | [18.12.8 RTC\_SR........................................................................................................................](#page223) | | | [204](#page223) |
|  | [18.12.9 RTC\_ASYNDATA .........................................................................................................](#page224) | | | [205](#page224) |
|  | [18.12.10](#page224) | | [RTC\_ASYNDATA\_H ..................................................................................................](#page224) | [205](#page224) |
|  | [18.12.11](#page225) | | [RTC\_CR1 ...................................................................................................................](#page225) | [206](#page225) |
|  | [18.12.12](#page226) | | [RTC\_SR1 ...................................................................................................................](#page226) | [207](#page226) |
|  | [18.12.13](#page227) | | [RTC\_CR2 ...................................................................................................................](#page227) | [208](#page227) |
|  | [18.12.14](#page228) | | [RTC\_SUB\_SECOND..................................................................................................](#page228) | [209](#page228) |
|  | [18.12.15](#page228) | | [RTC\_CYC\_CNT\_VALUE............................................................................................](#page228) | [209](#page228) |
|  | [18.12.16](#page229) | | [RTC\_ALARM0\_SUB...................................................................................................](#page229) | [210](#page229) |
|  | [18.12.17](#page229) | | [RTC\_ALARM1\_SUB...................................................................................................](#page229) | [210](#page229) |
|  | [18.12.18](#page230) | | [RTC\_CALENDAR\_R ..................................................................................................](#page230) | [211](#page230) |
|  | [18.12.19](#page230) | | [RTC\_CALENDAR\_R\_H..............................................................................................](#page230) | [211](#page230) |
| [**19. 低功耗通用异步接收器 (LPUART)....................................................................................................**](#page231) | | | | [**212**](#page231) |
| [19.1](#page231) | [简介...............................................................................................................................................](#page231) | |  | [212](#page231) |
| [19.2](#page231) | [主要特性 .......................................................................................................................................](#page231) | | | [212](#page231) |
| [19.3](#page231) | [Functional description .......................................................................................................................................](#page231) | | | [212](#page231) |
|  | [19.3.1](#page231) |  | [数据格式.........................................................................................................................](#page231) | [212](#page231) |
|  | [19.3.2](#page232) |  | [波特率产生 .....................................................................................................................](#page232) | [213](#page232) |
|  | [19.3.3](#page232) | [CTS/RTS 流控 ................................................................................................................](#page232) | | [213](#page232) |
|  | [19.3.4](#page233) | [DMA 请求........................................................................................................................](#page233) | | [214](#page233) |
|  | [19.3.5](#page233) |  | [中断信号.........................................................................................................................](#page233) | [214](#page233) |
|  | [19.3.6](#page234) |  | [低功耗唤醒 .....................................................................................................................](#page234) | [215](#page234) |
| [19.4](#page234) | [LPUART 相关registerDescription .............................................................................................................](#page234) | | | [215](#page234) |
|  | [19.4.1](#page235) | [LPUART\_CR0 ................................................................................................................](#page235) | | [216](#page235) |
|  | [19.4.2](#page236) | [LPUART\_CR1 ................................................................................................................](#page236) | | [217](#page236) |
|  | [19.4.3](#page237) | [LPUART\_SR0.................................................................................................................](#page237) | | [218](#page237) |
|  | [19.4.4](#page238) | [LPUART\_SR1.................................................................................................................](#page238) | | [219](#page238) |
|  | [19.4.5](#page239) | [LPUART\_DATA ..............................................................................................................](#page239) | | [220](#page239) |
| [**20. 低功耗定时器 (LPTIM) ......................................................................................................................**](#page240) | | | | [**221**](#page240) |
| [20.1](#page240) | [简介...............................................................................................................................................](#page240) | |  | [221](#page240) |
| [20.2](#page240) | [主要特性 .......................................................................................................................................](#page240) | | | [221](#page240) |
| [20.3](#page241) | [接口时钟 .......................................................................................................................................](#page241) | | | [222](#page241) |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| [20.4](#page241) | [计数时钟选择 ................................................................................................................................](#page241) | | | [222](#page241) |
| [20.5](#page242) | [计数器](#page242) | [...........................................................................................................................................](#page242) | | [223](#page242) |
| [20.6](#page242) | [计数模式 .......................................................................................................................................](#page242) | | | [223](#page242) |
| [20.7](#page243) | [软件触发和外部触发 .....................................................................................................................](#page243) | | | [224](#page243) |
| [20.8](#page243) | [分频计数器....................................................................................................................................](#page243) | | | [224](#page243) |
| [20.9](#page244) | [PWM.............................................................................................................................................](#page244) | |  | [225](#page244) |
| [20.10](#page244) | [支持单脉冲、Set-once、Timeout 模式输出 .................................................................................](#page244) | | | [225](#page244) |
| [20.11](#page245) | [正交编码 .......................................................................................................................................](#page245) | | | [226](#page245) |
| [20.12 支持 DEBUG 模式Control .................................................................................................................](#page246) | | | | [227](#page246) |
| [20.13](#page246) | [唤醒信号 .......................................................................................................................................](#page246) | | | [227](#page246) |
| [20.14](#page247) | [中断信号 .......................................................................................................................................](#page247) | | | [228](#page247) |
| [20.15 LPTIMER 相关registerDescription ............................................................................................................](#page247) | | | | [228](#page247) |
|  | [20.15.1](#page248) | | [LPTIM\_ISR ...................................................................................................................](#page248) | [229](#page248) |
|  | [20.15.2](#page249) | | [LPTIM\_ICR ...................................................................................................................](#page249) | [230](#page249) |
|  | [20.15.3](#page250) | | [LPTIM\_IER ...................................................................................................................](#page250) | [231](#page250) |
|  | [20.15.4](#page251) | | [LPTIM\_CFGR ...............................................................................................................](#page251) | [232](#page251) |
|  | [20.15.5](#page253) | | [LPTIM\_CR ....................................................................................................................](#page253) | [234](#page253) |
|  | [20.15.6](#page254) | | [LPTIM\_CMP .................................................................................................................](#page254) | [235](#page254) |
|  | [20.15.7](#page254) | | [LPTIM\_ARR..................................................................................................................](#page254) | [235](#page254) |
|  | [20.15.8](#page254) | | [LPTIM\_CNT ..................................................................................................................](#page254) | [235](#page254) |
|  | [20.15.9](#page255) | | [LPTIM\_CSR..................................................................................................................](#page255) | [236](#page255) |
|  | [20.15.10 LPTIM\_SR1 ................................................................................................................](#page256) | | | [237](#page256) |
| [**21. 直接存储器accessControl器 (DMA) ..........................................................................................................**](#page257) | | | | [**238**](#page257) |
| [21.1](#page257) | [简介...............................................................................................................................................](#page257) | |  | [238](#page257) |
| [21.2](#page257) | [主要特性 .......................................................................................................................................](#page257) | | | [238](#page257) |
| [21.3](#page257) | [配置传输数据长度.........................................................................................................................](#page257) | | | [238](#page257) |
| [21.4](#page258) | [数据搬移方式 ................................................................................................................................](#page258) | | | [239](#page258) |
| [21.5](#page260) | [LLI.................................................................................................................................................](#page260) | |  | [241](#page260) |
| [21.6](#page260) | [Auto-reloading ..............................................................................................................................](#page260) | | | [241](#page260) |
| [21.7](#page261) | [中断...............................................................................................................................................](#page261) | |  | [242](#page261) |
| [21.8](#page262) | [DMA 相关registerDescription....................................................................................................................](#page262) | | | [243](#page262) |
|  | [21.8.1](#page263) | [DMA\_SARx .....................................................................................................................](#page263) | | [244](#page263) |
|  | [21.8.2](#page263) | [DMA\_DARx.....................................................................................................................](#page263) | | [244](#page263) |
|  | [21.8.3](#page263) | [DMA\_LLPx ......................................................................................................................](#page263) | | [244](#page263) |
|  | [21.8.4](#page264) | [DMA\_CTLx .....................................................................................................................](#page264) | | [245](#page264) |
|  | [21.8.5](#page266) | [DMA\_CFGx.....................................................................................................................](#page266) | | [247](#page266) |
|  | [21.8.6](#page268) | [DMA\_StatusTfr ...............................................................................................................](#page268) | | [249](#page268) |
|  | [21.8.7](#page268) | [DMA\_StatusBlock ...........................................................................................................](#page268) | | [249](#page268) |
|  | [21.8.8](#page269) | [DMA\_StatusSrcTran .......................................................................................................](#page269) | | [250](#page269) |
|  | [21.8.9](#page269) | [DMA\_StatusDstTran .......................................................................................................](#page269) | | [250](#page269) |
|  | [21.8.10](#page270) | | [DMA\_StatusErr .............................................................................................................](#page270) | [251](#page270) |
|  | [21.8.11](#page271) | | [DMA\_MaskTfr ...............................................................................................................](#page271) | [252](#page271) |

|  |  |  |  |
| --- | --- | --- | --- |
|  | [21.8.12](#page272) | [DMA\_MaskBlock ..........................................................................................................](#page272) | [253](#page272) |
|  | [21.8.13](#page273) | [DMA\_MaskSrcTran ......................................................................................................](#page273) | [254](#page273) |
|  | [21.8.14](#page274) | [DMA\_MaskDstTran ......................................................................................................](#page274) | [255](#page274) |
|  | [21.8.15](#page275) | [DMA\_MaskErr ..............................................................................................................](#page275) | [256](#page275) |
|  | [21.8.16](#page276) | [DMA\_ClearTfr ...............................................................................................................](#page276) | [257](#page276) |
|  | [21.8.17](#page276) | [DMA\_ClearBlock ..........................................................................................................](#page276) | [257](#page276) |
|  | [21.8.18](#page277) | [DMA\_ClearSrcTran ......................................................................................................](#page277) | [258](#page277) |
|  | [21.8.19](#page277) | [DMA\_ClearDstTran ......................................................................................................](#page277) | [258](#page277) |
|  | [21.8.20](#page278) | [DMA\_ClearErr ..............................................................................................................](#page278) | [259](#page278) |
|  | [21.8.21](#page279) | [DMA\_DmaCfgReg ........................................................................................................](#page279) | [260](#page279) |
|  | [21.8.22](#page279) | [DMA\_ChEnReg ............................................................................................................](#page279) | [260](#page279) |
| [**22. General purpose timer (GPTIMER) ....................................................................................................................**](#page281) | | | [**262**](#page281) |
| [22.1](#page281) | [简介...............................................................................................................................................](#page281) | | [262](#page281) |
| [22.2](#page281) | [主要特性](#page281) | [.......................................................................................................................................](#page281) | [262](#page281) |
| [22.3](#page283) | [计数器 ...........................................................................................................................................](#page283) | | [264](#page283) |
|  | [22.3.1](#page283) | [计数时钟选择 .................................................................................................................](#page283) | [264](#page283) |
|  | [22.3.2](#page284) | [自动重装载 .....................................................................................................................](#page284) | [265](#page284) |
|  | [22.3.3](#page284) | [向上计数.........................................................................................................................](#page284) | [265](#page284) |
|  | [22.3.4](#page285) | [向下计数.........................................................................................................................](#page285) | [266](#page285) |
|  | [22.3.5](#page285) | [中间对齐计数 .................................................................................................................](#page285) | [266](#page285) |
| [22.4](#page286) | [分频计数器....................................................................................................................................](#page286) | | [267](#page286) |
| [22.5](#page286) | [采样时钟](#page286) | [.......................................................................................................................................](#page286) | [267](#page286) |
| [22.6](#page287) | [Channel...............................................................................................................................................](#page287) | | [268](#page287) |
|  | [22.6.1](#page288) | [输入捕获.........................................................................................................................](#page288) | [269](#page288) |
|  | [22.6.2](#page288) | [输出比较.........................................................................................................................](#page288) | [269](#page288) |
| [22.7](#page291) | [触发输入Channel ................................................................................................................................](#page291) | | [272](#page291) |
| [22.8](#page291) | [更新事件管理 ................................................................................................................................](#page291) | | [272](#page291) |
| [22.9](#page292) | [编码模式Control ................................................................................................................................](#page292) | | [273](#page292) |
| [22.10](#page293) | [从模式Control....................................................................................................................................](#page293) | | [274](#page293) |
| [22.11](#page294) | [主模式Control....................................................................................................................................](#page294) | | [275](#page294) |
| [22.12](#page295) | [输出Control](#page295) | [.......................................................................................................................................](#page295) | [276](#page295) |
| [22.13](#page295) | [Channel重映射....................................................................................................................................](#page295) | | [276](#page295) |
| [22.14 Debug 模式Control ............................................................................................................................](#page295) | | | [276](#page295) |
| [22.15 DMA Control......................................................................................................................................](#page295) | | | [276](#page295) |
| [22.16](#page296) | [中断...............................................................................................................................................](#page296) | | [277](#page296) |
| [22.17 GPTIMER 相关registerDescription ...........................................................................................................](#page296) | | | [277](#page296) |
|  | [22.17.1](#page298) | [GPTIM\_CR1 .................................................................................................................](#page298) | [279](#page298) |
|  | [22.17.2](#page299) | [GPTIM\_CR2 .................................................................................................................](#page299) | [280](#page299) |
|  | [22.17.3](#page300) | [GPTIM\_SMCR ..............................................................................................................](#page300) | [281](#page300) |
|  | [22.17.4](#page301) | [GPTIM\_DIER ................................................................................................................](#page301) | [282](#page301) |
|  | [22.17.5](#page303) | [GPTIM\_SR....................................................................................................................](#page303) | [284](#page303) |
|  | [22.17.6](#page304) | [GPTIM\_EGR.................................................................................................................](#page304) | [285](#page304) |

|  |  |  |  |
| --- | --- | --- | --- |
| [22.17.7](#page305) | [GPTIM\_CCMR1............................................................................................................](#page305) | | [286](#page305) |
| [22.17.8](#page308) | [GPTIM\_CCMR2............................................................................................................](#page308) | | [289](#page308) |
| [22.17.9](#page311) | [GPTIM\_CCER ..............................................................................................................](#page311) | | [292](#page311) |
| [22.17.10](#page313) | | [GPTIM\_CNT ...............................................................................................................](#page313) | [294](#page313) |
| [22.17.11](#page313) | | [GPTIM\_PSC ...............................................................................................................](#page313) | [294](#page313) |
| [22.17.12](#page314) | | [GPTIM\_ARR ...............................................................................................................](#page314) | [295](#page314) |
| [22.17.13](#page314) | | [GPTIM\_CCR0.............................................................................................................](#page314) | [295](#page314) |
| [22.17.14](#page314) | | [GPTIM\_CCR1.............................................................................................................](#page314) | [295](#page314) |
| [22.17.15](#page315) | | [GPTIM\_CCR2.............................................................................................................](#page315) | [296](#page315) |
| [22.17.16](#page315) | | [GPTIM\_CCR3.............................................................................................................](#page315) | [296](#page315) |
| [22.17.17](#page315) | | [GPTIM\_DCR...............................................................................................................](#page315) | [296](#page315) |
| [22.17.18](#page317) | | [GPTIM\_DMAR............................................................................................................](#page317) | [298](#page317) |
| [22.17.19](#page317) | | [GPTIM\_OR .................................................................................................................](#page317) | [298](#page317) |

**表格**

[表 3-1 ASR6601 功能点](#page23) [4](#page23)

[表 6-1 不同模块在各Operating modes下的工作状态](#page32) [13](#page32)

[表 7-1 Master 总线access范围](#page41) [22](#page41)

[表 7-2 Memory Map](#page42)[表](#page43) 7-3 AHB0 SFR 内部的地址 mapping [23](#page42)

[24](#page43)

[表 7-4 AHB1 SFR 内部的地址 mapping](#page43) [24](#page43)

[表 7-5 APB0 SFR 内部的地址 mapping](#page43) [24](#page43)

[表 7-6 APB1 SFR 内部的地址 mapping](#page44) [25](#page44)

[表 7-7 SoC 启动方式配置表](#page45) [26](#page45)

[表 7-8 SYSCFG register列表](#page46) [27](#page46)

[表 7-9 DMA 请求 MUX](#page57) [38](#page57)

[表 8-1 RCC register列表](#page62) [43](#page62)

[表 9-1 中断向量表](#page85) [66](#page85)

[表 10-1 Flash info 区划分](#page87) [68](#page87)

[表 10-2 Flash Option0](#page91) [72](#page91)

[表 10-3 SoC 启动方式配置表](#page92) [73](#page92)

[表 10-4 Flash Option1](#page93) [74](#page93)

[表 10-5 嵌入式 Flash register列表](#page94) [75](#page94)

[表 11-1 GPIO register列表](#page108) [89](#page108)

[表 12-1 LORAC register列表](#page127) [108](#page127)

[表 13-1 接收 FIFO BitFunctional description](#page138) [119](#page138)

[表 13-2 UART register列表](#page142) [123](#page142)

[表 14-1 SSP register列表](#page159) [140](#page159)

[表 15-1 Start 和 Stop 条件定义](#page167) [148](#page167)

[表 15-2 主机事务](#page171) [152](#page171)

[表 15-3 从机事务](#page175) [156](#page175)

[表 15-4 I2C register列表](#page177) [158](#page177)

[表 16-1 ADC 采样Channel](#page189) [170](#page189)

[表 16-2 ADC register列表](#page192) [173](#page192)

[表 17-1 BSTIMER 中断信号](#page203) [184](#page203)

[表 17-2 BSTIMER register列表](#page204) [185](#page204)

[表 18-1 RTC Wake-up source](#page211) [192](#page211)

[表 18-2 配置唤醒信号使能的 bit 信息](#page211) [192](#page211)

[表 18-3 RTC 中断信号](#page214) [195](#page214)

[表 18-4 RTC register列表](#page215) [196](#page215)

[表 19-1 LPUART register列表](#page234) [215](#page234)

[表 20-1 LPTIMER0 的外部触发源](#page243) [224](#page243)

[表 20-2 LPTIMER1 的外部触发源](#page243) [224](#page243)

[表 20-3 正交编码Channel信号](#page246) [227](#page246)

[表 20-4 LPTIMER 中断信号](#page247) [228](#page247)

[表 20-5 LPTIMER register列表](#page247) [228](#page247)

[表 21-1 Handshake 值](#page258) [239](#page258)

[表 21-2 DMA 中断信号](#page261) [242](#page261)

[表 21-3 DMA register列表](#page262) [243](#page262)

[表 22-1 GPTIMER 模块介绍](#page282) [263](#page282)

[表 22-2 输入Channel有效极性配置](#page287) [268](#page287)

[表 22-3 输入Channel映射](#page287) [268](#page287)

[表 22-4 输出比较各种模式下的输出波形Description](#page289) [270](#page289)

[表 22-5 编码模式](#page292) [273](#page292)

[表 22-6 各 GPTIMER 的内部触发输入映射](#page293) [274](#page293)

[表 22-7 GPTIMER 中断信号](#page296) [277](#page296)

[表 22-8 GPTIMER register列表](#page296) [277](#page296)

**插图**

[图 3-1 ASR6601 Module Block Diagram](#page22) [3](#page22)

[图 4-1 低功耗广domain网 SoC 芯片供电接口](#page28) [9](#page28)

[图 4-2 芯片内部的电源架构](#page29) [10](#page29)

[图 7-1 system structure图](#page40) [21](#page40)

[图 8-1 时钟网络图](#page60) [41](#page60)

[图 12-1 上电初始化时序](#page126) [107](#page126)

[图 13-1 UART 字符帧](#page140) [121](#page140)

[图 13-2 IrDA 数据调制（3/16）](#page141) [122](#page141)

[图 14-1 SSP master 与 SPI slave 之间的连接](#page157) [138](#page157)

[图 14-2 SPI Master 与 SSP Slave 之间的连接](#page157) [138](#page157)

[图 14-3 MASTER 模式下时钟输出的公式](#page157) [138](#page157)

[图 15-1 I2C 框图](#page166) [147](#page166)

[图 15-2 Start 与 Stop 条件的 SDA 与 SCL 信号](#page167) [148](#page167)

[图 15-3 FIFO 模式示意图](#page173) [154](#page173)

[图 16-1 ADC 框图](#page188) [169](#page188)

[图 17-1 BSTIMER 框图](#page200) [181](#page200)

[图 17-2 计数和分频波形](#page201) [182](#page201)

[图 17-3 单脉冲波形](#page202) [183](#page202)

[图 19-1 LPUART 的数据传输格式](#page231) [212](#page231)

[图 19-2 两个 LPUART 设备之间的连接](#page232) [213](#page232)

[图 20-1 LPTIMER 框图](#page241) [222](#page241)

[图 20-2 计数模式转换图](#page242) [223](#page242)

[图 20-3 单脉冲计数](#page244) [225](#page244)

[图 20-4 Set-once 计数](#page245) [226](#page245)

[图 20-5 Timeout 计数](#page245) [226](#page245)

[图 21-1 数据传输](#page257) [238](#page257)

[图 21-2 LLI 链表](#page260) [241](#page260)

[图 22-1 GPTIMER 框图](#page282) [263](#page282)

[图 22-2 外部时钟模式 1 计数](#page283) [264](#page283)

[图 22-3 外部时钟模式 2 计数](#page283) [264](#page283)

[图 22-4 内部触发信号做时钟计数](#page284) [265](#page284)

[图 22-5 向上计数](#page284) [265](#page284)

[图 22-6 向下计数](#page285) [266](#page285)

[图 22-7 中间对齐计数](#page285) [266](#page285)

[图 22-8 分频计数器](#page286) [267](#page286)

[图 22-9 输入捕获](#page288) [269](#page288)

[图 22-10 各种输出比较模式下的波形](#page290) [271](#page290)

[图 22-11 边沿对齐计数 PWM2](#page290) [271](#page290)

[图 22-12 中间对齐计数 PWM2](#page290) [271](#page290)

[图 22-13 使能快速模式时的单脉冲输出波形](#page291) [272](#page291)

[图 22-14 外部触发信号清除Channel输出](#page291) [272](#page291)

[图 22-15 编码模式 1 的计数波形](#page293) [274](#page293)

[图 22-16 从模式下的复Bit模式波形](#page293) [274](#page293)

[图 22-17 从模式下的门控模式波形](#page293) [274](#page293)

[图 22-18 从模式下的触发模式波形](#page294) [275](#page294)

 **ASR6601 Reference Manual**



**1. Overview**

ASR6601 is a domestic low-power wide area network wireless communication SoC developed by ASR Technology Co., Ltd. that supports LoRa modulation. The ASR6601 series is suitable for many application scenarios such as smart meters, smart logistics, smart buildings, smart cities, and smart agriculture. ASR6601 integrates a Sub 1GHz RF transceiver, an Arm China STAR-MC1 microprocessor, built-in Flash storage, built-in SRAM, and analog modules with many functions. This reference manual is mainly for SoC product application developers, including software and hardware developers. Based on the information in this manual and the API in the SDK, engineers can solve various problems that may be encountered during the development process; if you need other help, please contact ASR Technology engineers. This manual will be continuously updated.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 1 / 302

 2. ASR6601 简介 ASR6601 Reference Manual



**2. ASR6601 Overview**

ASR6601 SoC is a low-power wide area network wireless communication SoC chip that supports LoRa modulation. The ultra-low power transceiver integrated in the ASR6601 chip can support the full frequency band of 150 MHz ~ 960 MHz with the off-chip matching network. In addition to supporting LoRa modulation, it can also support FSK transceiver, MSK transceiver and BPSK transmission. When powered by 3.3 V power supply, the maximum output power of 22 dBm can be transmitted through the high-power PA. ASR6601 SoC mainly has Run, LpRun, Sleep, LpSleep, Stop0, Stop1, Stop2, Stop3, Standby working modes. Each mode supports different functions, working modules and power consumption. End users can choose the corresponding working mode according to their application scenarios. The two most commonly used low-power modes are Standby mode and Stop3 mode. When powered by 3.3 V, the Standby mode consumes as little as 0.9 uA; the Stop3 mode consumes as little as 1.3 uA (ASR6601CB) and 1.6 uA (ASR6601SE).

The ASR6601 SoC uses a 32-bit ARM STAR core with a maximum main frequency of 48 MHz, supports SWD debug interface, supports SysTick, MPU, FPU functions, and supports 37 IRQs with 8 interrupt priorities.

ASR6601 supports UART, I2C, I2S, LPUART, SSP, QSPI and other interfaces. With the peripherals of different types of corresponding interfaces, it can realize rich functions to meet customer needs. In addition to supporting rich number functions, ASR6601 also integrates rich analog functions, including ADC, DAC, OPA and LCD driver.  
  
ASR6601 implements AES encryption through hardware, greatly simplifying the efficiency of encryption and decryption. It also supports national encryption SM2/3/4.

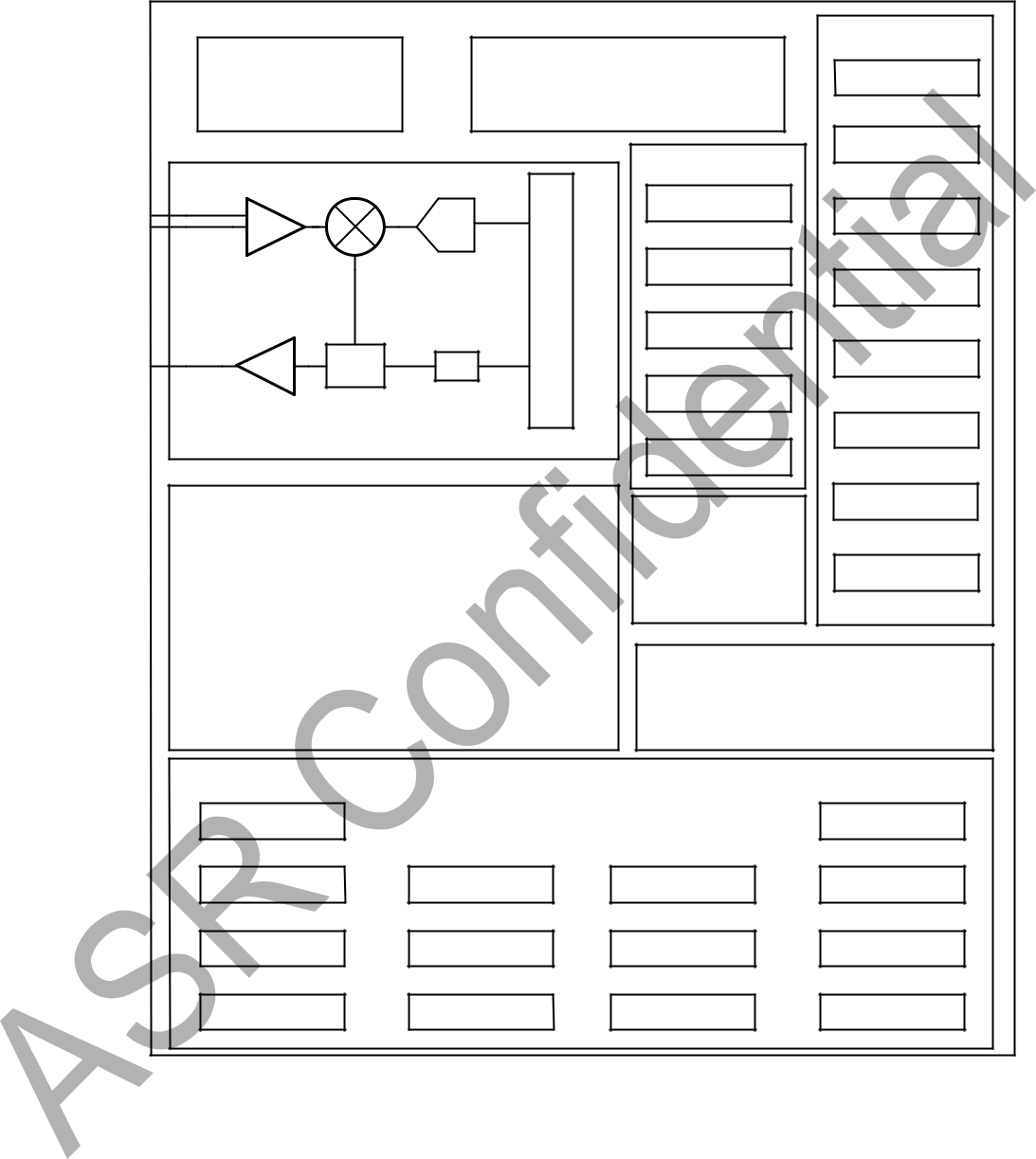
Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 2 / 302

 3. 模块及功能 ASR6601 Reference Manual



**3. Modules and functions**

**3.1** **ASR6601 Module Block Diagram**



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ASR6601 |  |  |  |  |
| DCDC |  |  | LDOs |  |
|  |  |  | Analog Blocks |  |
|  |  |  | ADC |  |
| LNA |  | ADC |  |  |
|  |  | Modem | DAC |  |
|  |  | LCD Driver |  |
|  |  |  |  |
| PA | PLL | Dig |  |  |
|  |  |  | OPA |  |
|  | RF TRX | |  |  |
|  |  |  | COMP |  |
|  |  |  | Up to 64kB |  |
|  |  |  | SRAM |  |
| ARM STAR | | |  |  |

Interface

3xI2C

1xI2S

1xLPUART

3xSSP

1xQSPI

1xSWD

4xUART

42xGPIOs

Up to 256kB Flash

4x GPtimer

|  |  |  |
| --- | --- | --- |
| General HW Modules | | |
|  |  |  |
| RF Controller |  | 1x Sys Ticker |
|  |  |  |

WDG IWDG

2x BStimer

2\*4 DMA

AES

DES

2x LP timer

RTC

ECC

SM2/3/4

RNG

CRC

AFEC

EFC

**图 3-1 ASR6601 Module Block Diagram**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 3 / 302

 3. 模块及功能 ASR6601 Reference Manual



**3.2** **ASR6601 functional modules**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | |  | |  | | **Table 3-1 ASR6601 functional modules** |  |
|  |  |  | |  | |  | |  | |  |
|  |  | Module Name | |  | |  | | Functions supported by the module | |  |
|  |  |  |  | |  | |  | |  |  |
|  |  | rcc | |  | |  | | Clock and reset control | |  |
|  |  |  |  | |  | |  | |  |  |
|  |  | syscfg | |  | |  | | System function registers | |  |
|  |  |  |  | |  | |  | |  |  |
|  |  | pwr |  | | 1. | | | | Chip low power mode control |  |
|  |  |  | | 2. | | | | Interrupt signal generation support |  |
|  |  |  |  | |  |
|  |  |  |  | |  | | | |  |  |
|  |  |  |  | | 1. | | | | Security IP Enable Filtering |  |
|  |  | sec |  | | 2. | | | | Security IP alarm signal filtering |  |
|  |  |  |  | | 3. | | | | Alarm signal processing, support status generation, interrupt request, and reset bit request |  |
|  |  |  |  | |  | | | |  |  |
|  |  |  |  | | 1. | | | | SWD debug interface |  |
|  |  |  |  | | 2. | | | | Systick function |  |
|  |  | CPU |  | | 3. | | | | MPU function |  |
|  |  |  |  | | 4. | | | | FPU function |  |
|  |  |  |  | | 5. | | | | 37 IRQs, 8 interrupt priorities |  |
|  |  |  | | | |  | |  | |  |
|  |  | MPU | |  | |  | | Access Security control, including slave access operations of cpu, dma, and swd debug interfaces | |  |
|  |  |  |  | |  | |  | |  |  |
|  |  |  |  | | 1. | | | | Power-on chip mode determination |  |
|  |  |  |  | | 2. | | | | Flash info area data is loaded at power-on |  |
|  |  |  |  | | 3. | | | | flash 基本操作，包括 read、program、page erase、mass erase |  |
|  |  | EFC |  | | 4. | | | | Basic flash operations, including read, program, page erase, mass erase |  |
|  |  |  | | 5. | | | | Flash instruction prefetch function, 1 deep prefetch buffer |  |
|  |  |  |  | |  |
|  |  |  |  | | 6. | | | | Flash program operation supports single and continuous modes |  |
|  |  |  |  | | 7. | | | | Flash info area option bytes operation |  |
|  |  |  |  | | 8. | | | | Interrupt signals generating |  |
|  |  |  |  | |  | | | |  |  |
|  |  |  |  | | 1. | | | | Philips I2S serial protocol |  |
|  |  |  |  | | 2. | | | | Support Master and Slave modes |  |
|  |  |  |  | | 3. | | | | 1 RX channel, 1 TX channel, full duplex |  |
|  |  |  |  | | 4. | | | | Receive FIFO depth is 4 |  |
|  |  | I2S |  | | 5. | | | | Transmit FIFO depth is 4 |  |
|  |  |  | | 6. | | | | Receiver supports 12, 16, 20, 24, 32 Bit resolution |  |
|  |  |  |  | |  |
|  |  |  |  | | 7. | | | | Supports 12, 16, 20, 24, 32 Bit resolution |  |
|  |  |  |  | | 8. | | | | Support programmable DMA register |  |
|  |  |  |  | | 9. | | | | Support programmable FIFO Threshold |  |
|  |  |  |  | | 10. | | | | Support 1 interrupt signal generation |  |
|  |  |  |  | | 1. | | | | Support IrDA, support 3/16 and low-power (1.41-2.23us) Bit width |  |
|  |  |  |  | | 2. | | | | Support FIFO transmission and reception, 16x8bits transmission FIFO, 16x10bits reception FIFO |  |
|  |  |  |  | | 3. | | | | Supports Buffer sending and receiving, 1 deep sending and receiving buffer |  |
|  |  | UART |  | | 4. | | | | Baud rate generation, using 16 times oversampling, supports 16-bit integer division and 6-bit fractional division, and supports up to interface clock frequency/16 |  |
|  |  |  |  | |  | |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 4 / 302

 3. 模块及功能 ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | | Module Name | |  | |  | | Functions supported by the module | |  |
|  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | | 5. | | | | Uart 数据格式配置，包括 1-2 Bit Stop，0-1 Bit parity（odd，even，固定 0，固定 1， |  |
|  |  | |  | |  | |  | |  | | 无校验），5-8 Bit数据 |  |
|  |  | |  | |  | | 6. | | | | 支持 DMA 传输 |  |
|  |  | |  | |  | | 7. | | | | 支持无效 start 检测 |  |
|  |  | |  | |  | | 8. | | | | 支持 breakline 发送与检测 |  |
|  |  | |  | |  | | 9. | | | | 支持硬件流控 CTS 与 RTS |  |
|  |  | |  | |  | | 10. | | | | 支持中断信号产生 |  |
|  |  | |  | |  | |  | | | |  |  |
|  |  | |  | |  | | 1. | | | | 支持低功耗唤醒 |  |
|  |  | |  | |  | | 2. | | | | 波特率产生，不支持过采样，支持 4 Bit小数分频与 12 Bit整数分频，整数分频最小支 |  |
|  |  | |  | |  | |  | |  | | 持 3 |  |
|  |  | | lpuart | |  | | 3. | | | | 数据格式配置，包括 1-2 Bit Stop，0-1 Bit parity（奇校验、偶校验、固定 1、固定 0、 |  |
|  |  | |  | |  | |  | | 无校验），5-8 Bit数据 |  |
|  |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | | 4. | | | | 支持 cts 与 rts 流控 |  |
|  |  | |  | |  | | 5. | | | | 支持 dma 请求 |  |
|  |  | |  | |  | | 6. | | | | 支持中断信号产生 |  |
|  |  | |  | |  | |  | |  | |  |  |

支持 Master 与 Slave

可编程波特率与预分频，Master 最高支持 1/2 接口时钟频率，Slave 最高支持 1/12 接Port clock frequency

支持 8\*16 Bit的接收与发送 FIFO

|  |  |
| --- | --- |
| SSP | 4. 数据长度可配置，4-16 Bit |
|  |  |

支持 DMA 请求

支持支持 Motorola、Microwire（NS）、TI 格式

Motorola 支持 4 种极性相Bit组合

支持中断信号产生

支持主模式与从模块

支持多主仲裁

支持 Standard Mode 与 Fast Mode

|  |  |
| --- | --- |
| I2C | 4. Support 7 Bit address mode |
|  |  |

Support Clock Stretching

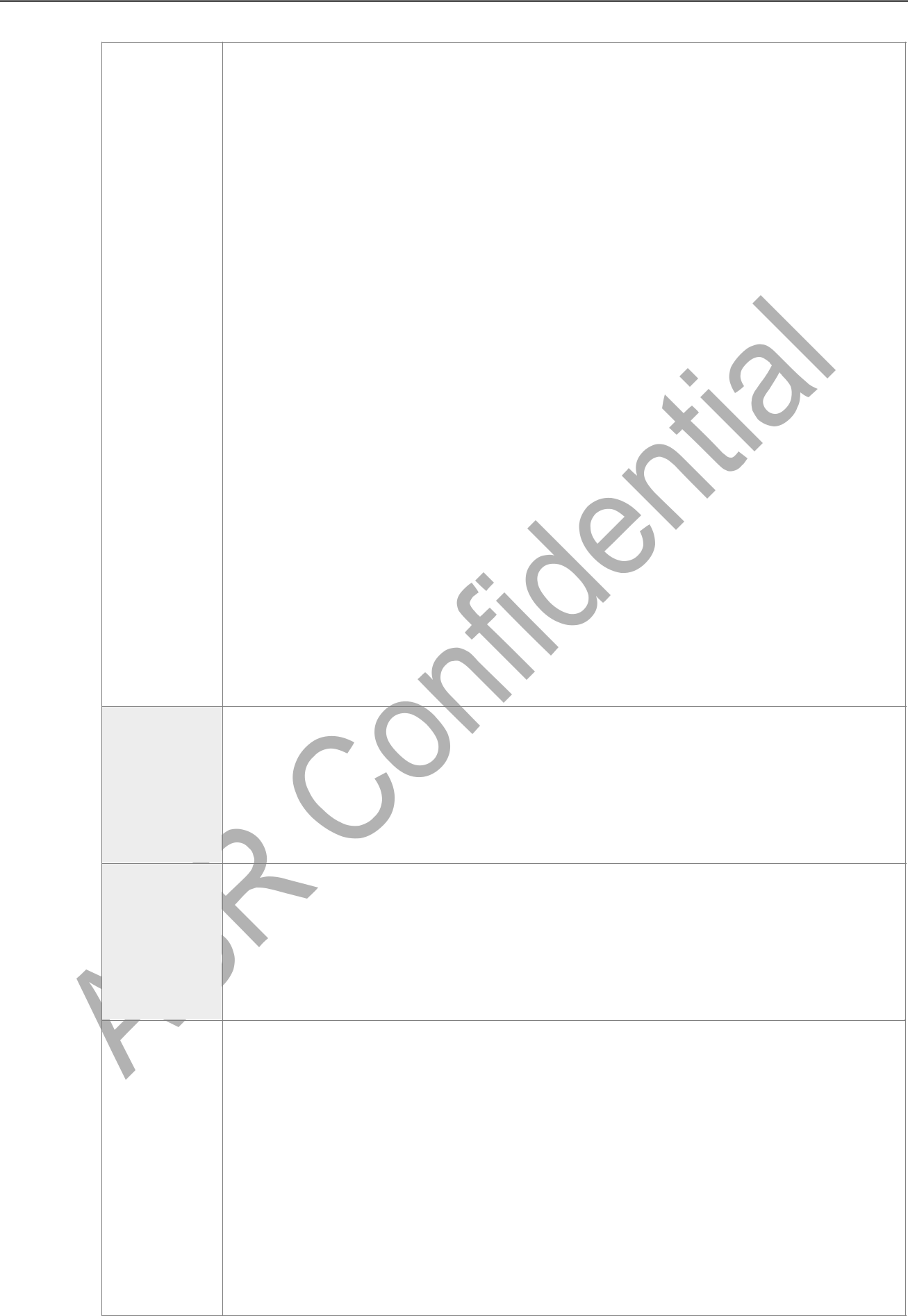
Supports generating interrupt signals

Support DMA requests

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | 1. | Simulate IP status register |  |
|  |  | AFEC |  | 2. | Simulate IP control register |  |
|  |  |  | 3. | 部分register支持Safety lockControl |  |
|  |  |  |  |  |
|  |  |  |  | 4. | 支持中断信号产生 |  |
|  |  |  |  |  |  |  |
|  |  |  |  | 1. | LORA IP control register |  |
|  |  |  |  | 2. | LORA status register |  |
|  |  | lorac |  | 3. | LORA IP SPI interface source, supports ssp master control and reg control |  |
|  |  |  |  | 4. | Support DMA request and response |  |
|  |  |  |  | 5. | Support interrupt signal generation |  |
|  |  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 5 / 302

 3. 模块及功能 ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | | Module Name | |  | |  | | Functions supported by the module | |  |
|  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | | 1. | | | | 日历计数功能，采用 BCD 格式，支持秒、分、小时、日、月、年、星期 |  |
|  |  | |  | |  | | 2. | | | | 支持 ppm 调整，调整步长 0.5ppm，支持+/-1024 ppm 调整 |  |
|  |  | |  | |  | | 3. | | | | 支持低功耗唤醒 |  |
|  |  | |  | |  | | 4. | | | | tamper/wakeup IO 检测功能，支持有效电平选择，滤波拍数可配置 |  |
|  |  | |  | |  | | 5. | | | | 周期计数功能，32 Bit计数器 |  |
|  |  | |  | |  | | 6. | | | | 闹钟功能，支持两个闹钟，支持 Mask 选择与日历匹配 |  |
|  |  | | RTC | |  | | 7. | | | | tamper/wakeup alarm清除 retention sram 功能 |  |
|  |  | |  | | 8. | | | | 部分register支持Safety lockControl |  |
|  |  | |  | |  | |  |
|  |  | |  | |  | | 9. | | | | 内部信号 IO 输出，包括 alarm0 匹配脉冲，alarm1 匹配脉冲，周期计数配置脉冲，秒 |  |
|  |  | |  | |  | |  | |  | | 信号输出 |  |
|  |  | |  | |  | | 10. | | | | 支持日历计数值读取 |  |
|  |  | |  | |  | | 11. | | | | 支持 sub-second 计数值读取 |  |
|  |  | |  | |  | | 12. | | | | 支持周期计数的计数值读取 |  |
|  |  | |  | |  | | 13. | | | | 支持中断信号产生 |  |
|  |  | |  | |  | |  | | | |  |  |
|  |  | |  | |  | | 1. | | | | 看门狗计数功能，减法计数，计数时钟支持预分频（4-256 分频） |  |
|  |  | |  | |  | | 2. | | | | 看门狗异常状态，计数达到 0（喂狗过晚）或喂狗时计数值大于计数窗口值时（喂狗 |  |
|  |  | |  | |  | |  | |  | | 过早）产生 |  |
|  |  | | iwdg | |  | | 3. | | | | 支持产生中断信号 |  |
|  |  | |  | |  | | 4. | | | | 支持喂狗窗口配置 |  |
|  |  | |  | |  | | 5. | | | | 支持计数值读取 |  |
|  |  | |  | |  | | 6. | | | | 支持低功耗唤醒 |  |
|  |  | |  | |  | |  | |  | |  |  |

仅支持主接口

支持 1 线、2 线、4 线模式

|  |  |
| --- | --- |
| qspi | 3. 支持 3 种Operating modes，包括间接access、状态查询与 Memory-mapping |
|  |  |

支持波特率分频，最高支持接口时钟频率/2

支持产生中断信号

可配置多项式Bit宽，支持 7、8、16、32 Bit

支持不同的 hsize access，先算低 byte

|  |  |
| --- | --- |
| crc | 3. 可编程 crc 初值 |
|  |  |

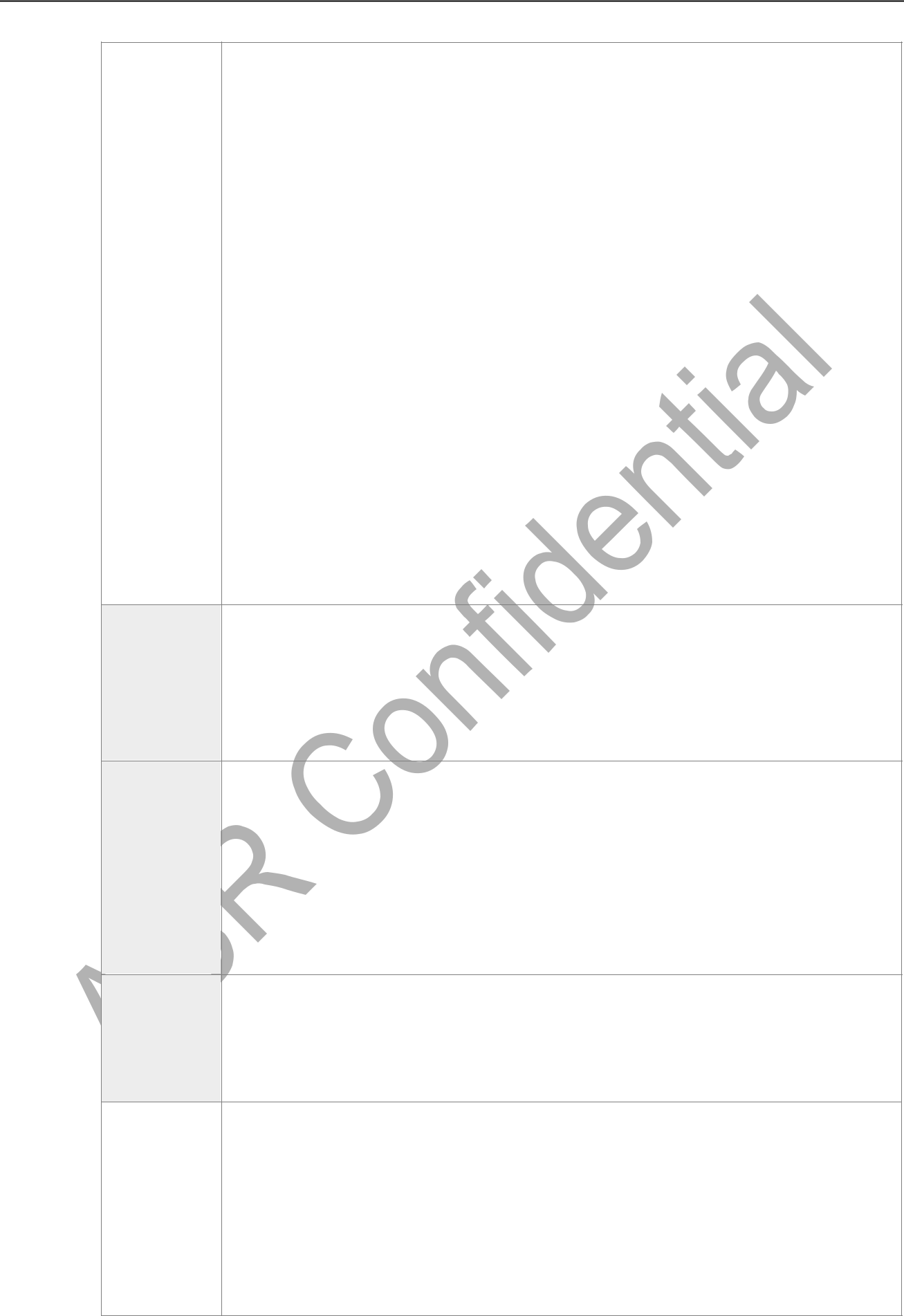
支持输入数据 reverse，支持 byte，halfword 与 word

支持输出数据 reverse，支持 word

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | |  | | 1. | | 支持 1 个主接口 AHB 总线 | |  |
|  |  | |  | | 2. | | AHB 接口仅支持小端结构 | |  |
|  |  | |  | | 3. | | 支持中断信号产生 | |  |
|  |  | |  | | 4. | | 传输模式，支持 M2M，P2M，M2P，P2P | |  |
|  | DMA | |  | | 5. | | 支持软件触发握手信号 | |  |
|  |  | | 6. | | 支持 4 | | 组Hardware handshake信号，包括 burst 与 single 请求 |  |
|  |  |  | |  |
|  |  | |  | | 7. | | 支持Hardware handshake信号来源，每组支持 64 个源头选择 | |  |
|  |  |  | | 8. | | 支持 4 | | 个逻辑Channel |  |
|  |  |  | | 9. | | Channel 0 | | 配置如下： |  |
|  |  | |  | |  | | (1) 8 bytes 深度 FIFO | |  |
|  |  |  | |  | |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 6 / 302

 3. 模块及功能 ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | | Module Name | |  | | Functions supported by the module | |
|  |  | |  | |  | |  |
|  |  | | (2) | | | | 最大 burst 长度为 8 |
|  |  | | (3) | | | | 最大传输长度为 2047 |
|  |  | | (4) | | | | 仅支持 dmac 流控 |
|  |  | | (5) | | | | 源地址数据Bit宽可配置 |
|  |  | | (6) | | | | 目的地址数据Bit宽可配置 |
|  |  | | (7) | | | | 地址支持递增，递减，不变 |
|  |  | | (8) | | | | 支持块传输，包括连续地址、自动加载与链表 |
|  |  | | (9) | | | | 支持 scatter 与 gather |
|  | |  | |  | | 10. Channel 1-3 配置如下： | |
|  |  | | (1) | | | | 8 bytes 深度 FIFO |
|  |  | | (2) | | | | 最大 burst 长度为 8 |
|  |  | | (3) | | | | 最大传输长度为 2047 |
|  |  | | (4) | | | | 仅支持 dmac 流控 |
|  |  | | (5) | | | | 源地址数据Bit宽可配置 |
|  |  | | (6) | | | | 目的地址数据Bit宽可配置 |
|  |  | | (7) | | | | 地址支持递增，递减，不变 |
|  |  | | (8) | | | | 支持块传输，包括连续地址与自动加载，但不支持链表 |
|  |  | | (9) | | | | 不支持 scatter 与 gather |
|  |  | |  | |  | |  |

1. IO 输出配置，支持 push-pull、open drain、输出高阻
2. IO 输入配置，支持 floating、输入上拉、输入下拉、模拟输入

|  |  |
| --- | --- |
| GPIO | 3. IO 其它配置，上拉配置、下拉配置、驱动能力Control |
|  |  |

1. 支持产生中断信号，包括上升沿中断、下降沿中断、双沿中断
2. 支持产生唤醒信号，包括高电平、低电平
3. 支持 AES128/192/256
4. 支持 DES 与 3DES
5. 支持 SM2、SM3、SM4（ASR6601SE）

|  |  |
| --- | --- |
| SAE | 4. 支持 RSA1024/2048 |
|  |  |

1. 支持 ECC224/256/384/512
2. 支持 SHA1，SHA-224，SHA256，SHA384，SHA512
3. 支持随机数发生器
4. 16bits 计数器，加法计数，支持自动加载
5. 16bits 的计数时钟预分频

Basic timer

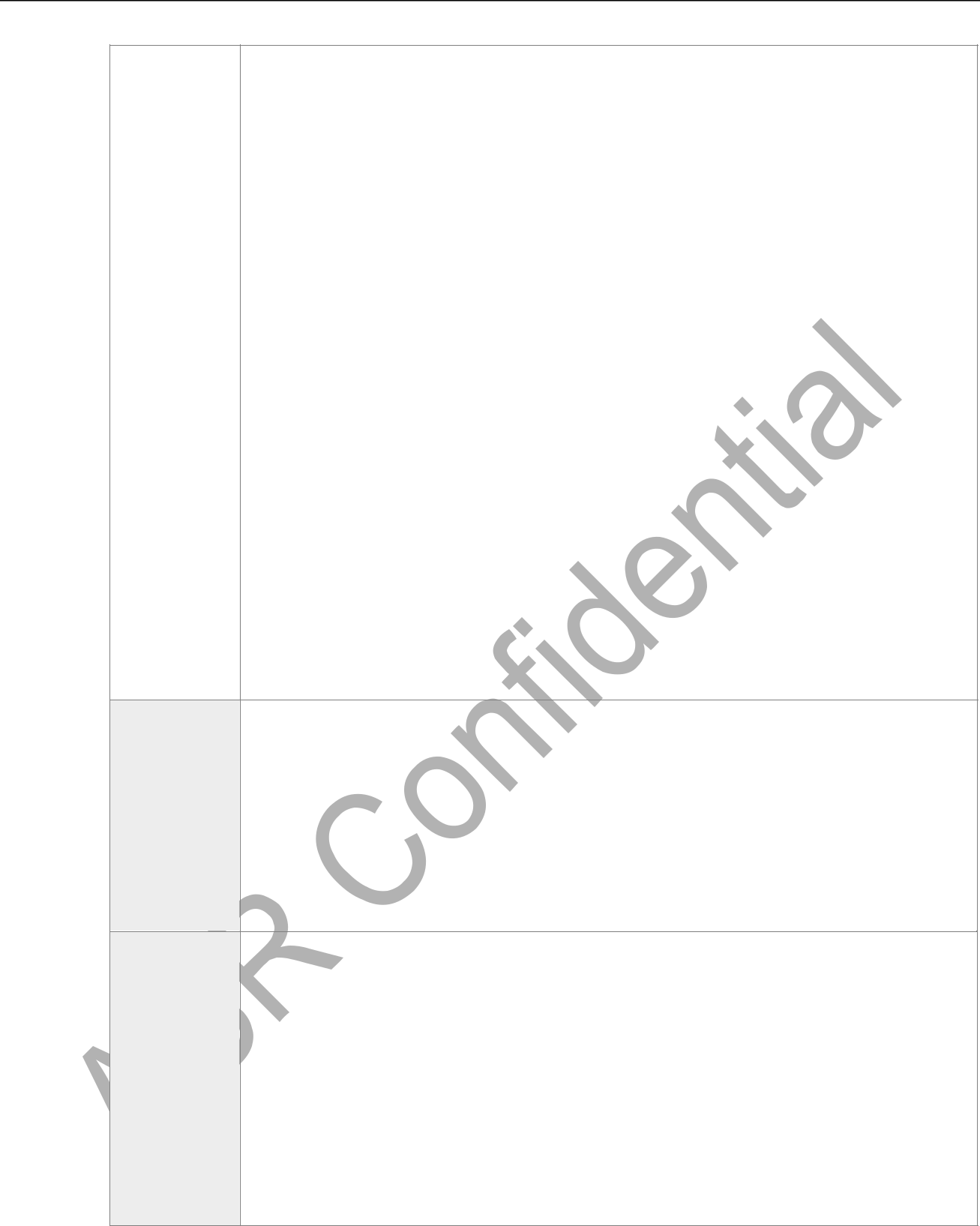
3. 支持 DMA 请求

4. 支持产生中断信号

|  |  |  |
| --- | --- | --- |
|  | 1. | 32bits 计数器，支持自动加载，支持加法、减法、加减计数 |
|  | 2. | 16bits 的计数时钟预分频 |
|  | 3. | gptimer0 与 gptimer1 支持 4 Channel，gptimer2 与 gptimer3 支持 2 Channel，每个Channel可支 |
| GP timer |  | 持输入捕获、输出比较、PWM 产生、单脉冲输出 |
|  | 4. | 支持正交解码 |
|  | 5. | 支持产生中断信号 |
|  | 6. | 支持 DMA 请求 |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 7 / 302

 3. 模块及功能 ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | | Module Name | |  | |  | | Functions supported by the module | |  |
|  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | | 1. | | | | 支持选择内部时钟与 IO 时钟作为计数时钟 |  |
|  |  | |  | |  | | 2. | | | | 16bits 计数器，加法计数，支持自动加载 |  |
|  |  | |  | |  | | 3. | | | | 支持计数时钟预分频 |  |
|  |  | | LP timer | |  | | 4. | | | | 支持正交解码 |  |
|  |  | |  | |  | | 5. | | | | 支持输入捕获、输出比较、PWM 产生、单脉冲输出 |  |
|  |  | |  | |  | | 6. | | | | 支持产生中断信号 |  |
|  |  | |  | |  | | 7. | | | | 支持 DMA 请求 |  |
|  |  | |  | |  | |  | | | |  |  |
|  |  | |  | |  | | 1. | | | | 采样精度 12 bits |  |
|  |  | |  | |  | | 2. | | | | 采样速度可配置，最高支持 1 MHz |  |
|  |  | |  | |  | | 3. | | | | 支持单端与差分采样 |  |
|  |  | |  | |  | | 4. | | | | 数据对齐方式仅支持右对齐 |  |
|  |  | |  | |  | | 5. | | | | 支持 8 个外部Channel |  |
|  |  | | ADC | |  | | 6. | | | | 支持 7 个内部Channel，包括 DAC 输出、内部 Vref、VDD/3（电池电量）、Vts（内部温度 |  |
|  |  | |  | |  | |  | | 传感器）、OPA 输出（3 个） |  |
|  |  | |  | |  | | 7. | | | |  |
|  |  | |  | |  | | 触发方式，支持软件触发与硬件触发 |  |
|  |  | |  | |  | | 8. | | | | 采样方式，支持采样序列、连续、单次、非连续 |  |
|  |  | |  | |  | | 9. | | | | 支持模拟看门狗功能，共 3 路，可配置Channel选择与高低阈值 |  |
|  |  | |  | |  | | 10. | | | | 支持 DMA 请求 |  |
|  |  | |  | |  | | 11. | | | | 支持产生中断信号 |  |
|  |  | |  | |  | |  | |  | |  |  |

1. 输出精度 10 bits
2. 输出速度可配置，最高支持 1 MHz
3. 数据对齐方式仅支持右对齐

|  |  |
| --- | --- |
| DAC | 4. 特殊波形输出，支持三角波 |
|  |  |

1. 触发方式，支持软件触发与硬件触发
2. 支持 DMA 请求
3. 支持产生中断信号
4. frame 速率分频Control
5. bias Control，支持 static，1/2，1/3，1/4
6. duty Control，支持 static（1comx27seg），1/2（2comx26seg），1/3（3comx25seg），1/4（4comx24seg），1/8（8comx20seg）

|  |  |
| --- | --- |
| lcdctrl | 4. dead frame Control，支持 0-7 拍的 dead frame，用于调节对比度 |
|  |  |

1. blink Control，支持 1，2，3，4，8 或全部 pixel 的闪烁功能，闪烁频率可配置
2. 支持大小电流选择Control，包括状态机动态Control与register静态Control，状态机动态Control时可配置大电流维持拍数
3. 支持中断信号产生

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 8 / 302

 4. 电源供电 ASR6601 Reference Manual



**4. Power supply**

**4.1** **Power supply pins**

ASR6601 has several independent power supply pins. By separating these power supply pins, the mutual influence between the various parts on the SoC can be well avoided, especially the interference of the SoC number part on the performance of the RF transceiver when it is working.

The power supply interface of ASRR6601 is shown in Figure 4-1:

* **VDD\_IN**：RF transceiver PA Power supply.
* **VBAT\_RF**：Power supply for RF transceiver.
* **VDCC\_RF**：The power supply of some modules in the RF transceiver must be connected to the chip VREG pin on the PCB.
* **VBAT\_ESD0**：digital IO Power supply。
* **VBAT\_ESD1**：digital IO Power supply。
* **VBAT\_ESD2**：digital IO Power supply。
* **VBAT\_ESD3**：digital IO Power supply。
* **VBAT\_DCC**： analog circuits DCDC separate power supply。
* **VBAT\_ESD\_RTC**：RTC domain IO Power supply。
* **VBAT\_RTC**：simulation RTC Power supply。
* **VBAT\_ANA**：Analog Circuit Power supply。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| VDD IN | VBAT RF | | VDCC RF | | VBAT ESD0 | | VBAT ESD1VBATESD2VBATESD3 | | VBAT ESD RTC | VBAT ANA | | VBAT RTC | | VBAT DCC |  |
| VR\_PA | Regulator | |  | |  | |  | |  |  | |  | |  |  |
|  |  | |  | |  | |  |  | |  | |  |  |
| RFO | |  | |  | |  | | DIGITAL IO | | |  | | ANALOG | |  |
|  | |  | |  | |  | |  |  | |  | |  |  |
| RF Transceiver | | | | |  | |  | |  |  | |  | | DCDC |  |
|  |  | | **图 4-1** | | **低功耗广domain网 SoC 芯片供电接口** | | | | | | | | |  |  |

 VREG

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 9 / 302

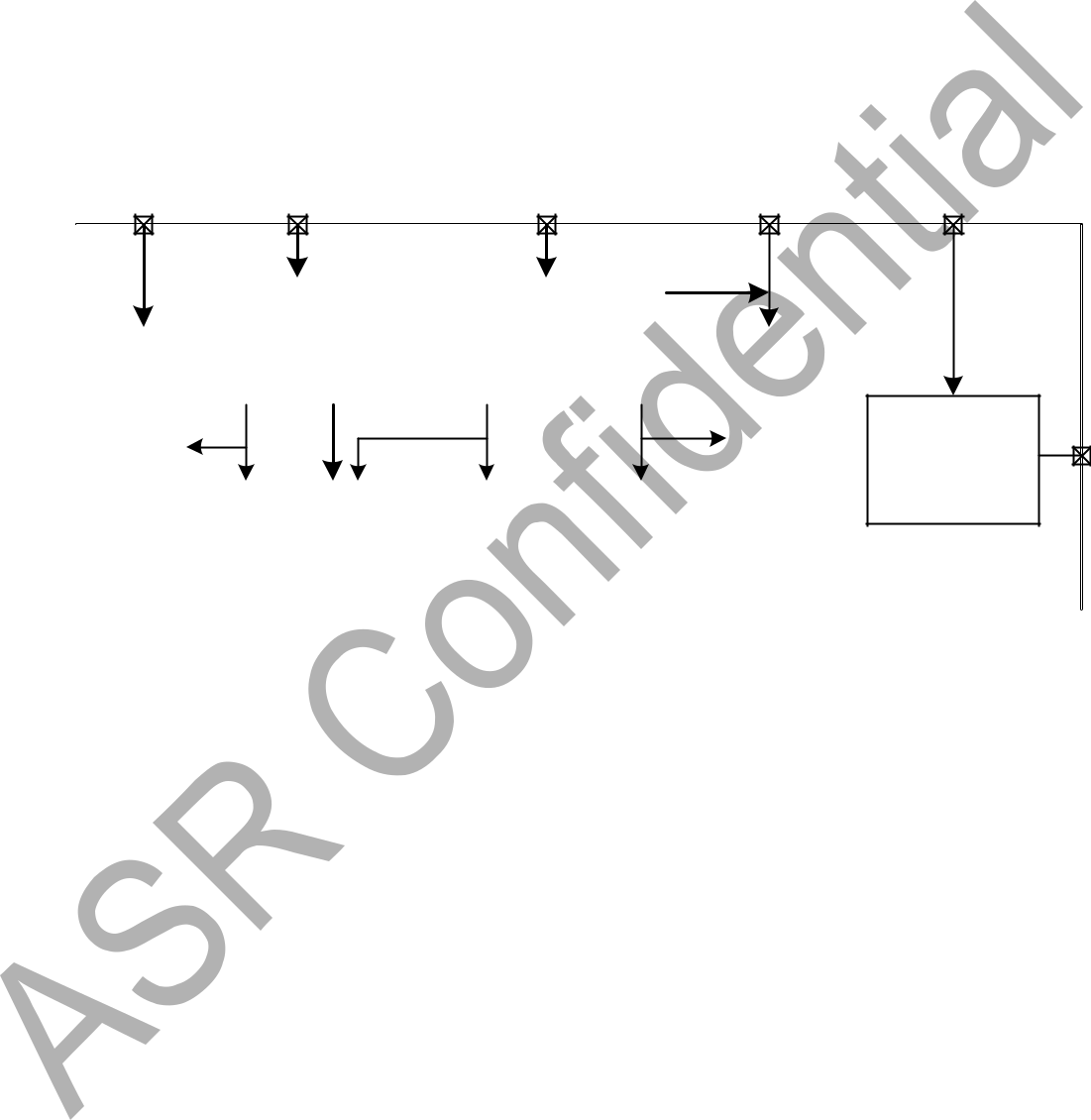
 4. 电源供电 ASR6601 Reference Manual



**4.2 Internal chip power architecture**

The internal power domain of the chip is mainly divided into main domain, aon domain and aonr domain. As shown in Figure 4-2, it should be noted that the power domain is divided according to function.

1. The main domain contains most of the number logic circuits of the SoC. In the commonly used low-power modes Standby and Stop3, the power of the main domain will be disconnected.
2. The name of aon domain comes from always on domain. As the name suggests, this part of the power supply is always available, even in low power mode. Most modules in aon domain can also work all the time.
3. aonr domain mainly includes modules that need to be maintained in Stop3 mode. These modules will be powered off in Standby mode. When the aonr domain modules maintain their current status without losing power, the system can quickly recover and continue to execute.



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| VBAT\_ESD0~3 | | | | | | | | VBAT\_ANA | | | | | |  | |  | | VBAT\_RTC | | |  | |  | | VBAT\_ESD\_RTC | | |  |
|  | |  | |  | |  | | 3.3V | |  | |  | |  | |  | | 3.3V | | |  | |  | | 3.3V | | |  |
| 3.3V | | | | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  |  |
|  |  | |  | |  | |  | |  | |  | | Interal LDOs | | | | | | |  | |  | |  | |  |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | |  | |  | |  |  |  |
|  | Main | |  | |  | | 1.2V | | 3.3V | | | |  | |  | | 1.2V | | | 1.2V | | | |  | | RTC |  |  |
|  |  | | | |  | |  | |  | |  |  | |  |  |
|  | IOs | |  | | | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | | IOs |  |  |
|  |  | |  | |  | | aonr | |  | | Flash | |  | |  | | main domain | |  | aon | | | |  | |  |  |  |
|  |  | |  | |  | | domain | |  | |  | |  | |  | domain | | | |  | |  |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  |  |

VBAT\_DCC

3.3V

DCDC

1.5V

VREG

**图 4-2 芯片内部的电源架构**

ocument version 1.5.0 Copyright © ASR Technology Co., Ltd. 10 / 302

 5. Security control ASR6601 Reference Manual



**5. Security control**

**5.1** **Simple configuration**

This section provides customers with commonly used simple configurations to meet their basic security needs.

**5.1.1** **Recoverable security configuration**

* Enabling Security

Configure Flashsecstart of OPTION1 to 0, Flashsecend to 0x3F, and configure the entire FLASHmain as the security zone domain.

After this operation is configured, SWD and non-secure domain codes cannot read or write FLASH\_main domain to protect code security. However, please note that codes running in non-secure SRAM domain or non-secure DMA will not be able to access FLASH\_main.

* Disable security  
    
   Configure FlashSecStart of OPTION1 to 0x3F, FlashSecEnd to 0, and configure the entire FLASH\_main as a non-security domain.

This operation will erase the entire FLASH\_main, and the program can be re-burned afterwards.

**5.1.2** **Irrecoverable security configuration**

Configure Option0 debuglevel to 2. This operation is irreversible, so the code must be mature and reliable.

**5.2** **Security control access**

Based on debuglevel rules, boot startup mode, exeonly access rules, wrprotect access rules, info area access rules, and security area domain access rules, the access rights from the four main interfaces cpucode, cpusw, dmac0, and dmac1 are controlled.

**5.2.1** **debuglevel rule**

debuglevel mainly affects the access rights of cpu\_code (boot from SRAM and boot from bootloader), cpu\_sw, dmac0  
  
and dmac1 to sensitive domains. Sensitive domains include flash\_main, flash\_info's otp area and retention SRAM.

*For more information, see «ASR6601 access Security control description».*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 11 / 302

 5. Security control ASR6601 Reference Manual



**5.2.2** **Safe and unsafe operations**

* Safe Operation

Operations initiated by the code in the security zone domain include:

* + Operations initiated by dmac0 configured as security zone domain
  + Operations initiated by the main flash zone configured as a security zone domain (CPU\_Code)
  + Operations initiated by system sram configured as a security zone domain (CPU\_Code)
* Unsafe operation

Operations initiated by the code in the non-security domain include:

* + Operations initiated by dmac0 in the non-security domain
  + Operation initiated by dmac1
  + Operations initiated by the debug interface (CPU\_SW)
  + Bootloader initiated operations (CPU\_Code)
  + Operations initiated by the main flash area configured as a non-secure domain (CPU\_Code)
  + Operations initiated by system sram configured as non-secure domain (CPU\_Code)

*For more information, see «ASR6601 access Security control description».*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 12 / 302

 6. Operating mode ASR6601 Reference Manual



**6. Operating modes**

ASR6601 low-power wide-domain network SoC mainly has several operating modes: Run, LpRun, Sleep, LpSleep, Stop0, Stop1, Stop2, Stop3, Standby. Each mode supports different functions, working modules and power consumption. End users can choose the corresponding operating modes according to their application scenarios. These modes will be introduced in detail below.

There are a few other points to note:

1. When entering low power mode, peripherals marked as O (excluding GPIO) are turned off by default. Functions needed in low power mode need to be turned on before entering low power mode.
2. When entering low power mode, in order to achieve the corresponding design power consumption value, you need to pay attention to the following points:
   1. Unused GPIOs need to be configured in ANALOG mode (high impedance).
   2. If the GPIO used is in input mode, you need to configure the pull-up and pull-down.
   3. If the peripheral is in output mode, the pull-up and pull-down of the connected peripheral must be configured according to the output level.
3. RCO48M/2 is used to enter and exit low power mode. If a non-RCO48M/2 clock is used before entering low power mode, it is necessary to switch to RCO48M/2. After exiting low power mode, you can switch back to the previously used clock.
4. If analog functions supported by RCO32K/XO32K and other low-power devices are needed in low-power mode, they need to be enabled before entering low-power mode.
5. The clocks other than RCO48M/RCO32K/XO32K and other analog function modules need to be turned off by software before entering low power consumption.

**Table 6-1 Working status of different modules in each Operating mode**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Run | LpRun | Sleep | LpSleep | Stop0 | Stop1 | Stop2 | Stop3 | Standby | Wakeup | 2-Stop0 | Wakeup | Stop3 | Wakeup | Standby |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| cpu | Y | Y | NA | NA | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| efc | Y | Y | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| sysramc | Y | Y | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| retramc | Y | Y | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| i2s | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| uart0 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| uart1 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| uart2 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| uart3 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ssp0 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ssp1 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ssp2 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| qspi | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| i2c0 | O | O | O | O | NA | NA | NA | NA | NA |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 13 / 302

 6. Operating modes ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  | | Run | | LpRun | | Sleep | | LpSleep | | Stop0 | | Stop1 | | Stop2 | | Stop3 | | Standby | | Wakeup | | 2-Stop0 | Wakeup | | Stop3 | Wakeup | | Standby |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | i2c1 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | i2c2 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | adcctrl |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | dacctrl |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | gptim0 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | gptim1 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | gptim2 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | gptim3 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | basictim0 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | basictim1 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | wwdg |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | crc |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | sec |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | sac |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | mpu |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | dmac0 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | dmac1 |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | syscfg |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | afec |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | lorac |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | gpio |  | | O | | O | | O | | O | | NA | | NA | | NA | | GPIO0~55: Y3 | | GPIO0~55: NA3 | | Y | | | Y | | |  | |  |  |
|  |  | | GPIO56~63:Y4 | | GPIO56~63: Y4 | |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  |  | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | rcc |  | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | pwr |  | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | lpuart | |  | | O | | O | | O | | O | | O | | O | | O | | O (RX only) | | O (RX only) | | Y | | | Y | | | Y | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | lcdctrl |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | lptim0 | |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y | | | Y | | | Y | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | lptim1 | |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y | | | Y | | | Y | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | iwdg | |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y1 | | | Y | | | Y | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | rtc | |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y | | | Y | | | Y | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | ADC |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | RCO48M |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | XO24M |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | PLL48M |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | RNG |  | | O | | O | | O | | O | | NA | | NA | | NA | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | DAC |  | | O | | O | | O | | O | | O3 | | O3 | | O3 | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | OPA |  | | O | | O | | O | | O | | O | | O | | O | | NA | | NA | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | COMP | |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y | | | Y | | | Y | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
|  | VD | |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y | | | Y | | | Y | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  | RCO3.6M |  | | O | | O | | O | | O | | O | | O | | O | | O | | O | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 14 / 302

 6. Operating modes ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Run | | LpRun | | Sleep | | LpSleep | | Stop0 | | Stop1 | | Stop2 | | Stop3 | | Standby | | Wakeup | | 2-Stop0 | Wakeup | | Stop3 | Wakeup | | Standby |  |
|  |  | |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
| RCO32K | O | | O | | O | | O | | O | | O | | O | | O | | O | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
| XO32K | O | | O | | O | | O | | O | | O | | O | | O | | O | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
| LCD | O | | O | | O | | O | | O | | O | | O | | O | | O | |  | |  |  | |  |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
| BOR | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y2 | | | Y2 | | | Y2 | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
| FLASH | Y | | Y | | Y | | Y | | SLM | | SLM | | SLM | | PDM | | PDM | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
| SRAM | Y | | Y | | Y | | Y | | NA | | NA | | NA | | NA1 | | NA2 | |  | |  |  | |  |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |
| IO | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | | Y | |  | |  |  | |  |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | |  | | |  | |  |
| RF | | O | | O | | O | | O | | O | | O | | O | | O | | O | | Y | | | Y | | | Y | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  |  | |  |  |

Notes in the table and the meaning of some numbers:

* **stop0-2**：Supports all GPIO wake-up, which is configurable; supports all GPIO state retention.
* **stop3**：Supports 56 Main domain GPIO wake-up, which is configurable; supports retaining the status of all GPIOs.
* **standby**：Supports 8 AON domain GPIO state retention, Main domain GPIO can only be used for analog functions (LCD, comp); does not support GPIO wake-up. LPUART only supports RX in Standby/Stop3.
* **Y**：normal work.
* **O**：Software configurable.
* **O3**：Data update is not supported, but existing levels can still be output.
* **Y1**：Generate system reset bit to indirectly wake up the system.
* **Y2**：Generate BOR reset bit to indirectly wake up the system.
* **Y3**: Maintain the state before entering low power consumption and support wake-up function.
* **Y4**: IO MUX Function=1 Function NA; other reuse functions work normally
* **NA1**：ret，alg Content is reserved. Sys can configure whether the content is reserved.
* **NA2**：ret content reserved.
* **NA3**: Analog Output Only

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 15 / 302

 6. Operating modes ASR6601 Reference Manual



**6.1** **Run**

**6.1.1** **Entry and Exit Conditions**

Default Operating modes after power-on or system reset. You can enter Sleep, LpRun, Stop0, Stop1, Stop2, Stop3, Standby from Run. You can return to Run from Sleep, LpRun, Stop0, Stop1, Stop2, Stop3, Standby. For specific mode switching conditions, please see the switching description of other power consumption modes.

**6.1.2** **Wake-up source**

N/A

**6.2** **LpRun**

**6.2.1** **Entry and Exit Conditions**

You can enter LpRun from Run. The entry conditions are as follows. The software switches the working state of LDO. Before switching LDO, all high-speed clocks must be turned off and the CPU runs at 32K clock.  
  
The process of entering LpRun to configure register to switch LDO is as follows:  
  
1: 0x05 address register [3:3] is configured as all 1, and other bits remain unchanged  
  
2: 0x06 address register [21:20] is configured as all 1, and other bits remain unchanged  
  
You can return to Run from LpRun. The exit conditions are as follows. The software switches the working state of LDO. The high-speed clock can be turned on only after the switch is completed.  
  
The process of exiting LpRun and returning to Run is as follows:  
  
1: 0x06 address register [21:20] is configured as all 0, and other bits remain unchanged  
  
2: 0x05 address register [3:3] is configured as all 0, and other bits remain unchanged

**6.2.2** **Wake-up source**

N/A

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 16 / 302

 6. Operating modes ASR6601 Reference Manual



**6.3** **Sleep**

**6.3.1** **Entry and Exit Conditions**

You can enter Sleep from Run. The entry condition is: CPU executes wfi/wfe instruction (SLEEPDEEP=0), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=0).  
  
You can return to Run from Sleep. The exit condition is: if wfi enters, interrupt wakeup is supported; if wfe enters, event wakeup is supported.

***Note：Because there is no dedicated event wake-up signal, SVONPEND=1 is adopted and the corresponding NVIC is turned off to achieve it. At this time, the interrupt signal is used for event wake-up.***

**6.3.2** **Wake-up source**

Interrupt signals of each module

**6.4** **LpSleep**

**6.4.1** **Entry and Exit Conditions**

LpSleep can be entered from LpRun, and the entry condition is: CPU executes wfi/wfe instruction (SLEEPDEEP=0), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=0). LpSleep can return to LpRun, and the exit condition is: if wfi enters, interrupt wakeup is supported, and if wfe enters, event wakeup is supported.

***Note：There is no dedicated event wake-up signal. It is implemented by setting SVONPEND=1 and turning off the corresponding NVIC. In this case, the interrupt signal is used for event wake-up.***

**6.4.2** **Wake-up source**

Interrupt signals of each module.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 17 / 302

 6. Operating modes ASR6601 Reference Manual



**6.5** **Stop0**

**6.5.1** **Entry and Exit Conditions**

You can enter Stop0 from Run. The entry conditions are: configure lp\_mode to 2’b00, CPU executes wfi/wfe instruction (SLEEPDEEP=1), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=1).  
  
You can return to Run from Stop0. The exit conditions are: if wfi enters, interrupt wakeup is supported, and if wfe enters, event wakeup is supported.  
  
The pwr module summarizes the wake-up source status and outputs the pwr\_wakeup\_int interrupt signal and the pwr\_wakeup\_event event signal to the CPU for wakeup.

**6.5.2** **Wake-up source**

* GPIO00-GPIO63 can be used for wake-up. Four IOs form a group. Each IO in a group has a wake-up enable configuration. A group can generate a wake-up signal. Each IO in a group supports the selection of high-level wake-up or low-level wake-up. The wake-up sources other than GPIO are listed below.
* PVM alarm
* VD alarm
* TD alarm
* LD alarm
* Comparators
* LPTIM0/1
* FD\_32K alarm
* Wakeup/Tamper IO
* RTC Alarm
* RTC CYC Timer
* LPUART Receiving status
* LORA BUSY
* LORA IRQ

**6.6** **Stop1**

**6.6.1** **Entry and Exit Conditions**

You can enter Stop1 from Run, and the entry conditions are: configure lp\_mode to 2’b01, CPU executes wfi/wfe instructions (SLEEPDEEP=1), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=1);  
  
You can return to Run from Stop1, and the exit conditions are: if wfi enters, interrupt wakeup is supported, and if wfe enters, event wakeup is supported.  
  
The pwr module summarizes the wake-up source status and outputs the pwr\_wakeup\_int interrupt signal and the pwr\_wakeup\_event event signal to the CPU for wakeup.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 18 / 302

 6. Operating modes ASR6601 Reference Manual



**6.6.2** **Wake-up source**

* GPIO00-GPIO63 can be used for wake-up. Four IOs form a group. Each IO in a group has a wake-up enable configuration. A group can generate a wake-up signal. Each IO in a group supports the selection of high-level wake-up or low-level wake-up. The wake-up sources other than GPIO are listed below.
* PVM alarm
* VD alarm
* TD alarm
* LD alarm
* Comparators
* LPTIM0/1
* FD\_32K alarm
* Wakeup/Tamper IO
* RTC Alarm
* RTC CYC Timer
* LPUART Receiving status
* LORA BUSY
* LORA IRQ

**6.7** **Stop2**

**6.7.1** **Entry and Exit Conditions**

You can enter Stop2 from Run, and the entry conditions are: configure lp\_mode to 2’b10, CPU executes wfi/wfe instructions (SLEEPDEEP=1), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=1);  
  
You can return to Run from Stop2, and the exit conditions are: if wfi enters, interrupt wakeup is supported, and if wfe enters, event wakeup is supported;  
  
The pwr module summarizes the wake-up source status and outputs the pwr\_wakeup\_int interrupt signal and the pwr\_wakeup\_event event signal to the CPU for wakeup.

**6.7.2** **Wake-up source**

* GPIO00-GPIO63 can be used for wake-up. Four IOs form a group. Each IO in a group has a wake-up enable configuration. A group can generate a wake-up signal. Each IO in a group supports the selection of high-level wake-up or low-level wake-up. The wake-up sources other than GPIO are listed below.
* PVM alarm
* VD alarm
* TD alarm
* LD alarm
* Comparators
* LPTIM0/1
* FD\_32K alarm
* Wakeup/Tamper IO
* RTC Alarm
* RTC CYC Timer
* LPUART Receiving status
* LORA BUSY
* LORA IRQ

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 19 / 302

 6. Operating modes ASR6601 Reference Manual



**6.8** **Stop3**

**6.8.1** **Entry and Exit Conditions**

You can enter Stop3 from Run. The entry conditions are: configure lp\_mode to 2’b11, lp\_mode\_ext to 1’b1, CPU executes wfi/wfe instruction (SLEEPDEEP=1), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=1);  
  
You can return to Run from Stop3. The exit conditions are: a Stop3 wake-up event occurs.

**6.8.2** **Wake-up source**

* GPIO00-GPIO55 can be used for wake-up. Four IOs form a group. One IO can be selected for wake-up in each group. Each group generates a wake-up signal. Each group supports high-level wake-up or low-level wake-up. The wake-up sources other than GPIO are listed below.
* PVM alarm
* VD alarm
* Comparators
* LPTIM0/1
* FD\_32K alarm
* Wakeup/Tamper IO
* RTC Alarm
* RTC CYC Timer
* LPUART Receiving status
* LORA BUSY
* LORA IRQ
* IWDG 超时

**6.9** **Standby**

**6.9.1** **Entry and Exit Conditions**

The state can be entered from Run state to Standby state. The entry condition is: configure lp\_mode to 2’b11, lp\_mode\_ext to 1’b0, CPU executes wfi/wfe instruction (SLEEPDEEP=1), or isr returns (SLEEPONEXIT=1 and SLEEPDEEP=1); the state can be returned from Standby state to Run state. The exit condition is: a Standby wake-up event occurs.

***Note：***

1. *When the DCDC and VBAT power supplies are switched, Standby will exit immediately after entering, and no wake-up event is required.*
2. *When dbg\_standby=1, DCDC and VBAT power switching cannot be performed. If both are valid, dbg\_standby takes precedence.*

**6.9.2** **Wake-up source**

|  |  |  |  |
| --- | --- | --- | --- |
|  | PVM alarm |  | RTC Alarm |
|  | VD alarm |  | RTC CYC Timer |
|  | Comparators |  | LPUART Receiving status |
|  | LPTIM0/1 |  | LORA BUSY |
|  | FD\_32K alarm |  | LORA IRQ |
|  | Wakeup/Tamper IO |  | IWDG 超时 |

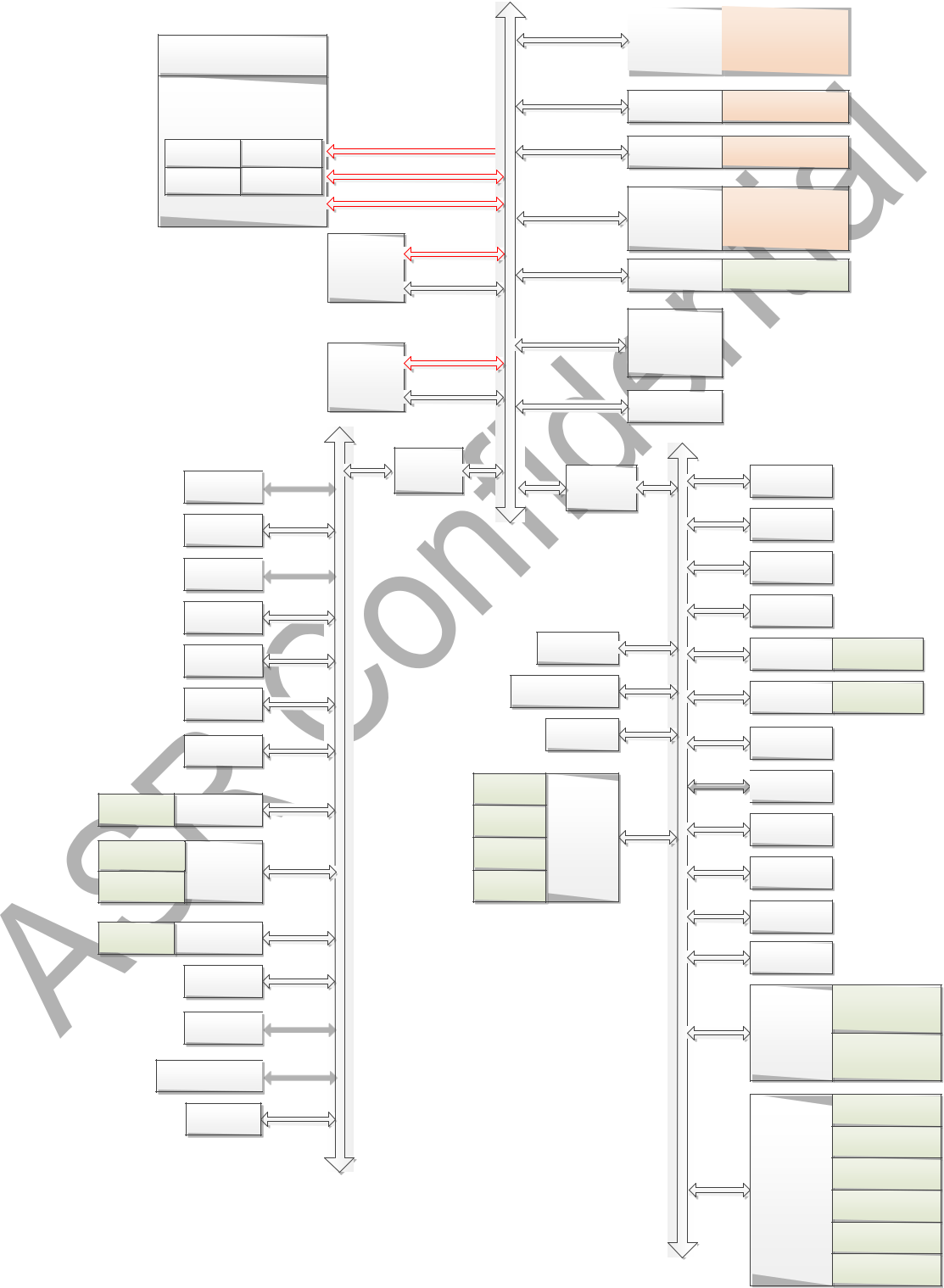
Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 20 / 302

 7. System Configuration ASR6601 Reference Manual



**7. System Configuration**

**7.1** **System structure**



SWD

ARM STAR

SYSTICK MPU

FPU NVIC

DMAC0

DMAC1

AHB to

UART2  APB1

UART3

LPUART 

SSP1

SSP2

I2C1

I2C2

|  |  |
| --- | --- |
| EFC | FLASH |
|  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | SYSRAMC | SRAM |  |  |
|  | RETRAMC | SRAM |  |  |
|  | SAC | SRAM |  |  |
| AHB | RNGC | RNG IP |  |  |
|  |  |  |
|  | QSPI |  |  |  |
|  | CRC |  |  |  |
|  | AHB to | UART0 |  |  |
|  | APB0 |  |  |  |
|  |  | UART1 |  |  |
|  |  | SSP0 |  |  |
|  |  | I2C0 |  |  |
|  | LPTIM | LCDCTRL | LCD IP |  |
|  |  |  |
|  | BASICTIM0 | LORAC | LORA IP |  |
|  |  |  |
|  | WWDG | GPTIM0 |  |  |
|  |  |  |  |

|  |  |  |  |
| --- | --- | --- | --- |
| ADC IP | ADCCTRL | APB1 |  |
|  |  |
| COMP IP | AFEC |  |  |
| OPA IP |  |  |
|  |  |  |
| DAC IP | DACCTRL |  |  |
|  | GPTIM1 |  |  |

GPTIM3 

BASICTIM1 

IWDG

TD IP

LD IP

VD IP

FD IP

SEC

 GPTIM2

LPTIM

|  |
| --- |
| APB0 |

RTC

I2S

SYSCFG

LDO12 IP

PWR

LPLDO IP

RCO48M IP

RCO32K IP

XO24M IP

RCC

XO32K IP

PLL IP

BOR IP

**Figure 7-1 System structure diagram**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 21 / 302

 7. System Configuration ASR6601 Reference Manual



**7.1.1** **Arm China STAR-MC1 microprocessor**

The Arm China STAR-MC1 microprocessor includes three master buses, including icode AHB bus, dcode AHB bus and system AHB bus, which are used to perform program access, data access and register access.

**7.1.2** **DMAC0**

DMAC0 includes a master bus that can be used to assist the CPU in completing data movement operations.

**7.1.3** **DMAC1**

DMAC1 includes a master bus that can be used to assist the CPU in completing data movement operations.

**7.1.4** **Master**

*The address ranges accessible by each master bus are shown in the following table. (1) Indicates that it is accessible only when booting from the bootloader.*

**Table 7-1 Master bus access range**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Base address |  |  | End address |  |  | Functional description |  |  | Executable |  |  | icode |  |  | dcode |  |  | system |  | |  | dmac0 |  |  | dmac1 |  |  |
|  |  |  |  |  |  |  |  |  | access |  |  | access |  |  | access |  | |  | access |  |  | access |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0xE0100000 | | |  | 0xFFFFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0xE0000000 | | |  | 0xE00FFFFF | |  | ARM STAR peripherals | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0xA0000000 | | |  | 0xDFFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x70000000 | | |  | 0x9FFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  | |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x60000000 | | |  | 0x6FFFFFFF | |  | Qspi Flash Bank | |  | Y | |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x50000000 | | |  | 0x5FFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x40030000 | | |  | 0x4FFFFFFF | |  | AHB1 SFR | |  |  |  |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x40020000 | | |  | 0x4002FFFF | |  | AHB0 SFR | |  |  |  |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x40010000 | | |  | 0x4001FFFF | |  | APB1 SFR | |  |  |  |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x40000000 | | |  | 0x4000FFFF | |  | APB0 SFR | |  |  |  |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x30000400 | | |  | 0x3FFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x30000000 | | |  | 0x300003FF | |  | Retention SRAM | |  |  |  |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x20010000 | | |  | 0x2FFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  | |  |  |  |  |  |  |  |  | | |  |  | |  |  | |  |
| 0x20000000 | | |  | 0x2000FFFF | |  | System SRAM | |  | Y | |  |  |  |  |  |  |  | Y | | |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x18010000 | | |  | 0x1FFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  |  | |  |  |  |  |  |  |  |
| 0x18000000 | | |  | 0x1800FFFF | |  | System SRAM | |  | Y | |  | Y | |  | Y | |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x10004000 | | |  | 0x17FFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  | |  |  |  | |  |  |  |  |  |  |  |
| 0x10003000 | | |  | 0x10003FFF | |  | Option Bytes | |  |  |  |  |  |  |  | Y | |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  | |  |  |  | |  |  |  |  |  |  |  |
| 0x10002000 | | |  | 0x10002FFF | |  | Factory Bytes | |  |  |  |  |  |  |  | Y | |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  | |  |  |  | |  |  |  |  |  |  |  |
| 0x10001C00 | | |  | 0x10001FFF | |  | OTP | |  |  |  |  |  |  |  | Y | |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  |  |  |  | |  |  | |  |  |  | |  |  |  |  |  |  |  |
| 0x10000000 | | |  | 0x10001BFF | |  | BootLoader | |  |  |  |  | Y**(1)** | |  | Y**(1)** | |  |  |  | |  |  |  |  |  |  |  |
| 0x08040000 | | |  | 0x0FFFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  | | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  |  | |  |  | |  |
| 0x08000000 | | |  | 0x0803FFFF | |  | Flash Main | |  | Y | |  | Y | |  | Y | |  |  | |  |  | Y | |  | Y | |  |
|  | | |  |  | |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x00040000 | | |  | 0x07FFFFFF | |  | Reserved | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |
| 0x00000000 | | |  | 0x0003FFFF | |  | Flash Main/BootLoader/ | |  | Y | |  | Y | |  | Y | |  |  |  | |  |  |  |  |  |  |  |
|  |  | System SRAM**(1)** | |  |  |  |  |  |  | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | |  |  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 22 / 302

 7. System Configuration ASR6601 Reference Manual



**7.2** **Memory Map**

Memory Map table is shown below. Bytes data is stored in little-endian format, that is, low-bit Byte data is stored at low addresses.

**Table 7-2 Memory Map**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Memory region |  |  | Base address |  | End address |  | Functional description |  | Address range |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  | SYSTEM |  |  | 0xE0100000 |  | 0xFFFFFFFFF |  | Reserved |  |  |  |
|  | PPB |  |  | 0xE0000000 |  | 0xE00FFFFF |  | ARM STAR peripherals |  |  |  |
|  | EXT PERIPHERAL |  |  | 0xA0000000 |  | 0xDFFFFFFF |  | Reserved |  |  |  |
|  | EXT SRAM |  |  | 0x70000000 |  | 0x9FFFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 0x60000000 |  | 0x6FFFFFFF |  | Qspi Flash Bank |  | 256MB |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 0x50000000 |  | 0x5FFFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x40030000 |  | 0x4FFFFFFF |  | AHB1 SFR |  |  |  |
|  |  | |  |  |  |  |  |  |  |  |  |
|  | PERIPHERAL |  |  | 0x40020000 |  | 0x4002FFFF |  | AHB0 SFR |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x40010000 |  | 0x4001FFFF |  | APB1 SFR |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x40000000 |  | 0x4000FFFF |  | APB0 SFR |  |  |  |
|  |  |  |  | 0x30000400 |  | 0x3FFFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  | SRAM |  |  | 0x30000000 |  | 0x300003FF |  | Retention SRAM |  | 1KB |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 0x20010000 |  | 0x2FFFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x20000000 |  | 0x2000FFFF |  | System SRAM |  | 64KB |  |
|  |  |  |  | 0x18010000 |  | 0x1FFFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x18000000 |  | 0x1800FFFF |  | System SRAM |  | 64KB |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x10004000 |  | 0x17FFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x10003000 |  | 0x10003FFF |  | Option Bytes |  | 4KB |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x10002000 |  | 0x10002FFF |  | Factory Bytes |  | 4KB |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  | CODE |  |  | 0x10001C00 |  | 0x10001FFF |  | OTP |  | 1KB |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 0x10000000 |  | 0x10001BFF |  | BootLoader |  | 7KB |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x08040000 |  | 0x0FFFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x08000000 |  | 0x0803FFFF |  | Flash Main |  | 256KB |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x00040000 |  | 0x07FFFFFF |  | Reserved |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 0x00000000 |  | 0x0003FFFF |  | Flash Main/BootLoader/ |  | 256KB |  |
|  |  |  |  |  |  | System SRAM**(1)** |  |  |
|  |  |  |  |  |  |  |  |  |  |  |

1. *The memory corresponding to the address 0x00000000 is determined by the boot method.*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 23 / 302

 7. System Configuration ASR6601 Reference Manual



**7.2.1** **AHB0 SFR**

The address mapping inside AHB0 SFR is shown in the table below.

**Table 7-3 AHB0 SFR internal address mapping**

|  |  |  |  |
| --- | --- | --- | --- |
| Base address | End address | Functional description | Address range |
|  |  |  |  |
| 0x40025000 | 0x4002FFFF | Reserved |  |
|  |  |  |  |
| 0x40024000 | 0x40024FFF | DMAC1 | 4KB |
|  |  |  |  |
| 0x40023000 | 0x40023FFF | DMAC0 | 4KB |
|  |  |  |  |
| 0x40022000 | 0x40022FFF | CRC | 4KB |
|  |  |  |  |
| 0x40021000 | 0x40021FFF | QSPI | 4KB |
|  |  |  |  |
| 0x40020000 | 0x40020FFF | EFC | 4KB |
|  |  |  |  |

**7.2.2** **AHB1 SFR**

The address mapping inside AHB1 SFR is shown in the table below.

**Table 7-4 AHB1 SFR internal address mapping**

|  |  |  |  |
| --- | --- | --- | --- |
| Base address | End address | Functional description | Address range |
|  |  |  |  |
| 0x40034000 | 0x4003FFFF | Reserved |  |
|  |  |  |  |
| 0x40033000 | 0x40033FFF | RNGC | 4KB |
|  |  |  |  |
| 0x40030000 | 0x40032FFF | SAC | 12KB**(1)(2)** |

1. *The lower 8KB is ARAM space, and the upper 4KB is register space.*
2. *ARAM space supports only word access.*

**7.2.3** **APB0 SFR**

The address mapping inside APB0 SFR is shown in the table below.

**Table 7-5 APB0 SFR internal address mapping**

|  |  |  |  |
| --- | --- | --- | --- |
| Base address | End address | Functional description | Address range |
|  |  |  |  |
| 0x4000f000 | 0x4000FFFF | SEC | 4KB |
|  |  |  |  |
| 0x4000e000 | 0x4000EFFF | RTC | 4KB |
|  |  |  |  |
| 0x4000d800 | 0x4000DFFF | LPTIM1 | 2KB |
|  |  |  |  |
| 0x4000d000 | 0x4000D7FF | LPTIM0 | 2KB |
|  |  |  |  |
| 0x4000c000 | 0x4000CFFF | BASICTIM0 | 4KB |
|  |  |  |  |
| 0x4000b000 | 0x4000BFFF | GPTIM2 | 4KB |
|  |  |  |  |
| 0x4000a000 | 0x4000AFFF | GPTIM0 | 4KB |
|  |  |  |  |
| 0x40009000 | 0x40009FFF | LORAC | 4KB |
|  |  |  |  |
| 0x40008000 | 0x40008FFF | AFEC | 4KB |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 24 / 302

 7. System Configuration ASR6601 Reference Manual



|  |  |  |  |
| --- | --- | --- | --- |
| Base address | End address | Functional description | Address range |
|  |  |  |  |
| 0x40007000 | 0x40007FFF | I2C0 | 4KB |
|  |  |  |  |
| 0x40006000 | 0x40006FFF | SSP0 | 4KB |
|  |  |  |  |
| 0x40005000 | 0x40005FFF | LPUART | 4KB |
|  |  |  |  |
| 0x40004000 | 0x40004FFF | UART1 | 4KB |
|  |  |  |  |
| 0x40003000 | 0x40003FFF | UART0 | 4KB |
|  |  |  |  |
| 0x40002000 | 0x40002FFF | I2S | 4KB |
|  |  |  |  |
| 0x40001800 | 0x40001FFF | PWR | 2KB |
|  |  |  |  |
| 0x40001000 | 0x400017FF | SYSCFG | 2KB |
|  |  |  |  |
| 0x40000000 | 0x40000FFF | RCC | 4KB |
|  |  |  |  |

**7.2.4** **APB1 SFR**

The address mapping inside APB1 SFR is shown in the table below.

**Table 7-6 APB1 SFR internal address mapping**

|  |  |  |  |
| --- | --- | --- | --- |
| Base address | End address | Functional description | Address range |
|  |  |  |  |
| 0x4001fc00 | 0x4001FFFF | PortD | 1KB |
|  |  |  |  |
| 0x4001f800 | 0x4001FBFF | PortC | 1KB |
|  |  |  |  |
| 0x4001f400 | 0x4001F7FF | PortB | 1KB |
|  |  |  |  |
| 0x4001f000 | 0x4001F3FF | PortA | 1KB |
|  |  |  |  |
| 0x4001e000 | 0x4001EFFF | WWDG | 4KB |
|  |  |  |  |
| 0x4001d000 | 0x4001DFFF | IWDG | 4KB |
|  |  |  |  |
| 0x4001c000 | 0x4001CFFF | BASICTIM1 | 4KB |
|  |  |  |  |
| 0x4001b000 | 0x4001BFFF | GPTIM3 | 4KB |
|  |  |  |  |
| 0x4001a000 | 0x4001AFFF | GPTIM1 | 4KB |
|  |  |  |  |
| 0x40019000 | 0x40019FFF | DACCTRL | 4KB |
|  |  |  |  |
| 0x40018000 | 0x40018FFF | LCDCTRL | 4KB |
|  |  |  |  |
| 0x40017000 | 0x40017FFF | ADCCTRL | 4KB |
|  |  |  |  |
| 0x40016000 | 0x40016FFF | Reserved | 4KB |
|  |  |  |  |
| 0x40015000 | 0x40015FFF | I2C2 | 4KB |
|  |  |  |  |
| 0x40014000 | 0x40014FFF | I2C1 | 4KB |
|  |  |  |  |
| 0x40013000 | 0x40013FFF | SSP2 | 4KB |
|  |  |  |  |
| 0x40012000 | 0x40012FFF | SSP1 | 4KB |
|  |  |  |  |
| 0x40011000 | 0x40011FFF | UART3 | 4KB |
| 0x40010000 | 0x40010FFF | UART2 | 4KB |

**7.3** **SRAM**

The SRAM in the system includes system SRAM, retention SRAM and SAC SRAM. Among them, SAC SRAM only supports word access, while system SRAM and retention SRAM support word, halfword and byte access.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 25 / 302

 7. System Configuration ASR6601 Reference Manual



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **7.4** | **Startup method** | | | | | | | | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | The startup mode is determined by the IO level and the Flash storage data, see the table below for details. | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |  | |  |  |
|  |  | |  | |  |  | |  | |  | |  | |  | | **Table 7-7 SoC startup mode configuration table** | | | | | | | | | | | | | | | | | | | | | | | |  | |  |  |
|  |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | | DEBUG\_ |  | |  | | USE\_FLASH\_ | |  | |  | | FLASH\_ | |  | |  | | BOOT0 | |  | |  | | FLASH\_ | |  | |  | | MAIN\_FLASH\_ | |  | |  | | Boot Config | |  |  |
|  |  | |  | | LEVEL |  | |  | | BOOT0 | |  | |  | | BOOT0 | |  | |  | | PIN | |  | |  | | BOOT1 | |  | |  | | EMPTY | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | | 2 | | |  | |  | | X | | | |  | | X | | | |  | | X | | | |  | | X | | | |  | | X | | | |  | | Boot from Flash Main | |  |
|  | |  | |  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | |  |
|  | |  | | <2 | | |  | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | Boot from Flash Main | |  |
|  | |  | |  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | |  |
|  | |  | | <2 | | |  | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | X | | | | 1 | | | |  | |  | | Boot from Flash Bootloader | |  |
|  | |  | |  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | |  |
|  | |  | | <2 | | |  | | 0 | | | |  | |  | | X | | | | 1 | | | |  | | 1 | | | |  | |  | | X | | | |  | | Boot from Flash Bootloader | |  |
|  | |  | |  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | |  |
|  | |  | | <2 | | |  | | 0 | | | |  | |  | | X | | | | 1 | | | |  | | 0 | | | |  | |  | | X | | | |  | | Boot from System SRAM | |  |
|  | |  | |  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | | | |  | | | |  | |  | |  | |  |
|  | |  | | <2 | | |  | | 1 | | | |  | | 1 | | | |  | |  | | X | | | |  | | X | | | | 0 | | | |  | |  | | Boot from Flash Main | |  |
|  | |  | |  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | | | |  | | | |  | |  | |  | |  |
|  | |  | | <2 | | |  | | 1 | | | |  | | 1 | | | |  | |  | | X | | | |  | | X | | | | 1 | | | |  | |  | | Boot from Flash Bootloader | |  |
|  | |  | |  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | |  | |  |
|  | |  | | <2 | | |  | | 1 | | | |  | | 0 | | | |  | |  | | X | | | | 1 | | | |  | |  | | X | | | |  | | Boot from Flash Bootloader | |  |
|  | |  | |  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | |  | |  |
|  | |  | | <2 | | |  | | 1 | | | |  | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | X | | | |  | | Boot from System SRAM | |  |
|  |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |

Among them, DebugLevel, UseFlashBoot0, FlashBoot0, and FlashBoot1 are Flash info area data, which can be modified by the application as needed. MainFlashEmpty is determined by the 0 address data of the Flash Main area. If it is 0xFFFFFFFF, MainFlashEmpty is 1, otherwise it is 0. BOOT0 pin is determined by the GPIO02 level.

The startup mode is determined when the chip is powered on, exits Standby, or the system is reset, and is automatically determined by hardware.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 26 / 302

 7. System Configuration ASR6601 Reference Manual



**7.5** **System Configuration related register description**

register Base address：0x40001000

**Table 7-8 SYSCFG register list**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| SYSCFG\_CR0 | 0x000 | Controlregister 0，DMA Hardware handshakeControl |
|  |  |  |
| SYSCFG\_CR1 | 0x004 | Controlregister 1，DMA Hardware handshakeControl |
|  |  |  |
| SYSCFG\_CR2 | 0x008 | Controlregister 2 |
|  |  |  |
| SYSCFG\_CR3 | 0x00C | Controlregister 3，Low power Debug connection Control |
|  |  |  |
| SYSCFG\_CR4 | 0x010 | Controlregister 4 |
|  |  |  |
| SYSCFG\_CR5 | 0x014 | Controlregister 5 |
|  |  |  |
| SYSCFG\_CR6 | 0x018 | Controlregister 6，Safety lockControl |
|  |  |  |
| SYSCFG\_CR7 | 0x01C | Controlregister 7，Safety lockControl |
|  |  |  |
| SYSCFG\_CR8 | 0x020 | Controlregister 8，QSPI Storing Keys |
|  |  |  |
| SYSCFG\_CR9 | 0x024 | Controlregister 9，QSPI REMAP Control |
|  |  |  |
| SYSCFG\_CR10 | 0x028 | Controlregister 10 |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 27 / 302

 7. System Configuration ASR6601 Reference Manual



**7.5.1** **SYSCFG\_CR0**

Offset：0x000

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-30** | **29-24** | **23-22** | **21-16** |
| RESERVED | DMAC0\_HANDSHAKE0\_SEL | RESERVED | DMAC0\_HANDSHAKE1\_SEL |
|  |  |  |  |
| r | r/w | r | r/w |
|  |  |  |  |
| **15-14** | **13-8** | **7-6** | **5-0** |
| RESERVED | DMAC0\_HANDSHAKE2\_SEL | RESERVED | DMAC0\_HANDSHAKE3\_SEL |
|  |  |  |  |
| r | r | r | r/w |
|  |  |  |  |

**Bit 31-30 RESERVED：**Reserved and cannot be modified.

**Bit 29-24 DMAC0\_HANDSHAKE0\_SEL：**DMAC0 HANDSHAKE0 source selection, see *Table 7-9 DMA Request MUX.*

**Bit 23-22 RESERVED：**Reserved and cannot be modified.

**Bit 21-16 DMAC0\_HANDSHAKE1\_SEL：**DMAC0 的 HANDSHAKE1 来源选择。请查询[*表 7-9 DMA*](#page57)

[*请求 MUX*](#page57)。

**Bit 15-14 RESERVED：**Reserved and cannot be modified.

**Bit 13-8 DMAC0\_HANDSHAKE2\_SEL：**DMAC0 的 HANDSHAKE2 来源选择，请查询[*表 7-9 DMA*](#page57)

[*请求 MUX*](#page57)。

**Bit 7-6 RESERVED：**Reserved and cannot be modified.

**Bit 5-0 DMAC0\_HANDSHAKE3\_SEL：**DMAC0 的 HANDSHAKE3 来源选择，请查询[*表 7-9 DMA*](#page57)

[*请求 MUX*](#page57)。

**7.5.2** **SYSCFG\_CR1**

Offset：0x004

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-30** | **29-24** | **23-22** | **21-16** |
| RESERVED | DMAC1\_HANDSHAKE0\_SEL | RESERVED | DMAC1\_HANDSHAKE1\_SEL |
|  |  |  |  |
| r | r/w | r | r/w |
|  |  |  |  |
| **15-14** | **13-8** | **7-6** | **5-0** |
| RESERVED | DMAC1\_HANDSHAKE2\_SEL | RESERVED | DMAC1\_HANDSHAKE3\_SEL |
| r | r | r | r/w |

**Bit 31-30 RESERVED：**Reserved and cannot be modified.

**Bit 29-24 DMAC1\_HANDSHAKE0\_SEL：**DMAC1 的 HANDSHAKE0 来源选择，请查询[*表 7-9 DMA*](#page57)

[*请求 MUX*](#page57)。

**Bit 23-22 RESERVED：**Reserved and cannot be modified.

**Bit 21-16 DMAC1\_HANDSHAKE1\_SEL：**DMAC1 的 HANDSHAKE1 来源选择。请查询[*表 7-9 DMA*](#page57)

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 28 / 302

 7. System Configuration ASR6601 Reference Manual



[*请求 MUX*](#page57)。

**Bit 15-14 RESERVED：**Reserved and cannot be modified.

**Bit 13-8 DMAC1\_HANDSHAKE2\_SEL：**DMAC1 的 HANDSHAKE2 来源选择，请查询[*表 7-9 DMA*](#page57)

[*请求 MUX*](#page57)。

**Bit 7-6 RESERVED：**Reserved and cannot be modified.

**Bit 5-0 DMAC1\_HANDSHAKE3\_SEL：**DMAC1 的 HANDSHAKE3 来源选择，请查询[*表 7-9 DMA*](#page57)

[*请求 MUX*](#page57)。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **7.5.3** |  | | **SYSCFG\_CR2** | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | Offset：0x008 | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | Reset value：0x00000000 | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | **31** | |  | | **30** | |  | | **29-28** | |  | |  | | **27** |  |
|  |  | | RESERVED | |  | | SYSCFG\_HALTED\_IPTI | |  | | RESERVED | |  | |  | | SYSCFG\_HALTED\_LPT |  |
|  |  | |  | | M1\_EN | |  | |  | |  | | IM0\_EN |  |
|  |  | |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | r | |  | | r/w | |  | | r | |  | |  | | r/w |  |
|  | |  | | | |  | | | |  | | | |  | |  | |  |
|  |  | | **26** | |  | | **25** | |  | | **24** | |  | |  | | **23** |  |
|  | |  | | SYSCFG\_HALTED\_IW | | SYSCFG\_HALTED\_WW | | | |  | | SYSCFG\_HALTED\_GP | | | | SYSCFG\_HALTED\_GP | |  |
|  |  | | DG\_EN | |  | | DG\_EN | |  | | TIM0\_EN | |  | |  | | TIM1\_EN |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | r/w | |  | | r/w | |  | | r/w | |  | |  | | r/w |  |
|  | |  | | | |  | | | |  | | | |  | |  | |  |
|  |  | | **22** | |  | | **21** | |  | | **20** | |  | |  | | **19** |  |
|  | |  | | SYSCFG\_HALTED\_GP | | SYSCFG\_HALTED\_GP | | | |  | | SYSCFG\_HALTED\_BA | | | | SYSCFG\_HALTED\_BA | |  |
|  |  | | TIM2\_EN | |  | | TIM3\_EN | |  | | SICTIM0\_EN | |  | |  | | SICTIM1\_EN |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | r/w | |  | | r/w | |  | | r/w | |  | |  | | r/w |  |
|  | |  | | | |  | | | |  | |  | |  | |  | |  |
|  | |  | | **18** | |  | | **17** | |  | |  | | **16-12** | | | |  |
|  | |  | | QSPI\_MEM\_ENCRYPT | |  | | QSPI\_REMAP\_ENABLE | |  | |  | | RESERVED | | | |  |
|  | |  | | \_EN | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | | | |  |
|  | |  | | r/w | |  | | r/w | |  | |  | | r | | | |  |
|  | |  | | | |  | | | |  | |  | |  | | | |  |
|  | |  | | **11** | |  | | **10** | |  | |  | | **9-8** | | | |  |
|  | |  | | CPU\_STCALIB\_SKEW | | SYSCFG\_DBG\_SLEEP | | | |  | |  | | RESERVED | | | |  |
|  | |  | |  | |  | |  | |  | |  | |  | | | |  |
|  | |  | | r/w | |  | | r/w | |  | |  | | r | | | |  |
|  | |  | | | |  | | | |  | | | |  | | | |  |
|  |  | | **7** | |  | | **6** | |  | | **5** | |  | |  | | **4** |  |
|  | |  | | UART0\_DMA\_CLR\_SEL | | UART1\_DMA\_CLR\_SEL | | | |  | | UART2\_DMA\_CLR\_SEL | | | | UART3\_DMA\_CLR\_SEL | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | r/w | |  | | r/w | |  | | r/w | |  | |  | | r/w |  |
|  | |  | | | |  | | | |  | | | |  | |  | |  |
|  |  | | **3** | |  | | **2** | |  | | **1** | |  | |  | | **0** |  |
|  |  | | SSP0\_DMA\_CLR\_SEL | |  | | SSP1\_DMA\_CLR\_SEL | |  | | SSP2\_DMA\_CLR\_SEL | | | |  | | SSP\_AFEC\_DMA\_CLR |  |
|  | |  | |  | |  | |  | | | |  | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | | \_SEL |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | r/w | |  | | r/w | |  | | r/w | |  | |  | | r/w |  |

**Bit 31 RESERVED：**Reserved and cannot be modified.

**Bit 30 SYSCFG\_HALTED\_LPTIM1\_EN：**CPU halted 时，lPTIM1 停止计数的使能Control。

* + 0：不使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 29 / 302

 7. System Configuration ASR6601 Reference Manual



* + 1：使能

**Bit 29-28 RESERVED：**Reserved and cannot be modified.

**Bit 27 SYSCFG\_HALTED\_LPTIM0\_EN：**CPU halted 时，LPTIM0 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 26 SYSCFG\_HALTED\_IWDG\_EN：**CPU halted 时，IWDG 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 25 SYSCFG\_HALTED\_WWDG\_EN：**CPU halted 时，WWDG 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 24 SYSCFG\_HALTED\_GPTIM0\_EN：**CPU halted 时，GPTIM0 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 23 SYSCFG\_HALTED\_GPTIM1\_EN：**CPU halted 时，GPTIM1 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 22 SYSCFG\_HALTED\_GPTIM2\_EN：**CPU halted 时，GPTIM2 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 21 SYSCFG\_HALTED\_GPTIM3\_EN：**CPU halted 时，GPTIM3 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 20 SYSCFG\_HALTED\_BASICTIM0\_EN：**CPU halted 时，BASICTIM0 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 19 SYSCFG\_HALTED\_BASICTIM1\_EN：**CPU halted 时，BASICTIM1 停止计数的使能Control。

* + 0：不使能
  + 1：使能

**Bit 18 QSPI\_MEM\_ENCRYPT\_EN：**QSPI 的存储加密功能使能Control。

* + 0：不使能
  + 1：使能

**Bit 17 QSPI\_REMAP\_ENABLE：**QSPI 的 remap 功能使能Control。

* + 0：不使能
  + 1：使能

**Bit 16-12 RESERVED：**Reserved and cannot be modified.

**Bit 11 CPU\_STCALIB\_SKEW：**CPU SysTick 的 skew 配置。影响 CPU 的 STCALIB[24]Bit。

* + 0：无 skew
  + 1：有 skew

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 30 / 302

 7. System Configuration ASR6601 Reference Manual



**Bit 10 SYSCFG\_DBG\_SLEEP：**Sleep 低功耗模式是否允许 debug 连接。

仅在 debug 时使用，会影响 sleep 低功耗模式的实现方式。

* + 0：不允许
  + 1：允许

**Bit 9-8 RESERVED：**Reserved and cannot be modified.

**Bit 7 UART0\_DMA\_CLR\_SEL：**UART0 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，UART IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 dmac 输出的 DMA\_CLR 信号

**Bit 6 UART1\_DMA\_CLR\_SEL：**UART1 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，UART IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 DMAC 输出的 DMA\_CLR 信号

**Bit 5 UART2\_DMA\_CLR\_SEL：**UART2 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，UART IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 DMAC 输出的 DMA\_CLR 信号

**Bit 4 UART3\_DMA\_CLR\_SEL：**UART3 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，UART IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 DMAC 输出的 DMA\_CLR 信号

**Bit 3 SSP0\_DMA\_CLR\_SEL：**SSP0 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，SSP IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 DMAC 输出的 DMA\_CLR 信号

**Bit 2 SSP1\_DMA\_CLR\_SEL：**SSP1 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，SSP IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 DMAC 输出的 DMA\_CLR 信号

**Bit 1 SSP2\_DMA\_CLR\_SEL：**SSP2 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，SSP IP 默认使用同步后的 DMA\_CLR 信号。

* + 0：使用 2 拍同步后的 DMA\_CLR 信号
  + 1：直接使用 DMAC 输出的 DMA\_CLR 信号

**Bit 0 SSP\_AFEC\_DMA\_CLR\_SEL：**AFEC 中 SSP 的 DMA\_CLR 信号选择。

建议配置为 1，提高 DMAC 搬数效率，SSP IP 默认使用同步后的 DMA\_CLR 信号。

* 0：使用 2 拍同步后的 DMA\_CLR 信号
* 1：直接使用 DMAC 输出的 DMA\_CLR 信号

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 31 / 302

 7. System Configuration ASR6601 Reference Manual



**7.5.4** **SYSCFG-CR3**

Offset：0x00C

Reset value：0x00000000

对应register在 AON 电源domain。

|  |  |  |
| --- | --- | --- |
| **31-2** | **1** | **0** |
| RESERVED | SYSCFG\_DBG\_STOP | SYSCFG\_DBG\_STANDBY |
|  |  |  |
| r | r/w | r/w |
|  |  |  |

**Bit 31-2 RESERVED：**Reserved and cannot be modified.

**Bit 1 SYSCFG\_DBG\_STOP：**Stop 低功耗模式是否允许 debug 连接。

仅在 debug 时使用，会影响 stop 低功耗模式的实现方式。

* + 0：不允许
  + 1：允许

**Bit 0 SYSCFG\_DBG\_STANDBY：**Standby 低功耗模式是否允许 debug 连接。

仅在 debug 时使用，会影响 standby 低功耗模式的实现方式。

 0：不允许

 1：允许

**7.5.5** **SYSCFG\_CR4**

Offset：0x010

Reset value：0x00000000

对应register在 AON 电源domain。

|  |  |
| --- | --- |
| **31** | **30-0** |
| SYSCFG\_CR4\_REG | USER-DEFINED |
|  |  |
| r/w | r/w |
|  |  |

**Bit 31：**LPTIM1 的 IN2 重映射使能。

* + 0：不使能，LPTIM1 的 IN2 由 GPIO 的 AFR 决定
  + 1：使能，LPTIM1 的 IN2 来自 LPTIM0 的 IN1

**Bit 30-0：**无特殊功能，可用于软件存储少量数据。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 32 / 302

 7. System Configuration ASR6601 Reference Manual



**7.5.6** **SYSCFG\_CR5**

Offset：0x014

Reset value：0x00000000

对应register在 AON 电源domain。

**31-0**

SYSCFG\_CR5\_REG

r/w

**Bit 31-0 SYSCFG\_CR5\_REG：**无特殊功能，可用于软件存储少量数据。

**7.5.7** **SYSCFG\_CR6**

Offset：0x018

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-16** |  | | **15** |  | | **14-5** | |  | | **4** |  |
|  | RESERVED |  | | RNGC\_SECURE\_LOCK |  | | ANALOG\_MAIN\_SECU | |  | | RESERVED |  |
|  |  | |  | | RE\_LOCK | |  | |  |
|  |  |  | |  |  | |  | |  |  |
|  |  |  | |  |  | |  | |  | |  |  |
|  | r |  | | r/w |  | | r/w | |  | | r |  |
|  | | |  | | |  | | | |  | |  |
|  | **3** |  | | **2** |  | | **1** | |  | | **0** |  |
|  | SEC\_SECURE\_LOCK | | SAC\_SECURE\_LOCK | | |  | | DMAC0\_SLAVE\_SECU | | DMAC0\_MASTER\_SEC | |  |
|  |  | | |  | | RE\_LOCK | |  | | URE\_LOCK |  |
|  |  |  | |  |  | |  | |  |
|  |  |  | |  |  | |  | |  | |  |  |
|  | r/w |  | | r/w |  | | r/w | |  | | r/w |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

**Bit 15 RNGC\_SECURE\_LOCK：**RNGC Safety lockBit。

* + - 0：非Safety lock
    - 1：Safety lock

**Bit 14-5 ANALOG\_MAIN\_SECURE\_LOCK：**AFEC 中 Main domain配置的Safety lockBit。

* 1. 对应 VD
     + 0：非Safety lock
     + 1：Safety lock
  2. 对应 TD
     + 0：非Safety lock
     + 1：Safety lock
  3. 对应 LD
     + 0：非Safety lock
     + 1：Safety lock
  4. 对应 FD24M
     + 0：非Safety lock
     + 1：Safety lock

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 33 / 302

 7. System Configuration ASR6601 Reference Manual



1. 对应 FD32M
   * 0：非Safety lock
   * 1：Safety lock
2. 对应 RNG
   * 0：非Safety lock
   * 1：Safety lock
3. 对应 TEST
   * 0：非Safety lock
   * 1：Safety lock

[14:12] 未使用

* + 0：非Safety lock
  + 1：Safety lock

**Bit 4 RESERVED：**Reserved and cannot be modified.

**Bit 3 SEC\_SECURE\_LOCK：**SEC Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 2 SAC\_SECURE\_LOCK：**SAC Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 1 DMAC0\_SLAVE\_SECURE\_LOCK：**DMAC0 的从接口Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 0 DMAC0\_MASTER\_SECURE\_LOCK：**DMAC0 的主接口Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**7.5.8** **SYSCFG\_CR7**

Offset：0x01C

Reset value：0x00000000

对应register在 AON 电源domain。

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-15** | **14-5** | |  |  | |  | |  | | **4** |
| RESERVED | | ANALOG\_AON\_SECURE\_LOCK | | |  | |  | | RTC\_CALENDAR\_SECURE\_LOCK | |
|  |  | |  |  | |  | |  | |  |
| r | r/w | |  |  | |  | |  | | r/w |
|  |  | |  |  | |  | |  | |  |
| **3** | **2** | |  | **1** | | | |  | | **0** |
| RTC\_WAKEUP2\_SEC | RTC\_WAKEUP1\_SECU | | RTC\_WAKEUP0\_SECU | | | | | | | RTC\_TAMPER\_SECUR |
| URE\_LOCK | RE\_LOCK | | RE\_LOCK | | | | | | | E\_LOCK |
|  |  | |  |  | | | | | |  |
| r/w | r/w | |  | r/w | | | | | | r/w |
|  |  | |  |  | |  | |  | |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 34 / 302

 7. System Configuration ASR6601 Reference Manual



**Bit 14-5 ANALOG\_AON\_SECURE\_LOCK：**AFEC 中 AON domain配置的Safety lockBit。

* 1. 对应 LPLDO
     + 0：非Safety lock
     + 1：Safety lock
  2. 对应 RCO3.6M
     + 0：非Safety lock
     + 1：Safety lock
  3. 对应 PWRSW
     + 0：非Safety lock
     + 1：Safety lock
  4. 对应 RCO32K
     + 0：非Safety lock
     + 1：Safety lock
  5. 对应 XO32K
     + 0：非Safety lock
     + 1：Safety lock
  6. 对应 LDO12
     + 0：非Safety lock
     + 1：Safety lock
  7. 对应 FD32K
     + 0：非Safety lock
     + 1：Safety lock

[14:12] 未使用

* + 0：非Safety lock
  + 1：Safety lock

**Bit 4 RTC\_CALENDAR\_SECURE\_LOCK：**RTC 中 Calendar 配置的Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 3 RTC\_WAKEUP2\_SECURE\_LOCK：**RTC 中 Wakeup2 配置的Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 2 RTC\_WAKEUP1\_SECURE\_LOCK：**RTC 中 Wakeup1 配置的Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 1 RTC\_WAKEUP0\_SECURE\_LOCK：**RTC 中 Wakeup0 配置的Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

**Bit 0 RTC\_TAMPER\_SECURE\_LOCK：**RTC 中 Tamper 配置的Safety lockBit。

* + 0：非Safety lock
  + 1：Safety lock

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 35 / 302

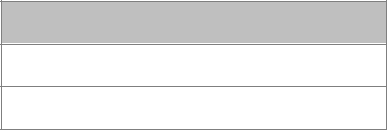
 7. System Configuration ASR6601 Reference Manual



**7.5.9** **SYSCFG\_CR8**

Offset：0x020

Reset value：0x00000000



**31-0**

QSPI\_MEM\_ENCRYPT\_KEY

r/w

**Bit 31-0 QSPI\_MEM\_ENCRYPT\_KEY：**QSPI 的存储加密密钥。

**7.5.10** **SYSCFG\_CR9**

Offset：0x024

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-28** | **27-14** | **13-0** |
| RESERVED | QSPI\_REMAP\_SRC\_ADDR | QSPI\_REMAP\_DST\_ADDR |
|  |  |  |
| r | r/w | r/w |
|  |  |  |

**Bit 31-28 RESERVED：**Reserved and cannot be modified.

**Bit 27-14 QSPI\_REMAP\_SRC\_ADDR：**QSPI 映射前地址，单Bit为 1KB。

**Bit 13-0 QSPI\_REMAP\_DST\_ADDR：**QSPI 映射后地址，单Bit为 1KB。

**7.5.11** **SYSCFG\_CR10**

Offset：0x028

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-24** |  | **23** |  | **22** |  | **21-15** |  | **14** |  | **13-0** |  |
|  | RESERVED |  | I2S\_WS\_SEL |  | I2S\_WS\_EN |  | I2S\_WS\_LEN |  | I2S\_MODE\_SEL |  | QSPI\_REMAP\_ |  |
|  |  |  |  |  |  | SIZE |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | r |  | r/w |  | r/w |  | r/w |  | r/w |  | r/w |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |

**Bit 31-24 RESERVED：**Reserved and cannot be modified.

**Bit 23 I2S\_WS\_SEL：**I2S WS 输出延时使能。

* + 0：不使能
  + 1：使能

***Note：****此register仅在 I2S 主接口时有效，使能后，输出的 WS 信号比数据会延后一拍。*

**Bit 22 I2S\_WS\_EN：**I2S WS 使能。

* + 0：不使能
  + 1：使能

***Note：****此register仅在 I2S 主接口时有效，使能后会基于 I2S\_WS\_LEN 配置产生 WS 信号。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 36 / 302

 7. System Configuration ASR6601 Reference Manual



**Bit 21-15 I2S\_WS\_LEN：**I2S 主接口的分辨率配置。

N：WS 频率=I2S 接口时钟频率/[(N+1)\*2]

I2S 接口时钟频率由 [*RCC*](#page67) 的 I2S\_CLK\_DIV 与 I2S\_CLK\_SEL 共同决定。

**Bit 14 I2S\_MODE\_SEL：**I2S 主从选择。

* + 0：从接口
  + 1：主接口

***Note：****除此register外，还需要配置* [*RCC*](#page67) *的 I2S\_CLK\_DIV 与 I2S\_CLK\_SEL，以及 GPIO 的复用配置。*

**Bit 13-0 QSPI\_REMAP\_SIZE：**QSPI 的 REMAP 的空间大小，单Bit为 1KB。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 37 / 302

 7. System Configuration ASR6601 Reference Manual



**7.6** **DMA 请求 MUX**

No.

63

62

61

60

59

58

57

56

55

54

53

52

51

50

49

48

47

46

45

44

43

42

41

40

39

38

37

36

35

34

33

32

31

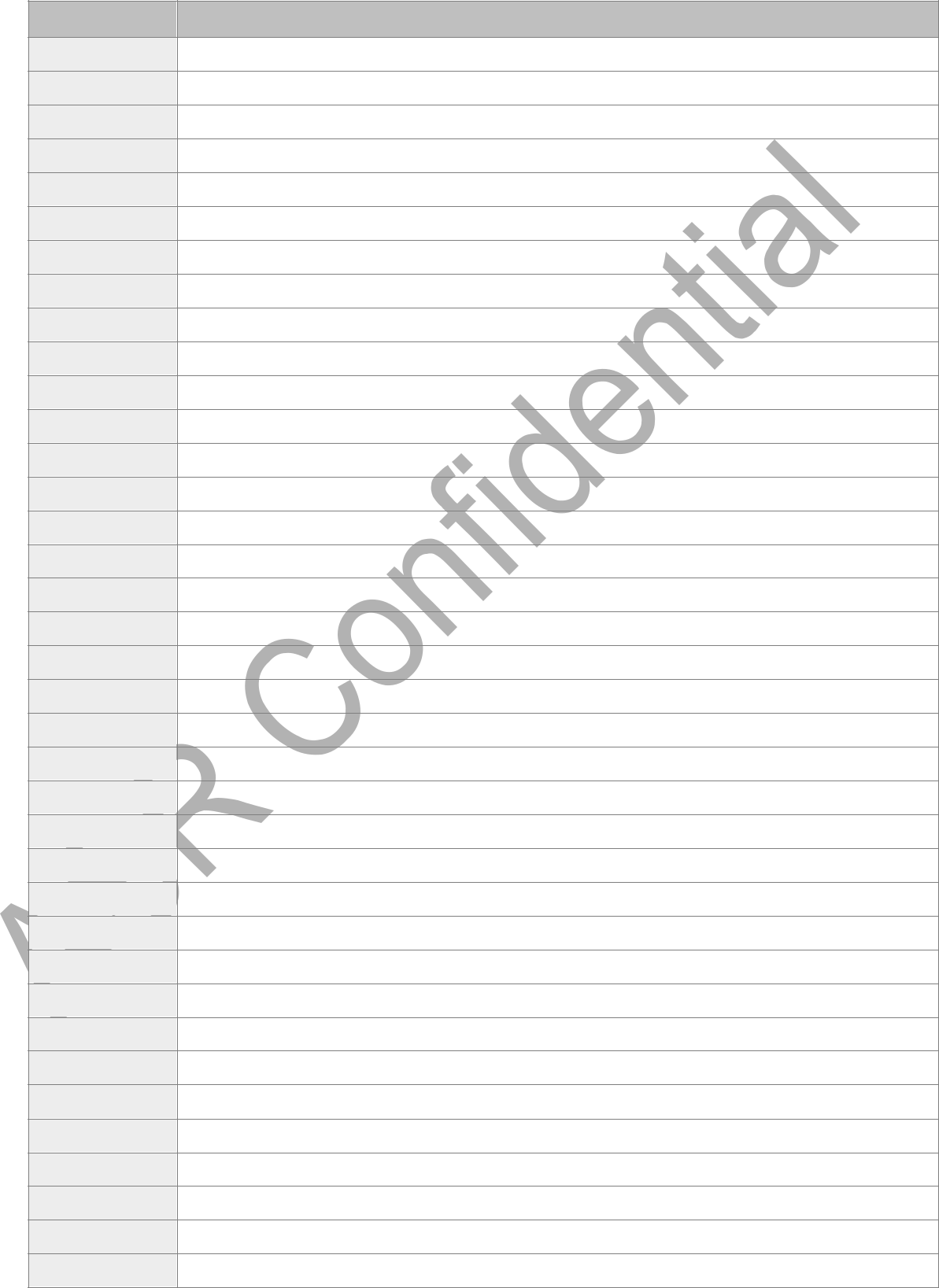
30

29

28

27

**表 7-9 DMA 请求 MUX**



Source

basictim0\_up

basictim1\_up

gptim3\_up

gptim3\_trg

gptim3\_ch0

gptim3\_ch1

gptim2\_up

gptim2\_trg

gptim2\_ch0

gptim2\_ch1

gptim1\_up

gptim1\_trg

gptim1\_ch0

gptim1\_ch1

gptim1\_ch2

gptim1\_ch3

gptim0\_up

gptim0\_trg

gptim0\_ch0

gptim0\_ch1

gptim0\_ch2

gptim0\_ch3

uart0\_rx

uart0\_tx

uart1\_rx

uart1\_tx

uart2\_rx

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 38 / 302

 7. System Configuration ASR6601 Reference Manual



No.

26

25

24

23

22

21

20

19

18

17

16

15

14

13

12

11

10

9

8

7

6

5

4

3

2

1

0

Source

uart2\_tx

uart3\_rx

uart3\_tx

lpuart\_rx

lpuart\_tx

ssp0\_rx

ssp0\_tx

ssp1\_rx

ssp1\_tx

ssp2\_rx

ssp2\_tx

i2c0\_rx

i2c0\_tx

i2c1\_rx

i2c1\_tx

i2c2\_rx

i2c2\_tx

adcctrl

dacctrl

lorac\_rx

lorac\_tx

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 39 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.** **复Bit和时钟Control (RCC)**

**8.1** **复Bit**

复Bit主要包括四种类型，外部复Bit、上电复Bit、系统复Bit、低功耗复Bit。

**8.1.1** **外部复Bit**

外部复Bit由 RSTN IO 输入，低电平有效。

外部复Bit用于复Bit所有number逻辑。

**8.1.2** **上电复Bit**

上电复Bit由 BOR 电路产生。BOR 电路监控 VBAT 电压，保证当电压大于 1.8V 时内部复Bit释放。

上电复Bit用于复Bit所有number逻辑。

**8.1.3** **系统复Bit**

系统复Bit源头包括 IWDG 复Bit、WWDG 复Bit、Option Byte Load 复Bit、Software 复Bit、Sec复Bit、上电复Bit、外部复Bit。

* IWDG 复Bit：由 IWDG 模块产生，用于异常恢复。
* WWDG 复Bit：由 WWDG 模块产生，用于异常恢复。
* Option Byte Load 复Bit：由 EFC 模块产生，用于启动 option byte 重新加载。
* Software 复Bit：由 CPU 模块产生。
* Sec 复Bit：由 Sec 模块产生，用于安全alarm复Bit。

系统复Bit用于复Bit Main domain的大部分数据逻辑，但不包括复Bit源状态register，该register用于记录哪个系统复Bit源产生此次复Bit。

**8.1.4** **低功耗复Bit**

低功耗复Bit由低功耗状态机产生，用于退出 Standby 或 Stop3 模式时复Bit Main domain的逻辑。

低功耗复Bit用于复Bit Main domain的所有number逻辑。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 40 / 302

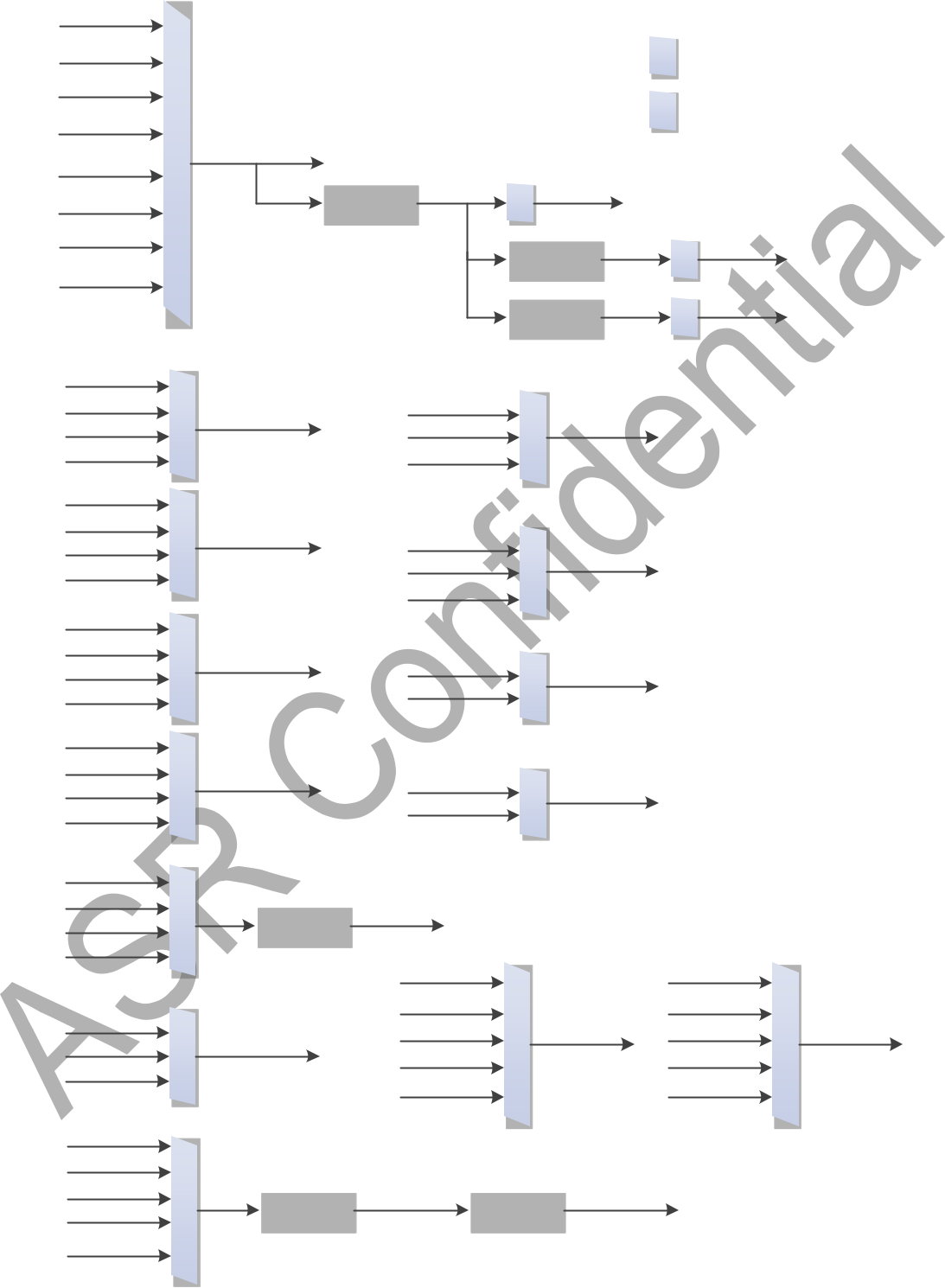
 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.2** **时钟**

时钟网络图如下所示：

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| rco48m\_div2\_clk |  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco32k\_clk |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | M | |  | |  | | clk mux | | | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo32k\_clk |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo24m\_clk |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | G | |  | |  | | ICG | | | |  | |  |  |
|  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pll\_clk |  | |  | | M | |  | | sys\_clk | | | | | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | xxx\_hclk包括efc, sysramc, | | | | | | | | | | | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco3.6m\_clk | |  | |  | |  | |  | |  | |  | |  | | clk\_divider | | | | | | hclk | | | | | | G | | | |  | | xxx\_hclk | | | | | | dmac0, dmac1, crc, qspi, sac, | | | | | | | | | | | | | |  |
|  | | | |  | |  | |  | |  | |  | |  | | | | | |  | |  | |  | |  | | | |  | |  | |  | |  | | retramc, rngc | | | | | | | | | | | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | | | | | |  | |  | | | |  | | | |  | | | | | | | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | | | | | | | | | | | xxx\_pclk0包括pwr, syscfg, uart0, | |  |
| xo32m\_clk | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | pclk0 | | | |  | |  | | xxx\_pclk0 | | | | uart1, ssp0, i2c0, afec, lorac, gptim0, | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | clk\_divider | | | | | | | |  | |  | | G | |  | |  | | gptim2, basictim0, lptim0, lptim1, | |  |
| rco48m\_clk | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | | |  |
|  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | wwdg, rtc, sec, i2s | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | pclk1 | | | |  | |  | | xxx\_pclk1 | | | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | xxx\_pclk1包括uart2, uart3, lpuart, | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | clk\_divider | | | | | | | |  | |  | | G | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | | | ssp1, ssp2, i2c1, i2c2, adcctrl, lcdctrl, | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | dacctrl, gptim1, gptim3, basictim1, | |  |
| pclk0 | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | iwdg, gpio | |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco3.6m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | | xo32k\_clk | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo32k\_clk | | | | | M | | | | uart0\_clk | | | | | | | | | |  | | rco32k\_clk | | | | | |  | |  | |  | |  | | lcdctrl\_clk | | | | | | | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | | M | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo24m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | | rco3.6m\_clk | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pclk0 | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco3.6m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo32k\_clk | | | | | M | | | | uart1\_clk | | | | | | | | | |  | | xo32k\_clk | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | lpuart\_clk | | | | | | | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | rco32k\_clk | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo24m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | | M | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | rco3.6m\_clk | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pclk1 | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco3.6m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo32k\_clk | | | | | M | | | | uart2\_clk | | | | | | | | | |  | | xo32k\_clk | | | | | |  | |  | |  | |  | | rtc\_clk | | | | | | | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | rco32k\_clk | | | | | |  | | M | | | |  | |  | |  | |  | |  | |  | |  |  |
| xo24m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pclk1 | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco3.6m\_clk | | | | |  | |  | | uart3\_clk | | | | | | | | | |  | | xo32k\_clk | | | | | |  | |  | |  | |  | | iwdg\_clk | | | | | | | |  | |  | |  | |  | |  | |  |  |
| xo32k\_clk | | | | | M | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo24m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | | rco32k\_clk | | | | | |  | | M | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pclk1 | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| sys\_clk | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pll\_clk | | |  | | M | | | |  | |  | | clk\_divider | | | |  | | adcctrl\_clk | | | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| rco48m\_clk | | |  | |  | |  | |  | |  | |  | |  | |  | |  | | pclk0 | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | pclk0 | | | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | | rco3.6m\_clk | | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | | rco3.6m\_clk | | | |  | |  | |  |  |
| hclk | | | | |  | |  | |  | |  | |  | |  | |  | | xo32k\_clk | | | | | |  | |  | |  | |  | | lptim0\_clk | | | | | |  | |  | |  | | xo32k\_clk | | | |  | |  | | lptim1\_clk |  |
| sys\_clk | | | | |  | |  | | qspi\_clk | | | | | | | | | |  | | M | | | |  | |  | |  | |  | | M | |  | |  |
| M | | | | rco32k\_clk | | | | | |  | |  | | | |  | |  | |  | |  | |  | | rco32k\_clk | | | |  | |  |  |
| pll\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | | ext\_io\_lptim0\_in1 | | | | | |  | |  | |  | |  | |  | |  | |  | |  | | ext\_io\_lptim1\_in1 | | | | | | | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pclk0 | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| xo24m\_clk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| pll\_clk | | | | | M | | | |  | |  | |  | |  | |  | | i2s\_mclk | | | |  | |  | |  | |  | |  | |  | |  | | i2s\_clk | | | | | |  | |  | |  | |  | |  | |  |  |
| xo32m\_clk | | | | |  | |  | | clk\_divider | | | | | | clk\_divider | | | | | | | | | | | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | | | |  | |  | |  | |  | |  | |  | |  | |  |  |
| ext\_io\_i2s\_sclk | | | | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |



**图 8-1 时钟网络图**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 41 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.2.1** **系统时钟 SYS\_CLK**

系统时钟 SYS\_CLK 来源包括 RCO48M 的 2 分频，RCO32K，XO32K，PLL，XO24M，XO32M，RCO3.6M，RCO48M，缺省为 RCO48M 的 2 分频。

* RCO48M 为内部时钟电路产生，频率为 48MHz。
* RCO32K 为内部时钟电路产生，频率为 32KHz。
* RCO3.6M 为内部时钟电路产生，频率为 3.6MHz。
* XO32K 为外部晶振产生，频率为 32.768KHz。
* XO32M 为外部晶振产生，频率为 32MHz。
* XO24M 为外部晶振产生，频率为 24MHz。
* PLL 为内部时钟电路，PLL 的时钟源支持选择 RCO48M、XO32M、XO24M、RCO3.6M， PLL 时钟输出最大支持 48MHz。

AHB 总线时钟 HCLK 由 SYS\_CLK 分频产生，分频系数支持 2^N，N 支持 0-9。

系统中包括两条 APB 总线，APB 总线时钟 PCLK1 与 PCLK2 由 HCLK 分频产生，分频系数支持 2^M，M 支持 0-4，两个 APB 总线分频系数可以独立配置。

**8.2.2** **模块时钟**

模块时钟包括总线时钟与接口时钟。

总线时钟由 HCLK 或 PCLK 门控产生，用于模块的总线access。

部分模块除总线时钟外，还有独立的接口时钟，与总线时钟异Bit，用于模块的功能实现。

模块的接口时钟来源如下：

* LPTIM 支持 PCLK0，RCO3.6M，XO32K，RCO32K，IO 输入时钟；
* LCDCTRL 支持 XO32K，RCO32K，RCO3.6M；
* LPUART 支持 XO32K，RCO32K，RCO3.6M；
* RTC 支持 XO32K，RCO32K；
* IWDG 支持 XO32K，RCO32K；
* UART 支持 PCLK0/PCLK1，RCO3.6M，XO32K，XO24M；
* ADCCTRL 支持 PCLK1，SYS\_CLK，PLL，RCO48M；
* I2S 支持 PCLK0，XO24M，PLL，XO32M，IO 输入时钟；
* QSPI 支持 HCLK，SYS\_CLK，PLL；

ADCCTRL 与 I2S 还支持接口时钟分频功能，用于实现低频接口时钟产生。

LPTIM，LCDCTRL，LPUART，RTC，IWDG 支持 AON domain与 Main domain时钟单独门控。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 42 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.2.3** **时钟输出 MCO**

支持通过 MCO 信号将系统内部时钟通过 IO 输出。

MCO 时钟来源支持 RCO32K，XO32K，RCO3.6M，XO24M，XO32M，RCO48M，PLL，SYS\_CLK。

时钟支持分频输出，分频系统可由软件配置。

**8.3** **RCC 相关registerDescription**

registerBase address：0x40000000

**表 8-1 RCC register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| RCC\_CR0 | 0x000 | Controlregister 0 |
|  |  |  |
| RCC\_CR1 | 0x004 | Controlregister 1，接口时钟来源选择 |
|  |  |  |
| RCC\_CR2 | 0x008 | Controlregister 2，接口时钟来源选择 |
|  |  |  |
| RCC\_CGR0 | 0x00C | 模块时钟门控register 0 |
|  |  |  |
| RCC\_CGR1 | 0x010 | 模块时钟门控register 1 |
|  |  |  |
| RCC\_CGR2 | 0x014 | 模块时钟门控register 2 |
|  |  |  |
| RCC\_RST0 | 0x018 | 模块复BitControlregister 0 |
|  |  |  |
| RCC\_RST1 | 0x01C | 模块复BitControlregister 1 |
|  |  |  |
| RCC\_RST\_SR | 0x020 | 系统复Bit源状态register |
|  |  |  |
| RCC\_RST\_CR | 0x024 | 系统复Bit源使能register |
|  |  |  |
| RCC\_SR | 0x028 | 状态register，配置完成状态 |
|  |  |  |
| RCC\_SR1 | 0x02C | 状态register 1，模块时钟门控状态 |
|  |  |  |
| RCC\_CR3 | 0x030 | Controlregister 3，接口时钟分频Control |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 43 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.1** **RCC\_CR0**

Offset：0x000

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-26** | **25** | **24-22** | **21-19** | **18** |
| RESERVED | STCLKEN\_SEL | MCO\_CLK\_DIV\_NUM | MCO\_CLK\_SEL | MCO\_CLK\_OUT\_EN |
|  |  |  |  |  |
| r | r/w | r/w | r/w | r/w |
|  |  |  |  |  |
| **17-15** | **14-12** | **11-8** | **7-5** | **4-0** |
| PCLK1\_DIV | SYS\_CLK\_SEL | HCLK\_DIV | PCLK0\_DIV | RESERVED |
|  |  |  |  |  |
| r/w | r/w | r/w | r/w | r |
|  |  |  |  |  |

**Bit 31-26 RESERVED：**Reserved and cannot be modified.

**Bit 25 STCLKEN\_SEL：**CPU SYSTICK 时钟来源选择。

* + 0：XO32K
  + 1：RCO32K

**Bit 24-22 MCO\_CLK\_DIV\_NUM：**MCO 分频系数。

* + <4：分频系数为 1
  + 4：分频系数为 2
  + 5：分频系数为 4
  + 6：分频系数为 8
  + 7：分频系数为 16

***Note：****需要保证在 MCO\_CLK\_OUT\_EN=0 时修改 MCO 分频系数。如果 MCO\_CLK\_OUT\_EN 已使能，则需要软件先关闭 MCO\_CLK\_OUT\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 mco 分频系数。*

**Bit 21-19 MCO\_CLK\_SEL：**MCO 来源选择。

* + 0：RCO32K
  + 1：XO32K
  + 2：RCO3.6M
  + 3：XO24M
  + 4：XO32M
  + 5：RCO48M
  + 6：PLL
  + 7：SYS\_CLK

***Note：****需要保证在 MCO\_CLK\_OUT\_EN=0 时修改 mco 来源选择。如果 MCO\_CLK\_OUT\_EN 已使能，则需要软件先关闭 MCO\_CLK\_OUT\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配*

*置 mco 来源选择。*

**Bit 18 MCO\_CLK\_OUT\_EN：**MCO 输出使能。

* + - 0：不使能
    - 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 44 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 17-15 PCLK1\_DIV：**PCLK1 分频系数。

* + 0：pclk1 时钟频率等于 hclk 时钟频率
  + 1：pclk1 时钟频率等于 hclk 时钟频率的 1/2
  + 2：pclk1 时钟频率等于 hclk 时钟频率的 1/4
  + 3：pclk1 时钟频率等于 hclk 时钟频率的 1/8
  + >3：pclk1 时钟频率等于 hclk 时钟频率的 1/16

**Bit 14-12 SYS\_CLK\_SEL：**SYS\_CLK 时钟源选择。

* + 0：RCO48M 的 2 分频
  + 1：RCO32K
  + 2：XO32K
  + 3：PLL
  + 4：XO24M
  + 5：XO32M
  + 6：RCO3.6M
  + 7：RCO48M

**Bit 11-8 HCLK\_DIV：**HCLK 分频系数。

* + 0：hclk 时钟频率等于 sys\_clk 时钟频率
  + 1：hclk 时钟频率等于 sys\_clk 时钟频率的 1/2
  + 2：hclk 时钟频率等于 sys\_clk 时钟频率的 1/4
  + 3：hclk 时钟频率等于 sys\_clk 时钟频率的 1/8
  + 4：hclk 时钟频率等于 sys\_clk 时钟频率的 1/16
  + 5：hclk 时钟频率等于 sys\_clk 时钟频率的 1/32
  + 6：hclk 时钟频率等于 sys\_clk 时钟频率的 1/64
  + 7：hclk 时钟频率等于 sys\_clk 时钟频率的 1/128
  + 8：hclk 时钟频率等于 sys\_clk 时钟频率的 1/256
  + >8：hclk 时钟频率等于 sys\_clk 时钟频率的 1/512

**Bit 7-5 PCLK0\_DIV：**PCLK0 分频系数。

* + 0：pclk0 时钟频率等于 hclk 时钟频率
  + 1：pclk0 时钟频率等于 hclk 时钟频率的 1/2
  + 2：pclk0 时钟频率等于 hclk 时钟频率的 1/4
  + 3：pclk0 时钟频率等于 hclk 时钟频率的 1/8
  + >3：pclk0 时钟频率等于 hclk 时钟频率的 1/16

**Bit 4-0 RESERVED：**Reserved and cannot be modified.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 45 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.2** **RCC\_CR1**

Offset：0x004

Reset value：0x00000000

对应register在 AON 电源domain。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-12** | |  | | **11** | |  | | **10** | |  | |  | | **9-8** | | |  |
|  | RESERVED | |  | | LPTIM1\_EXT\_CLK\_SEL | |  | | LPTIM0\_EXT\_CLK\_SEL | |  | | LPTIM1\_CLK\_SEL | | | | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  |  |  |
|  | r | |  | | r/w | |  | | r/w | |  | |  | | r/w | | |  |
|  | |  | | | |  | | | |  | | | |  | |  |  |  |
|  | **7-6** |  | | **5-4** | |  | | **3-2** | |  | | **1** | |  | |  | **0** |  |
|  | LPTIM0\_CLK\_SEL |  | | LCDCTRL\_CLK\_SEL | |  | | LPUART\_CLK\_SEL | |  | | RTC\_CLK\_ | |  | |  | IWDG\_CLK\_ |  |
|  |  | |  | |  | | SEL | |  | |  | SEL |  |
|  |  |  | |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  |  |  |
|  | r/w |  | | r/w | |  | | r/w | |  | | r/w | |  | |  | r/w |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  |  |  |

**Bit 31-12 RESERVED：**Reserved and cannot be modified.

**Bit 11 LPTIM1\_EXT\_CLK\_SEL：**LPTIM1 接口时钟选择。

* + 0：由 LPTIM1\_CLK\_SEL 决定时钟来源
  + 1：使用来自 IO 的 IN1 作为接口时钟

***Note：***

* 1. *需要保证在 LPTIM1\_CLK\_EN=0 时修改 LPTIM1 接口时钟选择。如果 LPTIM1\_CLK\_EN 已使能，则需要软件先关闭 LPTIM1\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 LPTIM1 接口时钟选择。*
  2. *LPTIM1\_EXT\_CLK\_SEL 与 LPTIM1\_CLK\_SEL 共同决定 LPTIM1 的接口时钟来源。*

**Bit 10 LPTIM0\_EXT\_CLK\_SEL：**LPTIM0 接口时钟选择。

* 0：由 LPTIM0\_CLK\_SEL 决定时钟来源
* 1：使用来自 IO 的 IN1 作为接口时钟

***Note：***

* 1. *需要保证在 LPTIM0\_CLK\_EN=0 时修改 LPTIM0 接口时钟选择。如果 LPTIM0\_CLK\_EN 已使能，则需要软件先关闭 LPTIM0\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 LPTIM0 接口时钟选择。*
  2. *LPTIM0\_EXT\_CLK\_SEL 与 LPTIM0\_CLK\_SEL 共同决定 LPTIM0 的接口时钟来源。*

**Bit 9-8 LPTIM1\_CLK\_SEL：**LPTIM1 接口时钟选择。

* 0：PCLK0
* 1：RCO3.6M
* 2：XO32K
* 3：RCO32K

***Note：***

1. *需要保证在 LPTIM1\_CLK\_EN=0 时修改 LPTIM1 接口时钟选择。如果 LPTIM1\_CLK\_EN 已使能，则需要软件先关闭 LPTIM1\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 LPTIM1 接口时钟选择。*
2. *LPTIM1\_CLK\_SEL 与 LPTIM1 外部的时钟选择register共同决定 LPTIM1 的接口时钟来源。*
3. *如果选择 PCLK0，则需要先配置* [*RCC\_CGR1*](#page72) *的 LPTIM1\_INF\_CLK\_EN 为 1。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 46 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 7-6 LPTIM0\_CLK\_SEL：**LPTIM0 接口时钟选择。

* + 0：PCLK0
  + 1：RCO3.6M
  + 2：XO32K
  + 3：RCO32K

***Note：***

* 1. *需要保证在 LPTIM0\_CLK\_EN=0 时修改 LPTIM0 接口时钟选择。如果 LPTIM0\_CLK\_EN 已使能，则需要软件先关闭 LPTIM0\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 LPTIM0 接口时钟选择。*
  2. *LPTIM0\_CLK\_SEL 与 LPTIM0 外部的时钟选择register共同决定 LPTIM0 的接口时钟来源。*
  3. *如果选择 PCLK0，则需要先配置* [*RCC\_CGR1*](#page72) *的 LPTIM0\_INF\_CLK\_EN 为 1。*

**Bit 5-4 LCDCTRL\_CLK\_SEL：**LCDCTRL 接口时钟选择。

* + 0：XO32K
  + 1：RCO32K
  + >1：RCO3.6M

**Bit 3-2 LPUART\_CLK\_SEL：**LPUART 接口时钟选择。

* + 0：XO32K
  + 1：RCO32K
  + >1：RCO3.6M

**Bit 1 RTC\_CLK\_SEL：**RTC 接口时钟选择。

* + 0：XO32K
  + 1：RCO32K

**Bit 0 IWDG\_CLK\_SEL：**IWDG 接口时钟选择。

* + 0：XO32K
  + 1：RCO32K

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 47 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.3** **RCC\_CR2**

Offset：0x008

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-17** | | **16-15** | | **14-13** | |  | | **12-11** | |
| RESERVED | | UART0\_CLK\_SEL | | UART1\_CLK\_SEL | | UART2\_CLK\_SEL | | | |
|  |  | |  | |  | |  | |  |
| r | | r/w | | r/w | |  | | r/w | |
|  |  | |  | |  | |  | |  |
| **10-9** | **8-7** | | **6-5** | | **4-2** | |  | | **1-0** |
| UART3\_CLK\_SEL | RESERVED | | ADCCTRL\_CLK\_SEL | | I2S\_CLK\_SEL | | | | QSPI\_CLK\_SEL |
|  |  | |  | |  | |  | |  |
| r/w | r | | r/w | | r/w | |  | | r/w |
|  |  | |  | |  | |  | |  |

**Bit 31-17 RESERVED：**Reserved and cannot be modified.

**Bit 16-15 UART0\_CLK\_SEL：**UART0 接口时钟选择。

* + 0：PCLK0
  + 1：RCO3.6M
  + 2：XO32K
  + 3：XO24M

***Note：****需要保证在 UART0\_CLK\_EN=0 时修改 UART0 接口时钟选择。如果 UART0\_CLK\_EN 已使能，则需要软件先关闭 UART0\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 UART0 接口时钟选择。*

**Bit 14-13 UART1\_CLK\_SEL：**UART1 接口时钟选择。

* + 0：PCLK0
  + 1：RCO3.6M
  + 2：XO32K
  + 3：XO24M

***Note：****需要保证在 UART1\_CLK\_EN=0 时修改 UART1 接口时钟选择。如果 UART1\_CLK\_EN 已使能，则需要软件先关闭 UART1\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 UART1 接口时钟选择。*

**Bit 12-11 UART2\_CLK\_SEL：**UART2 接口时钟选择。

* + 0：PCLK1
  + 1：RCO3.6M
  + 2：XO32K
  + 3：XO24M

***Note：****需要保证在 UART2\_CLK\_EN=0 时修改 UART2 接口时钟选择。如果 UART2\_CLK\_EN 已使能，则需要软件先关闭 UART2\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 UART2 接口时钟选择。*

**Bit 10-9 UART3\_CLK\_SEL：**UART3 接口时钟选择。

* + 0：PCLK1
  + 1：RCO3.6M
  + 2：XO32K
  + 3：XO24M

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 48 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



***Note：****需要保证在 UART3\_CLK\_EN=0 时修改 UART3 接口时钟选择。如果 UART3\_CLK\_EN 已使能，则需要软件先关闭 UART3\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 UART3 接口时钟选择。*

**Bit 8-7 RESERVED：**Reserved and cannot be modified.

**Bit 6-5 ADCCTRL\_CLK\_SEL：**ADCCTRL 接口时钟选择。

* + 0：PCLK1
  + 1：SYS\_CLK
  + 2：PLL
  + 3：RCO48M

***Note：****需要保证在 ADCCTRL\_CLK\_EN=0 时修改 ADCCTRL 接口时钟选择。如果 ADCCTRL\_CLK\_EN 已使能，则需要软件先关闭 ADCCTRL\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 ADCCTRL 接口时钟选择。*

**Bit 4-2 I2S\_CLK\_SEL：**I2S 接口时钟选择。

* + 0：PCLK0
  + 1：XO24M
  + 2：PLL
  + 3：XO32M
  + >3：外部时钟 IOM\_I2S\_CLK

***Note：***

* 1. *需要保证在 I2S\_CLK\_EN=0 时修改 I2S 接口时钟选择。如果 I2S\_CLK\_EN 已使能，则需要软件先关闭 I2S\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 I2S 接口时钟选择。*
  2. *I2S 作为 slave 使用时，必须配置>3；I2S 作为 master 使用时，可根据功能需要进行选择。*

**Bit 1-0 QSPI\_CLK\_SEL：**QSPI 接口时钟选择。

* 0：HCLK
* 1：SYS\_CLK
* >1：PLL

***Note：****需要保证在 QSPI\_CLK\_EN=0 时修改 QSPI 接口时钟选择。如果 QSPI\_CLK\_EN 已使能，则需要软*

*件先关闭 QSPI\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 QSPI 接口时钟选择。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 49 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.4** **RCC\_CGR0**

Offset：0x00C

Reset value：0x00000000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31** | **30** | **29** | **28** | **27** | **26** | **25** | **24** |
| PWR\_CLK | DMAC0\_C | DMAC1\_C | CRC\_CLK | BASICTIM0 | BASICTIM1 | IOM0\_CL | IOM1\_CL |
| \_EN | LK\_EN | LK\_EN | \_EN | \_CLK\_EN | \_CLK\_EN | K\_EN | K\_EN |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |
| **23** | **22** | **21** | **20** | **19** | **18** | **17** | **16** |
| IOM2\_CLK | IOM3\_CL | SYSCFG\_ | UART0\_C | UART1\_CL | UART2\_CL | UART3\_C | LPUART\_ |
| \_EN | K\_EN | CLK\_EN | LK\_EN | K\_EN | K\_EN | LK\_EN | CLK\_EN |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** |
| SSP0\_CLK | SSP1\_CL | SSP2\_CL | I2C0\_CLK | I2C1\_CLK\_ | I2C2\_CLK\_ | RESERVE | ADCCTRL |
| \_EN | K\_EN | K\_EN | \_EN | EN | EN | D | \_CLK\_EN |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r | r/w |
|  |  |  |  |  |  |  |  |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| AFEC\_CL | LCDCTRL | DACCTRL | LORAC\_C | GPTIM0\_C | GPTIM1\_C | GPTIM2\_ | GPTIM3\_ |
| K\_EN | \_CLK\_EN | \_CLK\_EN | LK\_EN | LK\_EN | LK\_EN | CLK\_EN | CLK\_EN |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |

**Bit 31 PWR\_CLK\_EN：**PWR 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 30 DMAC0\_CLK\_EN：**DMAC0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 29 DMAC1\_CLK\_EN：**DMAC1 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 28 CRC\_CLK\_EN：**CRC 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 27 BASICTIM0\_CLK\_EN：**BASICTIM0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 26 BASICTIM1\_CLK\_EN：**BASICTIM1 时钟使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 50 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 25 IOM0\_CLK\_EN：**IOM0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 24 IOM1\_CLK\_EN：**IOM1 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 23 IOM2\_CLK\_EN：**IOM2 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 22 IOM3\_CLK\_EN：**IOM3 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 21 SYSCFG\_CLK\_EN：**SYSCFG 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 20 UART0\_CLK\_EN：**UART0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 19 UART1\_CLK\_EN：**UART1 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 18 UART2\_CLK\_EN：**UART2 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 17 UART3\_CLK\_EN：**UART3 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 16 LPUART\_CLK\_EN：**LPUART 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 15 SSP0\_CLK\_EN：**SSP0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 14 SSP1\_CLK\_EN：**SSP1 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 13 SSP2\_CLK\_EN：**SSP2 时钟使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 51 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 12 I2C0\_CLK\_EN：**I2C0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 11 I2C1\_CLK\_EN：**I2C1 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 10 I2C2\_CLK\_EN：**I2C2 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 9 RESERVED：**Reserved and cannot be modified.

**Bit 8 ADCCTRL\_CLK\_EN：**ADCCTRL 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 7 AFEC\_CLK\_EN：**AFEC 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 6 LCDCTRL\_CLK\_EN：**LCDCTRL 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 5 DACCTRL\_CLK\_EN：**DACCTRL 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 4 LORAC\_CLK\_EN：**LORAC 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 3 GPTIM0\_CLK\_EN：**GPTIM0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 2 GPTIM1\_CLK\_EN：**GPTIM1 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 1 GPTIM2\_CLK\_EN：**GPTIM2 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 0 GPTIM3\_CLK\_EN：**GPTIM3 时钟使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 52 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.5** **RCC\_CGR1**

Offset：0x010

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-13** |  | | **12** |  | | **11** |  | | **10** |  | | **9** |  | | **8** |  | | **7** |  |
|  | RESERVED |  | | LPTIM1\_INF | LPTIM1\_CLK | | |  | | RNGC\_CLK |  | | LPTIM0\_INF |  | | I2S\_CLK\_ |  | | SAC\_CLK\_ |  |
|  |  | | \_CLK\_EN |  | | \_EN |  | | \_EN |  | | \_CLK\_EN |  | | EN |  | | EN |  |
|  |  |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  |
|  | r |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  |
|  | | |  | | |  | | |  | | |  | | |  | | |  | |  |
|  | **6** |  | | **5** |  | | **4** |  | | **3** |  | | **2** |  | | **1** |  | | **0** |  |
|  | WWDG\_CN |  | | QSPI\_CLK\_ |  | | LPTIM0\_CLK |  | | IWDG\_CLK |  | | WWDG\_CL |  | | RTC\_CLK\_ |  | | SEC\_CLK\_ |  |
|  | T\_CLK\_EN |  | | EN |  | | \_EN |  | | \_EN |  | | K\_EN |  | | EN |  | | EN |  |
|  |  |  | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  |
|  | r/w |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  |
|  |  |  | |  |  | |  |  | |  |  | |  |  | |  |  | |  |  |

**Bit 31-13 RESERVED：**Reserved and cannot be modified.

**Bit 12 LPTIM1\_INF\_CLK\_EN：**LPTIM1 接口 PCLK0 时钟使能。

* + 0：不使能
  + 1：使能

**Bit 11 LPTIM1\_CLK\_EN：**LPTIM1 时钟使能。

* + 0：不使能
  + 1：使能

***Note：****打开 LPTIM1 时钟时，如果使用 PCLK0，则要先打开 RCC\_CGR1 中的 LPTIM1\_INF\_CLK\_EN；关*

*闭 LPTIM1 时钟时，如果使用 PCLK0，要后关闭 RCC\_CGR1 中的 LPTIM1\_INF\_CLK\_EN。*

**Bit 10 RNGC\_CLK\_EN：**RNGC 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 9 LPTIM0\_INF\_CLK\_EN：**LPTIM0 接口 PCLK0 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 8 I2S\_CLK\_EN：**I2S 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 7 SAC\_CLK\_EN：**SAC 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 6 WWDG\_CNT\_CLK\_EN：**WWDG 计数时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 5 QSPI\_CLK\_EN：**QSPI 时钟使能。

* + - 0：不使能
    - 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 53 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 4 LPTIM0\_CLK\_EN：**LPTIM0 时钟使能。

* + 0：不使能
  + 1：使能

***Note：****打开 LPTIM0 时钟时，如果使用 PCLK0，则要先打开 RCC\_CGR1 中的 LPTIM0\_INF\_CLK\_EN；关*

*闭 LPTIM0 时钟时，如果使用 PCLK0，要后关闭 RCC\_CGR1 中的 LPTIM0\_INF\_CLK\_EN。*

**Bit 3 IWDG\_CLK\_EN：**IWDG 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 2 WWDG\_CLK\_EN：**WWDG 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 1 RTC\_CLK\_EN：**RTC 时钟使能。

* + - 0：不使能
    - 1：使能

**Bit 0 SEC\_CLK\_EN：**SEC 时钟使能。

* + - 0：不使能
    - 1：使能

**8.3.6** **RCC\_CGR2**

Offset：0x014

Reset value：0x00000000

对应register在 aon 电源domain，对此register进行操作前，需要读 rcc\_sr register，等待全部的 done 为 1 后，才允许对此register进行写操作，等待对应的 done 为 1 后，才允许对此register进行读操作。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-6** |  | | **5** | |  | | **4** |  | | **3** |  | | **2** |  | | **1** |  | | **0** |  |
|  | RESERVED | |  | | LPTIM1\_AO | | LPTIM\_AON | | | LCDCTRL\_A | | | LPUART\_AO | | | RTC\_AON | | | IWDG\_AON | |  |
|  |  | | N\_CLK\_EN | |  | | \_CLK\_EN |  | | ON\_CLK\_EN |  | | N\_CLK\_EN |  | | \_CLK\_EN |  | | \_CLK\_EN |  |
|  |  |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  | |  |  |
|  | r |  | | r/w | |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  | | r/w |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  | |  |  |

**Bit 31-6 RESERVED：**Reserved and cannot be modified.

**Bit 5 LPTIM1\_AON\_CLK\_EN：**LPTIM1 的 AON domain接口时钟使能。

* + 0：不使能
  + 1：使能

**Bit 4 LPTIM\_AON\_CLK\_EN：**LPTIM 的 AON domain接口时钟使能。

* + 0：不使能
  + 1：使能

**Bit 3 LCDCTRL\_AON\_CLK\_EN：**LCDCTRL 的 AON domain接口时钟使能。

* + 0：不使能
  + 1：使能

**Bit 2 LPUART\_AON\_CLK\_EN：**LPUART 的 AON domain接口时钟使能。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 54 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



* + 0：不使能
  + 1：使能

**Bit 1 RTC\_AON\_CLK\_EN：**RTC 的 AON domain接口时钟使能。

* + 0：不使能
  + 1：使能

**Bit 0 IWDG\_AON\_CLK\_EN：**IWDG 的 AON domain接口时钟使能。

* + 0：不使能
  + 1：使能

**8.3.7** **RCC\_RST0**

Offset：0x018

Reset value：0xffffffff

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31** | **30** | **29** | **28** | **27** | **26** | **25** | **24** |
| UART0\_R | UART1\_R | UART2\_R | UART3\_R | LPUART\_ | SSP0\_RS | SSP1\_RS | SSP2\_RS |
| ST\_N | ST\_N | ST\_N | ST\_N | RST\_N | T\_N | T\_N | T\_N |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |
| **23** | **22** | **21** | **20** | **19** | **18** | **17** | **16** |
| QSPI\_RST | I2C0\_RST | I2C1\_RST | I2C2\_RST | RESERVE | ADCCTRL | AFEC\_RS | LCDCTRL |
| \_N | \_N | \_N | \_N | D | \_RST\_N | T\_N | \_RST\_N |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** |
| DACCTRL | LORAC\_R | IOM\_RST | GPTIM0\_ | GPTIM1\_ | GPTIM2\_ | GPTIM3\_ | BASICTIM |
| \_RST\_N | ST\_N | \_N | RST\_N | RST\_N | RST\_N | RST\_N | 0\_RST\_N |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| BASICTIM | LPTIM\_R | IWDG\_RS | WWDG\_R | RTC\_RST | CRC\_RST | SEC\_RST | SAC\_RST |
| 1\_RST\_N | ST\_N | T\_N | ST\_N | \_N | \_N | \_N | \_N |
|  |  |  |  |  |  |  |  |
| r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |  |  |

**Bit 31 UART0\_RST\_N：**UART0 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 30 UART1\_RST\_N：**UART1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 29 UART2\_RST\_N：**UART2 复BitControl。

* + 0：复Bit
  + 1：不复Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 55 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 28 UART3\_RST\_N：**UART3 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 27 LPUART\_RST\_N：**LPUART 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 26 SSP0\_RST\_N：**SSP0 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 25 SSP1\_RST\_N：**SSP1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 24 SSP2\_RST\_N：**SSP2 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 23 QSPI\_RST\_N：**QSPI 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 22 I2C0\_RST\_N：**I2C0 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 21 I2C1\_RST\_N：**I2C1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 20 I2C2\_RST\_N：**I2C2 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 19 RESERVED：**Reserved and cannot be modified.

**Bit 18 ADCCTRL\_RST\_N：**ADCCTRL 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 17 AFEC\_RST\_N：**AFEC 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 16 LCDCTRL\_RST\_N：**LCDCTRL 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 15 DACCTRL\_RST\_N：**DACCTRL 复BitControl。

* + 0：复Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 56 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



* + 1：不复Bit

**Bit 14 LORAC\_RST\_N：**LORAC 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 13 IOM\_RST\_N：**IOM 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 12 GPTIM0\_RST\_N：**GPTIM0 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 11 GPTIM1\_RST\_N：**GPTIM1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 10 GPTIM2\_RST\_N：**GPTIM2 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 9 GPTIM3\_RST\_N：**GPTIM3 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 8 BASICTIM0\_RST\_N：**BASICTIM0 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 7 BASICTIM1\_RST\_N：**BASICTIM1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 6 LPTIM\_RST\_N：**LPTIM 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 5 IWDG\_RST\_N：**IWDG 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 4 WWDG\_RST\_N：**WWDG 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 3 RTC\_RST\_N：**RTC 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 2 CRC\_RST\_N：**CRC 复BitControl。

* + 0：复Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 57 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



* + 1：不复Bit

**Bit 1 SEC\_RST\_N：**SEC 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 0 SAC\_RST\_N：**SAC 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**8.3.8** **RCC\_RST1**

Offset：0x01C

Reset value：0x0000001f

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | LPTIM1\_RST\_N | RNGC\_RST\_N | I2S\_RST\_N | DMAC0\_RST\_N | DMAC1\_RST\_N |
|  |  |  |  |  |  |
| r | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |

**Bit 31-5 RESERVED：**Reserved and cannot be modified.

**Bit 4 LPTIM1\_RST\_N：**LPTIM1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 3 RNGC\_RST\_N：**RNGC 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 2 I2S\_RST\_N：**I2S 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 1 DMAC0\_RST\_N：**DMAC0 复BitControl。

* + 0：复Bit
  + 1：不复Bit

**Bit 0 DMAC1\_RST\_N：**DMAC1 复BitControl。

* + 0：复Bit
  + 1：不复Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 58 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.9** **RCC\_RST\_SR**

Offset：0x020

Reset value：0x00000040

***Note：****BOR\_RESET\_SR 与 STANDBY\_RESET\_SR 的register在 AON domain。*

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-7** |  | | **6** | |  |  | | **5** |  | | **4** |  | | **3** | **2** | |  | | **1** |  | | **0** |  |
|  | RESERVED | |  | | BOR\_RE | | | IWDG\_RE | | | WWDG\_RE | | | EFC\_RE | | | CPU\_RE | | SEC\_RE | | | STANDBY\_ | |  |
|  |  | | SET\_SR | |  |  | | SET\_SR |  | | SET\_SR |  | | SET\_SR | SET\_SR | |  | | SET\_SR |  | | RESET\_SR |  |
|  |  |  | |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  |  | |  |  | |  |  | |  |  | |  | |  |  | |  |  |
|  | r |  | | r/w | |  |  | | r/w |  | | r/w |  | | r/w | r/w | |  | | r/w |  | | r/w |  |
|  |  |  | |  | |  |  | |  |  | |  |  | |  |  | |  | |  |  | |  |  |

**Bit 31-7 RESERVED：**Reserved and cannot be modified.

**Bit 6 BOR\_RESET\_SR：**BOR 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 BOR 系统复Bit发生
  + 1：有 BOR 系统复Bit发生

**Bit 5 IWDG\_RESET\_SR：**IWDG 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 IWDG 系统复Bit发生
  + 1：有 IWDG 系统复Bit发生

**Bit 4 WWDG\_RESET\_SR：**WWDG 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 WWDG 系统复Bit发生
  + 1：有 WWDG 系统复Bit发生

**Bit 3 EFC\_RESET\_SR：**EFC 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 EFC 系统复Bit发生
  + 1：有 EFC 系统复Bit发生

**Bit 2 CPU\_RESET\_SR：**CPU 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 CPU 系统复Bit发生
  + 1：有 CPU 系统复Bit发生

**Bit 1 SEC\_RESET\_SR：**SEC 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 SEC 系统复Bit发生
  + 1：有 SEC 系统复Bit发生

**Bit 0 STANDBY\_RESET\_SR：**Standby 系统复Bit标志。硬件置 1，软件写 1 清 0。

* + 0：无 MPU 系统复Bit发生
  + 1：有 MPU 系统复Bit发生

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 59 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.10** **RCC\_RST\_CR**

Offset：0x024

Reset value：0x00000004

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-6** |  | **5** |  | **4** |  | **3** |  | **2** | **1** |  | **0** |  |
|  | RESERVED |  | IWDG\_RESE | WWDG\_RES | | EFC\_RESE | | CPU\_RESE | | SEC\_RESE |  | RESERVED |  |
|  |  | T\_REQ\_EN |  | ET\_REQ\_EN |  | T\_REQ\_EN |  | T\_REQ\_EN | T\_REQ\_EN |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | r |  | r/w |  | r/w |  | r/w |  | r/w | r/w |  | r |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |

**Bit 31-6 RESERVED：**Reserved and cannot be modified.

**Bit 5 IWDG\_RESET\_REQ\_EN：**IWDG 系统复Bit使能。

* + 0：不使能
  + 1：使能

**Bit 4 WWDG\_RESET\_REQ\_EN：**WWDG 系统复Bit使能。

* + 0：不使能
  + 1：使能

**Bit 3 EFC\_RESET\_REQ\_EN：**EFC 系统复Bit使能。

* + 0：不使能
  + 1：使能

**Bit 2 CPU\_RESET\_REQ\_EN：**CPU 系统复Bit使能。

* + 0：不使能
  + 1：使能

**Bit 1 SEC\_RESET\_REQ\_EN：**SEC 系统复Bit使能。

* + 0：不使能
  + 1：使能

**Bit 0 RESERVED：**Reserved and cannot be modified.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 60 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.11** **RCC\_SR**

Offset：0x028

Reset value：0x0000003f

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-6** | | | | |  | |  | | **5** | |  | | **4** |  |
|  | RESERVED | | | | | |  | |  | | SET\_LPTIM1\_AON\_CL | | SET\_LPTIM\_AON\_CLK | |  |
|  |  | |  | | K\_EN\_DONE | |  | | \_EN\_DONE |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  | |  |  |
|  |  | r | | | |  | |  | | r | |  | | r |  |
|  | | |  | |  | |  | |  | | | |  | |  |
|  | **3** |  | |  | | **2** | |  | | **1** | |  | | **0** |  |
|  | SET\_LCDCTRL\_AON\_ | | | SET\_LPUART\_AON\_C | | | |  | | SET\_RTC\_AON\_CLK\_ | |  | | SET\_IWDG\_AON\_CLK |  |
|  | CLK\_EN\_DONE | | |  | | LK\_EN\_DONE | |  | | EN\_DONE | |  | | \_EN\_DONE |  |
|  |  | | |  | |  | |  | |  | |  | |  |  |
|  | r | | |  | | r | |  | | r | |  | | r |  |
|  |  |  | |  | |  | |  | |  | |  | |  |  |

**Bit 31-6 RESERVED：**Reserved and cannot be modified.

**Bit 5 SET\_LPTIM1\_AON\_CLK\_EN\_DONE：**LPTIM1\_AON\_CLK\_EN 配置完成状态。硬件Control置 1

与清 0。

* + 0：配置正在进行中
  + 1：配置已完成

**Bit 4 SET\_LPTIM\_AON\_CLK\_EN\_DONE：**LPTIM\_AON\_CLK\_EN 配置完成状态。硬件Control置 1 与

清 0。

* + 0：配置正在进行中
  + 1：配置已完成

**Bit 3 SET\_LCDCTRL\_AON\_CLK\_EN\_DONE：**LCDCTRL\_AON\_CLK\_EN 配置完成状态。硬件Control置1与清0。

* + 0：配置正在进行中
  + 1：配置已完成

**Bit 2 SET\_LPUART\_AON\_CLK\_EN\_DONE：**LPUART\_AON\_CLK\_EN 配置完成状态。硬件Control置1与清0。

* + 0：配置正在进行中
  + 1：配置已完成

**Bit 1 SET\_RTC\_AON\_CLK\_EN\_DONE：**RTC\_AON\_CLK\_EN 配置完成状态。硬件Control置 1 与清

0。

* + 0：配置正在进行中
  + 1：配置已完成

**Bit 0 SET\_IWDG\_AON\_CLK\_EN\_DONE：**IWDG\_AON\_CLK\_EN 配置完成状态。硬件Control置 1 与

清 0。

* + 0：配置正在进行中
  + 1：配置已完成

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 61 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**8.3.12** **RCC\_SR1**

Offset：0x02C

Reset value：0x00000000

为避免时钟来源切换或分频变化时出现毛刺，在切换配置前先关闭时钟使能，可通过此register确定使能是否关闭。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-21** |  | | **20** | | | |  | | **19** |  | | **18** |  | | **17** | | | |  | | **16** |  |
|  | RESERVED | |  | | LPTIM1\_CLK | | | | LPTIM1\_AON\_C | | | UART0\_CLK\_ | | | UART1\_CLK | | | | | | UART2\_CLK\_E | |  |
|  |  | | \_EN\_SYNC | | | |  | | LK\_EN\_SYNC |  | | EN\_SYNC |  | | \_EN\_SYNC | | | |  | | N\_SYNC |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  |  | |  |  | |  | |  | |  | |  |  |
|  | r |  | | r | | | |  | | r |  | | r |  | | r | | | |  | | r |  |
|  | | |  | |  | |  | |  | | |  | | |  | |  | |  | |  | |  |
|  | **15** |  | | **14** | | | |  | | **13** |  | | **12** |  | | **11** | | | |  | | **10** |  |
|  | UART3\_CLK\_ |  | | RESERVED | | | |  | | ADCCTRL\_CLK |  | | LPTIM\_CLK\_ |  | | QSPI\_CLK\_E | | | |  | | LPUART\_CLK\_ |  |
|  | EN\_SYNC |  | |  | | \_EN\_SYNC |  | | EN\_SYNC |  | | N\_SYNC | | | |  | | EN\_SYNC |  |
|  |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  |  | |  |  | |  | |  | |  | |  |  |
|  | r |  | | r | | | |  | | r |  | | r |  | | r | | | |  | | r |  |
|  | | |  | |  | |  | |  | | |  | | |  | |  | |  | |  | |  |
|  | **9** |  | | **8** | |  | |  | | **7** |  | | **6** |  | | **5** | | | |  | | **4** |  |
|  | LCDCTRL\_CL |  | | IWDG\_CLK\_ | | | |  | | RTC\_CLK\_EN\_S |  | | MCO\_CLK\_E |  | | I2S\_CLK\_EN | | | |  | | LPTIM\_AON\_C |  |
|  | K\_EN\_SYNC |  | | EN\_SYNC | | | |  | | YNC |  | | N\_SYNC |  | | \_SYNC | | | |  | | LK\_EN\_SYNC |  |
|  |  |  | |  | |  | |  | |  |  | |  |  | |  | |  | |  | |  |  |
|  | r |  | | r | | | |  | | r |  | | r |  | | r | | | |  | | r |  |
|  | | |  | |  | |  | |  | | |  | | |  | |  | |  | |  | |  |
|  | **3** | |  | |  | |  | | **2** | | | **1** | | |  | |  | |  | | **0** | |  |
|  | LCDCTRL\_AON\_CLK\_ | | | | | | LPUART\_AON\_CLK\_E | | | | | RTC\_AON\_CLK\_EN\_S | | | | | | | IWDG\_AON\_CLK\_EN\_ | | | |  |
|  | EN\_SYNC | | |  | |  | | N\_SYNC | | |  | | YNC |  | |  | |  | |  | | SYNC |  |
|  |  | | |  | |  | |  | |  |  | |  |  | |  | |  | |  | |  |  |
|  | r | | |  | |  | |  | | r |  | | r |  | |  | |  | |  | | r |  |

**Bit 31-21 RESERVED：**Reserved and cannot be modified.

**Bit 20 LPTIM1\_CLK\_EN\_SYNC：**LPTIM1\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 19 LPTIM1\_AON\_CLK\_EN\_SYNC：**LPTIM1\_AON\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 18 UART0\_CLK\_EN\_SYNC：**UART0\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 17 UART1\_CLK\_EN\_SYNC：**UART1\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 16 UART2\_CLK\_EN\_SYNC：**UART2\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 62 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



**Bit 15 UART3\_CLK\_EN\_SYNC：**UART3\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 14 RESERVED：**Reserved and cannot be modified.

**Bit 13 ADCCTRL\_CLK\_EN\_SYNC：**ADCCTRL\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 12 LPTIM\_CLK\_EN\_SYNC：**LPTIM\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 11 QSPI\_CLK\_EN\_SYNC：**QSPI\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 10 LPUART\_CLK\_EN\_SYNC：**LPUART\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 9 LCDCTRL\_CLK\_EN\_SYNC：**LCDCTRL\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 8 IWDG\_CLK\_EN\_SYNC：**IWDG\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 7 RTC\_CLK\_EN\_SYNC：**RTC\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 6 MCO\_CLK\_EN\_SYNC：**MCO\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 5 I2S\_CLK\_EN\_SYNC：**I2S\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 4 LPTIM\_AON\_CLK\_EN\_SYNC：**LPTIM\_AON\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 3 LCDCTRL\_AON\_CLK\_EN\_SYNC：**LCDCTRL\_AON\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 2 LPUART\_AON\_CLK\_EN\_SYNC：**LPUART\_AON\_CLK\_EN 状态。

* + 0：门控关闭

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 63 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



* + 1：门控打开

**Bit 1 RTC\_AON\_CLK\_EN\_SYNC：**RTC\_AON\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**Bit 0 IWDG\_AON\_CLK\_EN\_SYNC：**IWDG\_AON\_CLK\_EN 状态。

* + 0：门控关闭
  + 1：门控打开

**8.3.13** **RCC\_CR3**

Offset：0x030

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-16** | **15-8** | **7-0** |
| RESERVED | I2S\_MCLK\_DIV | I2S\_SCLK\_DIV |
|  |  |  |
| r | r/w | r/w |
|  |  |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

**Bit 15-8 I2S\_MCLK\_DIV：**I2S 接口时钟 MCLK 分频Control。

* + 0：不分频
  + 1：不分频
  + 2：2 分频
  + 3：3 分频
  + N：N 分频

***Note：***

* 1. *需要保证在 I2S\_CLK\_EN=0 时修改 I2S 接口时钟分频。如果 I2S\_CLK\_EN 已使能，则需要软件先关闭 I2S\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 I2S 接口时钟分频。*
  2. *I2S 作为 slave 使用时，必须配置为 0 或 1；I2S 作为 master 使用时，可根据功能需要进行选择。*
  3. *输出时钟的占空比为 50%。*

**Bit 7-0 I2S\_SCLK\_DIV：**I2S 接口时钟 SCLK 分频Control。

* 0：不分频
* 1：不分频
* 2：2 分频
* 3：3 分频
* N：N 分频

***Note：***

1. *需要保证在 I2S\_CLK\_EN=0 时修改 I2S 接口时钟分频。如果 I2S\_CLK\_EN 已使能，则需要软件先关闭 I2S\_CLK\_EN，并且等待至少 2 拍切换前的时钟周期或者查询 RCC\_SR1，然后再配置 I2S 接口时钟分频。*
2. *I2S 作为 slave 使用时，必须配置为 0 或 1；I2S 作为 master 使用时，可根据功能需要进行选择。*
3. *输出时钟的占空比为 50%。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 64 / 302

 8. 复Bit和时钟Control (RCC) ASR6601 Reference Manual



Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 65 / 302

 9. 中断 (Interrupt) ASR6601 Reference Manual



**9.** **中断 (Interrupt)**

**9.1** **主要功能**

* 共支持 37 个 IRQ 中断。
* 每个 IRQ 中断支持 8 个中断优先级配置。

**9.2** **SysTick 功能**

SysTick calibration 值为 0x147，使用 32.768KHz 时钟用于 SysTick 计数时可产生精确的 10ms 间隔。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **9.3** |  | **中断向量表** | | |  |  |  |  |  |  |  |  |  |  |  |
|  |  | 中断向量表如下所示： | | | | | |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | **表 9-1 中断向量表** | | | | |  |  |  |  |  |
|  |  | |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | Position | | Priority |  |  | Type of priority |  |  | Acronym |  |  | Description |  | Address |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | - |  | - | |  | - | |  |  | Reserved |  | 0x0000\_0000 |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  |  |  | -3 |  |  | fixed | |  | Reset | |  | Reset |  | 0x0000\_0004 |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | -2 |  |  | fixed | |  | NMI\_Handler | |  | Secure area check |  | 0x0000\_0008 |  |
|  |  |  |  |  |  |  | error |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  |  |  | -1 |  |  | fixed | |  | HardFault\_Handler | |  | fault |  | 0x0000\_000C |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  |  |  | 0 |  |  | settable | |  | MemManage Handler | |  | fault |  | 0x0000\_0010 |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  |  |  | 1 |  |  | settable | |  | BusFault Handler | |  | fault |  | 0x0000\_0014 |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  |  |  | 2 |  |  | settable | |  | UsageFault Handler | |  | fault |  | 0x0000\_0018 |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | - |  | - | |  | - | |  |  | Reserved |  | 0x0000\_001C - |  |
|  |  |  |  |  |  |  |  | 0x0000\_002B |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 3 |  |  | settable | |  | SVC\_Handler | |  | System service call |  | 0x0000\_002C |  |
|  |  |  |  |  |  |  | via SWI instruction |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | - |  | - | |  | - | |  |  | Reserved |  | 0x0000\_0030 - |  |
|  |  |  |  |  |  |  |  | 0x0000\_0037 |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 5 |  |  | settable | |  | PendSV\_Handler | |  | Pendable request |  | 0x0000\_0038 |  |
|  |  |  |  |  |  |  | for system service |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  |  |  | 6 |  |  | settable | |  | SysTick\_Handler | |  | System tick timer |  | 0x0000\_003C |  |
|  |  |  |  |  |  |  | |  |  | |  |  |  |  |  |
|  | 0 |  | 7 |  |  | settable | |  | sec | |  | Include mpu |  | 0x0000\_0040 |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 1 |  | 8 |  |  | settable | |  | rtc | |  | Include tamper io, |  | 0x0000\_0044 |  |
|  |  |  |  |  |  | cyc, wakeup io |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 66 / 302

 9. 中断 (Interrupt) ASR6601 Reference Manual



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Position | Priority | Type of priority | Acronym | Description | Address |
|  |  |  |  |  |  |
| 2 | 9 | settable | wwdg |  | 0x0000\_0048 |
|  |  |  |  |  |  |
| 3 | 10 | settable | efc |  | 0x0000\_004C |
|  |  |  |  |  |  |
| 4 | 11 | settable | uart3 |  | 0x0000\_0050 |
|  |  |  |  |  |  |
| 5 | 12 | settable | i2c2 |  | 0x0000\_0054 |
|  |  |  |  |  |  |
| 6 | 13 | settable | uart0 |  | 0x0000\_0058 |
|  |  |  |  |  |  |
| 7 | 14 | settable | uart1 |  | 0x0000\_005C |
|  |  |  |  |  |  |
| 8 | 15 | settable | uart2 |  | 0x0000\_0060 |
|  |  |  |  |  |  |
| 9 | 16 | settable | lpuart |  | 0x0000\_0064 |
|  |  |  |  |  |  |
| 10 | 17 | settable | ssp0 |  | 0x0000\_0068 |
|  |  |  |  |  |  |
| 11 | 18 | settable | ssp1 |  | 0x0000\_006C |
|  |  |  |  |  |  |
| 12 | 19 | settable | qspi |  | 0x0000\_0070 |
|  |  |  |  |  |  |
| 13 | 20 | settable | i2c0 |  | 0x0000\_0074 |
|  |  |  |  |  |  |
| 14 | 21 | settable | i2c1 |  | 0x0000\_0078 |
|  |  |  |  |  |  |
| 15 | 22 | settable | - |  | 0x0000\_007C |
|  |  |  |  |  |  |
| 16 | 23 | settable | adcctrl |  | 0x0000\_0080 |
|  |  |  |  |  |  |
| 17 | 24 | settable | afec |  | 0x0000\_0084 |
|  |  |  |  |  |  |
| 18 | 25 | settable | ssp2 |  | 0x0000\_0088 |
|  |  |  |  |  |  |
| 19 | 26 | settable | dmac1 |  | 0x0000\_008C |
|  |  |  |  |  |  |
| 20 | 27 | settable | dacctrl |  | 0x0000\_0090 |
|  |  |  |  |  |  |
| 21 | 28 | settable | lorac |  | 0x0000\_0094 |
|  |  |  |  |  |  |
| 22 | 29 | settable | iom |  | 0x0000\_0098 |
|  |  |  |  |  |  |
| 23 | 30 | settable | gptim0 |  | 0x0000\_009C |
|  |  |  |  |  |  |
| 24 | 31 | settable | gptim1 |  | 0x0000\_00A0 |
|  |  |  |  |  |  |
| 25 | 32 | settable | gptim2 |  | 0x0000\_00A4 |
|  |  |  |  |  |  |
| 26 | 33 | settable | gptim3 |  | 0x0000\_00A8 |
|  |  |  |  |  |  |
| 27 | 34 | settable | basictim0 |  | 0x0000\_00AC |
|  |  |  |  |  |  |
| 28 | 35 | settable | basictim1 |  | 0x0000\_00B0 |
|  |  |  |  |  |  |
| 29 | 36 | settable | lptim0 |  | 0x0000\_00B4 |
|  |  |  |  |  |  |
| 30 | 37 | settable | sac |  | 0x0000\_00B8 |
|  |  |  |  |  |  |
| 31 | 38 | settable | dmac0 |  | 0x0000\_00BC |
|  |  |  |  |  |  |
| 32 | 39 | settable | i2s |  | 0x0000\_00C0 |
|  |  |  |  |  |  |
| 33 | 40 | settable | lcdctrl |  | 0x0000\_00C4 |
|  |  |  |  |  |  |
| 34 | 41 | settable | pwr |  | 0x0000\_00C8 |
|  |  |  |  |  |  |
| 35 | 42 | settable | lptim1 |  | 0x0000\_00CC |
|  |  |  |  |  |  |
| 36 | 43 | settable | iwdg |  | 0x0000\_00D0 |
|  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 67 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.** **嵌入式 Flash**

**10.1** **简介**

* Flash 组成：整个 Flash 分为 Flash info 区和 Flash main 区
* Flash 容量：
  + Flash info 区：共 16 KB
  + Flash main 区：ASR6601SE 为 256 KB，ASR6601CB 为 128 KB
* Page erase (4KB), Mass erase (all flash main)

**10.2** **主要特性**

* Flash 基本操作，包括 read, program, page erase, mass erase
* Flash 读拍数
* Flash 读加速
* Flash 指令预取，1 个深度的预取 buffer
* Flash program 操作支持 single 和连续方式
* Flash info 区的 option bytes 操作
* 支持产生中断信号

**10.3** **Functional description**

**10.3.1** **Flash info 区划分**

Flash info 区主要包含 Option Bytes，Factory Bytes，OTP 和 BootLoader 四个部分，具体划分见如下表格。

**表 10-1 Flash info 区划分**

|  |  |  |
| --- | --- | --- |
| Base address | Functional description | Address range |
|  |  |  |
| 0x10003000 | Option Bytes | 4KB |
|  |  |  |
| 0x10002000 | Factory Bytes | 4KB |
|  |  |  |
| 0x10001C00 | OTP | 1KB |
|  |  |  |
| 0x10000000 | BootLoader | 7KB |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 68 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.3.2** **EFC\_CR 保护**

默认情况下，EFC\_CR 不能被修改，软件在操作 EFC\_CR 前需要按照以下顺序配置保护序列，才能够正确操作 EFC\_CR register，中间插入了错误序列，则操作无效，需要重新配置；

1. 先写 0x8C9DAEBF 到 EFC\_PROTECT\_SEQ register
2. 再写 0x13141516 到 EFC\_PROTECT\_SEQ register

**10.3.3** **读拍数**

为提高 Flash 读性能，Flash 读拍数需根据 SYS\_CLK 的频率做相应的配置，可以通过配置 EFC\_TIMING\_CFG 的 READ\_NUM 来配置 Flash 读拍数，Flash 读拍数为（READ\_NUM+1）

个 SYS\_CLK 时钟周期。不同的 SYS\_CLK 频率下，READ\_NUM 的配置如下：

* + SYS\_CLK 频率为 48MHz 时，READ\_NUM 要大于等于 2。
  + SYS\_CLK 频率为 32MHz 时，READ\_NUM 要大于等于 1。
  + SYS\_CLK 频率为 24MHz 时，READ\_NUM 要大于等于 1。
  + SYS\_CLK 频率为 3.6MHz 时，READ\_NUM 要大于等于 0。
  + SYS\_CLK 频率为 32KHz 时，READ\_NUM 要大于等于 0。

**将 SYS\_CLK 切换到快时钟源时的操作：**

* 1. 修改 EFC\_TIMING\_CFG register的 READ\_NUM 值，以匹配切换后的 SYS\_CLK；
  2. 等待 EFC\_SR register中的 READ\_NUM\_DONE 状态Bit置Bit；
  3. 修改 RCC\_CR0 register中的 SYS\_CLK\_SEL 值，切换到新的时钟源。

**将 SYS\_CLK 切换到慢时钟源时的操作：**

* 1. 修改 RCC\_CR0 register中的 SYS\_CLK\_SEL 值，切换到新的时钟源；
  2. 修改 EFC\_TIMING\_CFG register的 READ\_NUM 值，以匹配切换后的 SYS\_CLK；
  3. 等待 EFC\_SR register中的 READ\_NUM\_DONE 状态Bit置Bit。

***Note：****当修改 SYS\_CLK 时钟源选择时，若切为快时钟源，则先配置 READ\_NUM 变大，再配置时钟源选择；反之若切为慢时钟源时，先配置时钟源选择，再配置 READ\_NUM 变小。*

**10.3.4** **读加速**

默认不开启，若当前 READ\_NUM < (2^HCLK\_DIV)时可以配置开启读加速功能，以达到最大的总线access效率；配置读加速使能，需要在 READ\_NUM 和 HCLK\_DIV 配置完成后进行。

***Note：****读加速功能与指令预取功能不能同时开启。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 69 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.3.5** **指令预取**

默认不开启，若 READ\_NUM ≥ (2^HCLK\_DIV)时，读加速功能不能开启，可以选择开启指令预取功能以提高读取效率。

***Note：****读加速功能与指令预取功能不能同时开启。*

**10.3.6** **Flash Program**

Flash 的 program 操作主要分为 single program 和连续 program 方式。

* **Single program**

Single program 每次烧写 2 个 word（8byte）。

* **连续 program**

连续 program 每次烧写一整条 word line（512byte），连续 program 时无法从 flash 读取和执行程序，所以连续 program 代码必须执行在 RAM 中。

**Single program 的操作如下：**

1. 将 EFC\_CR register的 PROG\_EN Bit置 1；
2. 将要写入数据的低 4 个字节写入 EFC\_PROG\_DATA0 register；
3. 将要写入数据的高 4 个字节写入 EFC\_PROG\_DATA1 register；
4. 向将要写入的 Flash 地址写入任意值；
5. 等待 EFC\_SR register的 OPERATION\_DONE Bit置 1；
6. 向 EFC\_SR register的 OPERATION\_DONE Bit写 1，清除该标志Bit。

**连续 program 的操作如下：**

1. 将 EFC\_CR register的 PROG\_EN，WRITE\_RELEASE\_EN 和 PROG\_MODE Bit置 1；
2. 等待 EFC\_SR register的 PROG\_DATA\_WAIT Bit置 1；
3. 将要写入数据的低 4 个字节写入 EFC\_PROG\_DATA0 register；
4. 将要写入数据的高 4 个字节写入 EFC\_PROG\_DATA1 register；
5. 向将要写入的 Flash 地址写入任意值；
6. 等待 EFC\_SR register的 PROG\_DATA\_WAIT Bit置 1；
7. 继续将数据写入 EFC\_PROG\_DATA0 和 EFC\_PROG\_DATA1 register；
8. 循环执行 6）和 7），直到 512 字节写完
9. 等待 EFC\_SR register的 OPERATION\_DONE Bit置 1；
10. 向 EFC\_SR register的 OPERATION\_DONE Bit写 1，清除该标志Bit。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 70 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.3.7** **Flash Erase**

Flash 的 erase 操作主要分为 page erase 和 mass erase 两种。

* **Page erase**

Page erase 的单Bit为 4KB。

* **Mass erase**

Mass erase 后，整个 Flash main 区domain被擦除为 0xFF。

**Page erase 的操作如下：**

1. 将 EFC\_CR register的 PAGE\_ERASE\_EN Bit置 1；
2. 向将要擦除的 Flash 地址写入任意值；
3. 等待 EFC\_SR register的 OPERATION\_DONE Bit置 1；
4. 向 EFC\_SR register的 OPERATION\_DONE Bit写 1，清除该标志Bit。

**Mass erase 的操作如下：**

1. 将 EFC\_CR register的 MASS\_ERASE\_EN Bit置 1；
2. 向 0x08000000 地址写入任意值；
3. 等待 EFC\_SR register的 OPERATION\_DONE Bit置 1；
4. 向 EFC\_SR register的 OPERATION\_DONE Bit写 1，清除该标志Bit。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 71 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.4** **Flash Option Bytes**

Flash option bytes 主要分为 option0 和 option1 两部分。

**10.4.1** **Flash Option0**

Option0 共 64 Bit，其格式如下：

**表 10-2 Flash Option0**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | | **63-50** | |  | |  | | **49-44** | |  | **43-38** |  |  | **37-32** |  | **31-26** |  |  | **25** |  | **24-19** |  |
|  | |  | | RESERVED | |  | |  | | WR\_PROT WR\_PROTE EXE\_ONLY2 EXE\_ONLY2 EXE\_ONLY EXE\_ONLY1 | | | | | | | | | | | | |  |
|  |  | |  | |  | | ECT\_END | |  | CT\_START |  |  | \_END |  | \_START |  |  | \_KEEEP |  | \_END |  |
|  |  | |  | |  | |  | |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | | **18-13** | |  | |  | | **12-5** | |  | | **4** | |  | |  | | **3** | |  | **2** |  |  | **1** |  | **0** |  |
|  | |  | | EXE\_ONLY | |  | |  | | DEBUG\_L | |  | | RESERVED | |  | |  | | SYS\_SRAM FLASH\_BOO USE\_FLAS FLASH\_BOO | | | | | | | |  |
|  |  | | 1\_START | |  | |  | | EVEL | |  | |  | |  | |  | | \_RESET | |  | T1 |  |  | H\_BOOT0 |  | T0 |  |
|  |  | |  | |  | |  | |  | |  | |  | |  |  |  |  |  |

**Bit 63-50 Reserved：**Reserved and cannot be modified.

**Bit 49-44 WR\_PROTECT\_END：**写保护区domain的结束 Page 地址。

当 *WR\_PROTECT\_START > WR\_PROTECT\_END* 时，写保护区domain不使能；默认不使能。

**Bit 43-38 WR\_PROTECT\_START：**写保护区domain的开始 Page 地址。

当 *WR\_PROTECT\_START > WR\_PROTECT\_END* 时，写保护区domain不使能；默认不使能。

**Bit 37-32 EXE\_ONLY2\_END：**ExeOnly 区domain 2 的结束 Page 地址。

当 *EXE\_ONLY2\_START > EXE\_ONLY2\_END* 时，ExeOnly 区domain 2 不使能；默认不使能，修改时只能使能或扩大区domain，不能减少或关闭。

**Bit 31-26 EXE\_ONLY2\_START：**ExeOnly 区domain 2 的开始 Page 地址。

当 *EXE\_ONLY2\_START > EXE\_ONLY2\_END* 时，ExeOnly 区domain 2 不使能；默认不使能，修改时只能使能或扩大区domain，不能减少或关闭。

**Bit 25 EXE\_ONLY\_KEEP：**ExeOnly 区domain在 DebugLevel 由 1 变为 0 时，是否保留：

* + - 0：不保留 ExeOnly 区domain
    - 1：保留 ExeOnly 区domain

支持修改，但只能写 0；DebugLevel 从 1 变为 0 时，EXE\_ONLY\_KEEP 自动变 1。

**Bit 24-19 EXE\_ONLY1\_END：**ExeOnly 区domain 1 的结束 Page 地址。

当 *EXE\_ONLY1\_START > EXE\_ONLY1\_END* 时，ExeOnly 区domain 1 不使能；默认不使能，修改时只能使能或扩大区domain，不能减少或关闭。

**Bit 18-13 EXE\_ONLY1\_START：**ExeOnly 区domain 1 的开始 Page 地址。

当 *EXE\_ONLY1\_START > EXE\_ONLY1\_END* 时，ExeOnly 区domain 1 不使能；默认不使能，修改时只能使能或扩大区domain，不能减少或关闭。

**Bit 12-5 DEBUG\_LEVEL：**debug\_level 配置。

* + - AA：Level0
    - CC：Level2
    - 其它值：Level1

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 72 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**Bit 4 Reserved：**Reserved and cannot be modified.

**Bit 3 SYS\_SRAM\_RESET：**System 复Bit后 Startup 过程中是否清除系统 SRAM：

* + 1：清除系统 SRAM
  + 0：不清除系统 SRAM

**Bit 2 FLASH\_BOOT1：**用于启动模式判断。

**Bit 1 USE\_FLASH\_BOOT0：**用于启动模式判断。

**Bit 0 FLASH\_BOOT0：**用于启动模式判断。

启动模式判断如下：

**表 10-3 SoC 启动方式配置表**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | DEBUG\_ |  | |  | | USE\_FLASH\_ | |  | |  | | FLASH\_ | |  | |  | | BOOT0 | |  | |  | | FLASH\_ | |  | |  | | MAIN\_FLASH\_ | |  | |  | | Boot Config | |  |  |
|  | LEVEL |  | |  | | BOOT0 | |  | |  | | BOOT0 | |  | |  | | PIN | |  | |  | | BOOT1 | |  | |  | | EMPTY | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
| 2 | | |  | |  | | X | | | |  | | X | | | |  | | X | | | |  | | X | | | |  | | X | | | |  | | Boot from Flash Main | |  |
|  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | |  |
| <2 | | |  | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | Boot from Flash Main | |  |
|  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | |  |
| <2 | | |  | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | X | | | | 1 | | | |  | |  | | Boot from Flash Bootloader | |  |
|  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | |  |
| <2 | | |  | | 0 | | | |  | |  | | X | | | | 1 | | | |  | | 1 | | | |  | |  | | X | | | |  | | Boot from Flash Bootloader | |  |
|  | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | |  |
| <2 | | |  | | 0 | | | |  | |  | | X | | | | 1 | | | |  | | 0 | | | |  | |  | | X | | | |  | | Boot from System SRAM | |  |
|  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | | | |  | | | |  | |  | |  | |  |
| <2 | | |  | | 1 | | | |  | | 1 | | | |  | |  | | X | | | |  | | X | | | | 0 | | | |  | |  | | Boot from Flash Main | |  |
|  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | |  | | | |  | | | |  | |  | |  | |  |
| <2 | | |  | | 1 | | | |  | | 1 | | | |  | |  | | X | | | |  | | X | | | | 1 | | | |  | |  | | Boot from Flash Bootloader | |  |
|  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | |  | |  |
| <2 | | |  | | 1 | | | |  | | 0 | | | |  | |  | | X | | | | 1 | | | |  | |  | | X | | | |  | | Boot from Flash Bootloader | |  |
|  | | |  | |  | | | |  | |  | | | |  | |  | |  | | | |  | | | |  | |  | |  | | | |  | |  | |  |
| <2 | | |  | | 1 | | | |  | | 0 | | | |  | |  | | X | | | | 0 | | | |  | |  | | X | | | |  | | Boot from System SRAM | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 73 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.4.2** **Flash Option1**

Option1 共 64 Bit，其格式如下：

**表 10-4 Flash Option1**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | | **63-56** | |  | | **55** | |  | **54-49** |  |  | **48** |  |  | **47-42** |  |  | **41-37** |  |
|  | |  | | RESERVED | |  | | SYSRAM\_HID SYSRAM\_HIDFLASH\_HIDE\_ FLASH\_HIDE RETRAM\_SEC | | | | | | | | | | | |  |
|  |  | |  | | E\_EN | |  | E\_START |  |  | EN |  |  | \_START |  |  | URE\_END |  |
|  |  | |  | |  | |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | | **36-32** | |  | | **31-24** | |  | | **23-18** | |  |  | **17-12** |  |  | **11-6** |  |  | **5-0** |  |
|  | |  | | RETRAM\_SEC | |  | | RESERVED | |  | | SYSRAM\_SEC SYSRAM\_SECFLASH\_SECFLASH\_SECU | | | | | | | | | |  |
|  |  | | URE\_START | |  | |  | |  | | URE\_END | |  |  | URE\_START |  |  | URE\_END |  |  | RE\_START |  |
|  |  | |  | |  | |  | |  |  |  |  |  |  |  |

**Bit 63-56 Reserved：**Reserved and cannot be modified.

**Bit 55 SYSRAM\_HIDE\_EN：**SysRamHide 区domain使能Control。

* + 0：SysRamHide 区domain使能
  + 1：SysRamHide 区domain不使能

仅当 FlashSecure 区domain使能时才有效。

**Bit 54-49 SYSRAM\_HIDE\_START：**SysRamHide 区domain的开始 Page 地址。

必须在 SysRamSecure 区domain内才使能，区domain范围由 SysRamHideStart 开始一直到 SysRamSecureEnd；仅当 FlashSecure 区domain使能时才有效。

**Bit 48 FLASH\_HIDE\_EN：**FlashHide 区domain使能Control。

* + 0：FlashHide 区domain使能
  + 1：FlashHide 区domain不使能

仅当 FlashSecure 区domain使能时才有效。

**Bit 47-42 FLASH\_HIDE\_START：**FlashHide 区domain的开始 Page 地址。

必须在 FlashSecure 区domain内才使能，区domain范围由 FlashHideStart 开始一直到 FlashSecureEnd；仅当 FlashSecure 区domain使能时才有效。

**Bit 41-37 RETRAM\_SECURE\_END：**RetRam Secure 区domain的End address。

当 *RETRAM\_SECURE\_START > RETRAM\_SECURE\_END* 时，则该区domain安全不使能；仅当 FlashSecure 区domain使能时才有效。

**Bit 36-32 RETRAM\_SECURE\_START：**RetRam Secure 区domain的开始地址。

当 *RETRAM\_SECURE\_START > RETRAM\_SECURE\_END* 时，则该区domain安全不使能；仅当 FlashSecure 区domain使能时才有效。

**Bit 31-24 Reserved：**Reserved and cannot be modified.

**Bit 23-18 SYSRAM\_SECURE\_END：**SysRam Secure 区domain的End address。

当 *SYSRAM\_SECURE\_START > SYSRAM\_SECURE\_END* 时，则该区domain安全不使能；仅当 FlashSecure 区domain使能时才有效。

**Bit 17-12 SYSRAM\_SECURE\_START：**SysRam Secure 区domain的开始地址。

当 *SYSRAM\_SECURE\_START > SYSRAM\_SECURE\_END* 时，则该区domain安全不使能；仅当 FlashSecure 区domain使能时才有效。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 74 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**Bit 11-6 FLASH\_SECURE\_END：**Flash Secure 区domain的End address。

当 *FLASH \_SECURE\_START > FLASH \_SECURE\_END* 时，则该区domain安全不使能；

FlashSecure 区domain使能也是安全区domain总使能开关，当 FlashSecure 去使能时会触发擦除操作。

**Bit 5-0 FLASH \_SECURE\_START：**Flash Secure 区domain的开始地址。

当 *FLASH\_SECURE\_START > FLASH \_SECURE\_END* 时，则该区domain安全不使能；

FlashSecure 区domain使能也是安全区domain总使能开关，当 FlashSecure 去使能时会触发擦除操作。

**10.5** **嵌入式 Flash 相关registerDescription**

registerBase address：0x40020000

**表 10-5 嵌入式 Flash register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| EFC\_CR | 0x00 | Controlregister |
|  |  |  |
| EFC\_INT\_EN | 0x04 | 中断使能register |
|  |  |  |
| EFC\_SR | 0x08 | 状态register |
|  |  |  |
| EFC\_PROG\_DATA0 | 0x0C | Program 编程数据 0 |
|  |  |  |
| EFC\_PROG\_DATA1 | 0x10 | Program 编程数据 1 |
|  |  |  |
| EFC\_TIMING\_CFG | 0x14 | 时钟配置register |
|  |  |  |
| EFC\_PROTECT\_SEQ | 0x18 | 保护序列 |
|  |  |  |
| RESERVED | 0x1C-0x28 | 保留 |
|  |  |  |
| SERIAL\_NUM\_LOW | 0x2C | 芯片序列号低 32 Bit |
|  |  |  |
| SERIAL\_NUM\_HIGH | 0x30 | 芯片序列号高 32 Bit |
|  |  |  |
| RESERVED | 0x34-0x38 | 保留 |
|  |  |  |
| OPTION\_CSR\_BYTES | 0x3C | OPTION Control及状态数据 |
|  |  |  |
| OPTION\_EXE\_ONLY\_BYTES | 0x40 | OPTION 只执行数据 |
|  |  |  |
| OPTION\_WR\_PROTECT\_BYTES | 0x44 | OPTION 写保护数据 |
|  |  |  |
| OPTION\_SECURE\_BYTES0 | 0x48 | OPTION 安全数据 0 |
|  |  |  |
| OPTION\_SECURE\_BYTES1 | 0x4C | OPTION 安全数据 1 |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 75 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.1** **EFC\_CR**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31** |  | | **30-10** | |  | | **9** | |  | | **8** | |  | | **7** | |  | | **6** |  |
|  | INFO\_BYTE\_LO |  | | RESERVED | |  | | ECC\_DIS | |  | | OPTION\_OPR | |  | | RESERVED | |  | | WRITE\_RELEA |  |
|  | AD |  | |  | |  | | \_EN | |  | |  | | SE\_EN |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | w |  | | r | |  | | r/w | |  | | r/w | |  | | r | |  | | r/w |  |
|  | | |  | | | |  | | | |  | | | |  | | | |  | |  |
|  | **5** |  | | **4** | |  | | **3** | |  | | **2** | |  | | **1** | |  | | **0** |  |
|  | PREFETCH\_EN | |  | | READ\_ACC\_EN | |  | | PROG\_MODE | |  | | PROG\_EN | |  | | PAGE\_ERA | | MASS\_ERASE | |  |
|  |  | |  | |  | |  | | SE\_EN | |  | | \_EN |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |
|  | r/w |  | | r/w | |  | | r/w | |  | | r/w | |  | | r/w | |  | | r/w |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |  |

**Bit 31 INFO\_BYTE\_LOAD：**Info byte load 复Bit请求。

* + 写 0：无效
  + 写 1：将引起系统复Bit，重新加载 Flash info 区中的信息，如 option 信息等，该Bit由硬件自动清零

**Bit 30-10 Reserved：**Reserved and cannot be modified.

**Bit 9 ECC\_DIS：**ECC 编码除能Control。

**Bit 8 OPTION\_OPR\_EN：**Option 操作使能。

* + 0：Option 操作不使能
  + 1：Option 操作使能

***Note：***

* 1. *OPTION\_OPR\_EN, PROG\_EN 和 PAGE\_ERASE\_EN 任意两个不能同时配置使能。*
  2. *每执行完一次 option 操作后，需要执行一次复Bit操作，配置才能真正生效。*

**Bit 7 Reserved：**Reserved and cannot be modified.

**Bit 6 WRITE\_RELEASE\_EN：**Flash 执行编程、擦除（包括 Mass）、Option 操作时，AHB 总线 hold/release 模式选择。

 0：hold 模式

 1：release 模式

***Note：****一旦配置为 release 模式，则编程/擦除过程中不能读 Flash 区domain，也不能在 Flash 中执行程序，否则操作会被拦截，返回数据未知，并且会起 FLASHBUSY\_ERR 错误标志；但可以access SR register，等待操作完成。*

**Bit 5 PREFETCH\_EN：**Flash 指令预取功能使能。

* + 0：不使能预取
  + 1：使能预取

***Note：****预取使能和读加速使能Control不能同时开启。*

**Bit 4 READ\_ACC\_EN：**Flash 读操作加速使能Control。

* + 0：不使能读加速（hold 模式）
  + 1：使能读加速（release 模式）

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 76 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



***Note：***

* 1. *当 READ\_NUM < (2^HCLK\_DIV)时，可以配置为 1，开启读加速功能；配置读加速使能，需要在*

*READ\_NUM 和 HCLK\_DIV 配置完成后进行。*

* 1. *预取使能和读加速使能Control不要同时开启。*

**Bit 3 PROG\_MODE：**flash program 模式Control。

* 0：单次编程模式，每次 program 将 EFC\_PROG\_DATA1 与 EFC\_PROG\_DATA0 写入指定地址。
* 1：WL 连续编程模式，该模式下会自动将 1 个 WL（512byte）中的连续地址均编程，软件需要查询

PROG\_DATA\_WAIT 标志来决定是否要将新的数据写入 EFC\_PROG\_DATA1 与 EFC\_PROG\_DATA0，

以便于连续编程。

***Note：***

* 1. *Flash 中的 ECC 编码格式为 64+8，因此每次编程为偶数个 Word。*
  2. *WL 连续编程模式下需要将 WRITE\_RELEASE\_EN 配置为 1，并且编程过程中只能读写 EFC\_SR, EFC\_PROG\_DATA1 与 EFC\_PROG\_DATA0，不能读取 Flash 区domain，也不能在 Flash 中执行程序。*

**Bit 2 PROG\_EN：**flash program 使能Control。

* 0：对 Flash 存储空间的写操作不产生 flash program
* 1：对 Flash 存储空间的写操作产生 flash program

***Note：***

* 1. *单次编程模式下通过向 Flash 地址写入数据启动编程，EFC\_PROG\_DATA0 的数据会写入该地址 8 字节对齐的低地址空间，EFC\_PROG\_DATA1 写入该地址 8 字节对齐的高地址空间。*
  2. *WL 连续编程模式下通过向 Flash 地址写入数据启动编程，编程地址依次累加，直到一条 WL 编程结束。*

**Bit 1 PAGE\_ERASE\_EN：**flash page erase 使能Control。

* + 0：对 Flash 存储空间的写操作不产生 flash page erase
  + 1：对 Flash 存储空间的写操作产生 flash page erase，page 地址为写入地址所在的 PAGE

**Bit 0 MASS\_ERASE\_EN：**flash mass erase 使能Control。

* + 0：对 Flash 存储空间的写操作不产生 flash mass erase
  + 1：对 Flash 存储空间的写操作产生 flash mass erase

***Note：***

1. *写操作的地址为 flash main 区地址则仅执行 main 区的 mass erase；若写操作的地址为 flash info 区，则 main+info 区均执行 mass erase。*
2. *请不要对 info 区进行 mass erase，否则芯片将被毁掉。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 77 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.2** **EFC\_INT\_EN**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-9** |  | | **8** | |  | | **7** |  | | **6** |  | | **5** |  |
|  | RESERVED | |  | | TWO\_BIT\_ERROR | | ONE\_BIT\_CORRE | | | PROG\_ERR\_INT\_ | | | PAGE\_ERASE\_ | |  |
|  |  | | \_INT\_EN | |  | | CT\_INT\_EN |  | | EN |  | | ERR\_INT\_EN |  |
|  |  |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  |
|  | r |  | | r/w | |  | | r/w |  | | r/w |  | | r/w |  |
|  | | |  | | | |  | | |  | | |  | |  |
|  | **4** |  | | **3** | |  | | **2** |  | | **1** |  | | **0** |  |
|  | OPTION\_WR\_ERR |  | | FLASHBUSY\_ERR | |  | | PROG\_DATA\_WAI |  | | RESERVED |  | | OPERATION\_D |  |
|  | \_INT\_EN |  | | \_INT\_EN | |  | | T\_INT\_EN |  | |  | | ONE\_INT\_EN |  |
|  |  | |  | |  | |  |  | |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  |
|  | r/w |  | | r/w | |  | | r/w |  | | r |  | | r/w |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  |

**Bit 31-9 Reserved：**Reserved and cannot be modified.

**Bit 8 TWO\_BIT\_ERROR\_INT\_EN：**ECC TWO\_BIT\_ERROR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 7 ONE\_BIT\_CORRECT\_INT\_EN：**ECC ONE\_BIT\_CORRECT 中断使能。

* + 0：不使能
  + 1：使能

**Bit 6 PROG\_ERR\_INT\_EN：**PROG\_ERR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 5 PAGE\_ERASE\_ERR\_INT\_EN：**PAGE\_ERASE\_ERR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 4 OPTION\_WR\_ERR\_INT\_EN：**OPTION\_WR\_ERR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 3 FLASHBUSY\_ERR\_INT\_EN：**FLASHBUSY\_ERR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 2 PROG\_DATA\_WAIT\_INT\_EN：**PROG\_DATA\_WAIT 中断使能。

* + 0：不使能
  + 1：使能

**Bit 1 Reserved：**Reserved and cannot be modified.

**Bit 0 OPERATION\_DONE\_INT\_EN：**OPERATION\_DONE 中断使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 78 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.3** **EFC\_SR**

Offset：0x08

Reset value：0x00000006

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-9** |  | | **8** | |  | | **7** |  | | **6** | |  | |  | | **5** |  |
|  | RESERVED | |  | | TWO\_BIT\_ERROR | | ONE\_BIT\_CORRECT | | |  | | PROG\_ERR | | | | PAGE\_ERASE\_ERR | |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  |  |
|  | r |  | | r/w | |  | | r/w |  | | r/w | |  | |  | | r/w |  |
|  | | |  | | | |  | | |  | | | |  | |  | |  |
|  | **4** |  | | **3** | |  | | **2** |  | | **1** | |  | |  | | **0** |  |
|  | OPTION\_WR\_ |  | | FLASHBUSY\_ERR | |  | | PROG\_DATA\_WAIT |  | | READ\_NUM\_ | |  | |  | | OPERATION\_DONE |  |
|  | ERR |  | |  | |  | | DONE | |  | |  | |  |
|  |  | |  | |  | |  |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  |  |
|  | r/w |  | | r/w | |  | | r/w |  | | r | |  | |  | | r/w |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  |  |

**Bit 31-9 Reserved：**Reserved and cannot be modified.

**Bit 8 TWO\_BIT\_ERROR：**Flash 读数据 two bit ECC 错误标志。

* + 0：无 two bit 错误发生
  + 1：Flash 读数据发生 two bit 错误，ECC 不纠正

**Bit 7 ONE\_BIT\_CORRECT：**Flash 读数据单 bit ECC 错误纠正标志。

* + 0：无错误发生
  + 1：Flash 读数据发生单 bit 错误，ECC 进行了纠正

**Bit 6 PROG\_ERR：**Flash info 部分区domain不支持编程操作（PROG\_EN），对这些区domain的编程操作会被拦截，并且起该标志，硬件置 1，软件写 1 清 0。

* + 0：无 Program 错误产生
  + 1：产生 Program 错误

***Note：****option 区domain不能通过直接编程的方式实现写，需要选择对应操作；bootloader 区domain不能编程。*

**Bit 5 PAGE\_ERASE\_ERR：**Flash info 区domain不支持擦除操作，对 info 的擦除操作会被拦截，并且起该标志，硬件置 1，软件写 1 清 0。

* + 0：无 Page erase 错误
  + 1：发生了 Page erase 错误

**Bit 4 OPTION\_WR\_ERR：**Option 区domain的配置需要满足一定条件，不满足的 option 操作会被拦截，并且起该标志，硬件置 1，软件写 1 清 0。

* + 0：无 Option byte 写权限错误
  + 1：发生 Option byte 写权限错误

Option 区domain配置约束条件为：

* 1. Flash exe\_only1/2 区domain使能时不能关闭或缩小；
  2. exe\_only\_keep 不能由 0 写 1
  3. secure\_area\_en 使能时非安全操作只能配置 option 将 secure\_area\_en 关闭

**Bit 3 FLASHBUSY\_ERR：**Flash 在执行编程、擦除（包括 mass）、option 操作时，软件发起了 Flash 空间读操作，则读操作会拦截，总线返回数据不确定，为异常状态，硬件置 1，软件写 1 清 0。

* 0：无错误发生
* 1：Flash 操作期间发生读操作错误

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 79 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**Bit 2 PROG\_DATA\_WAIT ：** Flash 连续编程模式下等待数据写入状态，硬件置 1 ，软件写

EFC\_PROG\_DATA0 和 EFC\_PROG\_DATA1 后硬件自动清零，或者软件写 1 清零。

* + 0：EFC\_PROG\_DATA0 和 EFC\_PROG\_DATA1 数据写入完毕
  + 1：等待 EFC\_PROG\_DATA0 和 EFC\_PROG\_DATA1 数据写入

**Bit 1 READ\_NUM\_DONE：**READ\_NUM\_DONE 状态，指示 READ\_NUM 配置是否已完成。硬件Control置1与清0。

* + 0：未完成
  + 1：完成

**Bit 0 OPERATION\_DONE：**OPERATION\_DONE 状态，用于指示 mass erase、page erase、program、option 操作是否完成。硬件置 1，软件写 1 清 0。

* + 0：未完成
  + 1：完成

**10.5.4** **EFC\_PROG\_DATA0**

Offset：0x0C

Reset value：0x00000000

**31-0**

PROG\_DATA0

r/w

**Bit 31-0 PROG\_DATA0：**program 编程数据 0。

***Note：****program 时先写入 EFC\_PROG\_DATA0，再写入 EFC\_PROG\_DATA1*

**10.5.5** **EFC\_PROG\_DATA1**

Offset：0x10

Reset value：0x00000000

**31-0**

PROG\_DATA1

r/w

**Bit 31-0 PROG\_DATA1：**program 编程数据 1。

***Note：****program 时先写入 EFC\_PROG\_DATA0，再写入 EFC\_PROG\_DATA1*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 80 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.6** **EFC\_TIMING\_CFG**

Offset：0x14

Reset value：0x00031D1D

|  |  |  |
| --- | --- | --- |
| **31-20** | **19-16** | **15-0** |
| RESERVED | READ\_NUM | RESERVED |
|  |  |  |
| r | r/w | r |
|  |  |  |

**Bit 31-20 Reserved：**Reserved and cannot be modified.

**Bit 19-16 READ\_NUM ：**flash 读操作读等待拍数Control，读等待拍数等于（ READ\_NUM+1）个

SYS\_CLK 时钟周期。

* SYS\_CLK
* SYS\_CLK
* SYS\_CLK
* SYS\_CLK
* SYS\_CLK

频率为 48 MHz 时，READ\_NUM 要大于等于 2 频率为 32 MHz 时，READ\_NUM 要大于等于 1 频率为 24 MHz 时，READ\_NUM 要大于等于 1 频率为 4 MHz 时，READ\_NUM 要大于等于 0 频率为 32 KHz 时，READ\_NUM 要大于等于 0

***Note：****当修改 RCC\_CR0 中的 SYS\_CLK 时钟源选择时，需要Note操作顺序：若切为快时钟，则先配置*

*READ\_NUM 变大，再配置时钟源选择；反之若切为慢时钟时，先配置时钟源选择，再配置 READ\_NUM 变*

*小。*

**Bit 15-0 Reserved：**Reserved and cannot be modified.

**10.5.7** **EFC\_PROTECT\_SEQ**

Offset：0x18

Reset value：0x00000000

**31-0**

PROTECT\_SEQ

w

**Bit 31-0 PROTECT\_SEQ：**EFC\_CR 配置的保护序列。

软件在操作 EFC\_CR 前需要按照以下顺序配置保护序列，才能够正确操作 EFC\_CR register，中间插入了错误序列，则操作无效，需要按以下步骤重新配置：

1. 先写 0x8C9DAEBF
2. 再写 0x13141516
3. 然后才能操作 EFC\_CR

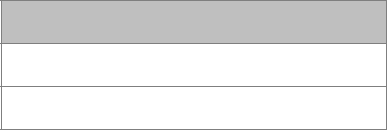
Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 81 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.8** **SERIAL\_NUM\_LOW**

Offset：0x2C



**31-0**

SERIAL\_NUM\_LOW

r

**Bit 31-0 SERIAL\_NUM\_LOW：**芯片序列号的低 32 Bit。



**10.5.9** **SERIAL\_NUM\_HIGH**

Offset：0x30

**31-0**

SERIAL\_NUM\_HIGH

r

**Bit 31-0 SERIAL\_NUM\_HIGH：**芯片序列号的高 32 Bit。

**10.5.10** **OPTION\_CSR\_BYTES**

Offset：0x3C

Reset value：0x000000BD

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-7** |  | | **6-5** | |  | | **4** | |  | | **3** |  | | **2** |  | | **1** |  | | **0** |  |
|  | RESERVED | |  | | DEBUG\_LEVEL | |  | | SECURE\_AREA | | SYS\_SRAM | | | FLASH\_ | | | USE\_FLASH | | | FLASH\_ | |  |
|  |  | |  | |  | | \_EN | |  | | \_RST |  | | BOOT1 |  | | \_BOOT0 |  | | BOOT0 |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  | r |  | | r | |  | | r | |  | | r |  | | r |  | | r |  | | r |  |
|  |  |  | |  | |  | |  | |  | |  |  | |  |  | |  |  | |  |  |

**Bit 31-7 Reserved：**Reserved and cannot be modified.

**Bit 6-5 DEBUG\_LEVEL：**Debug level 配置。

* + 0：Level0
  + 1：Level1
  + 2：Level2

**Bit 4 SECURE\_AREA\_EN：**安全区domain状态指示register。

* + 0：不使能
  + 1：使能

**Bit 3 SYS\_SRAM\_RST：**System 复Bit后 Startup 过程中是否清除系统 SRAM。

* + 1：清除系统 SRAM
  + 0：不清除系统 SRAM

**Bit 2 FLASH\_BOOT1：**用于 Boot 方式判断。

* + 1：BootLoader 启动
  + 0：系统 SRAM 启动

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 82 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**Bit 1 USE\_FLASH\_BOOT0：**Control使用 option bit 或 IO 进行 Boot 方式判断。

* + 0：使用 BOOT0 pin
  + 1：使用 option bit FLASH\_BOOT0

**Bit 0 FLASH\_BOOT0：**USE\_FLASH\_BOOT0=1 时生效，用于 Boot 方式判断。

* + 0：由 FLASH\_BOOT1 Control启动方式
  + 1：Flash Main 启动

**10.5.11** **OPTION\_EXE\_ONLY\_BYTES**

Offset：0x40

Reset value：0x00FC0FC0

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-25** |  | | **24** | |  | | **23-18** |  | | **17-12** |  | | **11-6** |  | | **5-0** |  |
|  | RESERVED | |  | | EXE\_ONLY\_K | | EXE\_ONLY2\_ | | | EXE\_ONLY2\_ | | | EXE\_ONLY1\_ | | | EXE\_ONLY1\_ | |  |
|  |  | | EEP | |  | | END |  | | START |  | | END |  | | START |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  | r |  | | r | |  | | r |  | | r |  | | r |  | | r |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |

**Bit 31-25 Reserved：**Reserved and cannot be modified.

**Bit 24 EXE\_ONLY\_KEEP：**Exe\_Only 区domain在 Debug\_Level 由 1 变为 0 时，是否reserved.

* + 0：不保留 ExeOnly 区domain
  + 1：保留 ExeOnly 区domain

支持修改，但只能写 0。

**Bit 23-18 EXE\_ONLY2\_END：**Exe\_Only 区domain 2 的结束 Page 地址。

当 *EXEONLY2\_START > EXEONLY2\_END*，ExeOnly 区domain 2 不使能。

**Bit 17-12 EXE\_ONLY2\_START：**Exe\_Only 区domain 2 的开始 Page 地址。

当 *EXEONLY2\_START > EXEONLY2\_END*，ExeOnly 区domain 2 不使能。

ExeOnly 区domain 2 支持修改，但只能使能或扩大区domain，不能减少或关闭。

**Bit 11-6 EXE\_ONLY1\_END：**Exe\_Only 区domain 1 的结束 Page 地址。

当 *EXEONLY1\_START > EXEONLY1\_END*，ExeOnly 区domain 1 不使能。

**Bit 5-0 EXE\_ONLY1\_START：**Exe\_Only 区domain 1 的开始 Page 地址。

当 *EXEONLY1\_START > EXEONLY1\_END*，ExeOnly 区domain 1 不使能。

ExeOnly 区domain 1 支持修改，但只能使能或扩大区domain，不能减少或关闭。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 83 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.12** **OPTION\_WR\_PROTECT\_BYTES**

Offset：0x44

Reset value：0x0003F03F

|  |  |  |
| --- | --- | --- |
| **31-12** | **11-6** | **5-0** |
| RESERVED | WRPROTECT\_END | WRPROTECT\_START |
|  |  |  |
| r | r | r |
|  |  |  |

**Bit 31-12 Reserved：**Reserved and cannot be modified.

**Bit 11-6 WRPROTECT\_END：**WrProtect 区domain的结束 Page 地址。

当 *WRPROTECT\_START > WRPROTECT\_END*，WrProtect 区domain不使能。

**Bit 5-0 WRPROTECT\_START：**WrProtect 区domain的开始 Page 地址。

当 *WRPROTECT\_START > WRPROTECT\_END*，WrProtect 区domain不使能。

**10.5.13** **OPTION\_SECURE\_BYTES0**

Offset：0x48

Reset value：0x00FC0FC0

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-24** |  | | **23-18** | |  | | **17-12** |  | | **11-6** |  | | **5-0** |  |
|  | RESERVED | |  | | SYSRAM\_SECURE\_ | | SYSRAM\_SECURE\_ | | | FLASH\_SECURE\_ | | | FLASH\_SECURE\_ | |  |
|  |  | | END | |  | | START |  | | END |  | | START |  |
|  |  |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  |
|  | r |  | | r | |  | | r |  | | r |  | | r |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  |

**Bit 31-24 Reserved：**Reserved and cannot be modified.

**Bit 23-18 SYSRAM\_SECURE\_END：**SysRam Secure 区domain的End address。

当 *SYSRAM\_SECURE\_START > SYSRAM\_SECURE\_END* 时，该区domain安全不使能；且仅在 SECURE\_ AREA\_EN=1 才有效。

**Bit 17-12 SYSRAM\_SECURE\_START：**SysRam Secure 区domain的Base address。

当 *SYSRAM\_SECURE\_START > SYSRAM\_SECURE\_END* 时，该区domain安全不使能；且仅在 SECURE\_ AREA\_EN=1 才有效。

**Bit 11-6 FLASH\_SECURE\_END：**Flash Secure 区domain的End address。

当 *FLASH\_SECURE\_START > FLASH\_SECURE\_END* 时，该区domain安全不使能。

**Bit 5-0 FLASH\_SECURE\_START：**FLASH Secure 区domain的Base address。

当 *FLASH\_SECURE\_START > FLASH\_SECURE\_END* 时，该区domain安全不使能。

FLASH 区domain安全使能为整个安全区domain的总使能：

当 FLASH 区domain安全使能时，SECURE\_AREA\_EN 为 1，使能整个安全区domain；

当 FLASH 区domain安全去使能时，SECURE\_AREA\_EN 由 1 变为 0，将触发擦除操作。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 84 / 302

 10. 嵌入式 Flash ASR6601 Reference Manual



**10.5.14** **OPTION\_SECURE\_BYTES1**

Offset：0x4C

Reset value：0x008103E0

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-24** | **23** | | | | | |  | |  | | **22-17** |  |
|  | RESERVED | SYSRAM\_HIDE\_ENABLE | | | | | | | |  | | SYSRAM\_HIDE\_START |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  | r |  | | r | | | |  | |  | | r |  |
|  | | |  | |  | |  | |  | |  | |  |
|  | **16** | **15-10** | |  | |  | | **9-5** | |  | | **4-0** |  |
|  | FLASH\_HIDE\_ENABLE | FLASH\_HIDE\_START | | | |  | | RETRAM\_SECURE\_ | |  | | RETRAM\_SECURE\_START |  |
|  |  | | END | |  | |  |
|  |  |  | |  | |  | |  | |  |  |
|  |  |  | | | |  | |  | |  | |  |  |
|  | r | r | | | |  | | r | |  | | r |  |
|  |  |  | |  | |  | |  | |  | |  |  |

**Bit 31-24 Reserved：**Reserved and cannot be modified.

**Bit 23 SYSRAM\_HIDE\_ENABLE：**SysRamHide 区domain使能Control。

* + 0：SysRamHide 区domain使能
  + 1：SysRamHide 区domain不使能

仅当 SECURE\_AREA\_EN=1 时才有效。

**Bit 22-17 SYSRAM\_HIDE\_START：**SysRamHide 区domain的开始 Page 地址。

必须在 SysRamSecure 区domain内才使能，区domain范围由 SYSRAM\_HIDE\_START 开始一直到 SYSRAM\_

SECURE\_END；

仅当 SECURE\_AREA\_EN=1 时才有效。

**Bit 16 FLASH\_HIDE\_ENABLE：**FlashHide 区domain使能Control。

* + 0：FlashHide 区domain使能
  + 1：FlashHide 区domain不使能

仅当 SECURE\_AREA\_EN=1 时才有效。

**Bit 15-10 FLASH\_HIDE\_START：**FlashHide 区domain的开始 Page 地址。

必须在 FlashSecure 区domain内才使能，区domain范围由 FLASH\_HIDE\_START 开始一直到 FLASH\_SECURE\_END；仅当 SECURE\_AREA\_EN=1 时才有效。

**Bit 9-5 RETRAM\_SECURE\_END：**RetRam Secure 区domain的End address。

当 *RETRAM\_SECURE\_START > RETRAM\_SECURE\_END* 时，该区domain安全不使能；仅当 SECURE\_AREA\_EN=1 时才有效。

**Bit 4-0 RETRAM\_SECURE\_START：**RetRam Secure 区domain的开始地址。

当 *RETRAM\_SECURE\_START > RETRAM\_SECURE\_END* 时，该区domain安全不使能；仅当 SECURE\_AREA\_EN=1 时才有效。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 85 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.** **通用输入输出 (GPIO)**

**11.1** **简介**

共 A、B、C、D 四组 GPIO，每组的 SFR register分配一致，利用不同Base address进行区分；PortD Pin8~PortD Pin15 Bit于 AlwayOn domain，其他 IO Bit于 Main domain。

支持输入输出功能，支持上下拉功能，支持推挽输出和开漏输出，可以配置输出驱动电流为 4mA/8mA, 所有 IO 都支持中断功能，上升沿、下降沿或双沿可配，Sleep/Stop0~2 模式所有 IO 都可以唤醒，Stop3 模式部分 IO 可唤醒。所有 GPIO 均支持功能复用配置。

**11.2** **输出配置**

支持输出数据配置，通过配置输出使能register GPIOx\_OER 和输出数据register GPIOx\_ODR 实现。

支持输出数据置Bit和清零两种Bit操作, 通过向输出数据清零register GPIOx\_BRR 写 1 来清除 GPIOx\_ODR 的相应Bit，或者向输出数据置Bit清零register GPIOx\_BSRR 低 16 Bit写 1 置Bit

GPIOx\_ODR 的相应Bit，向 GPIOx\_BSRR 高 16 Bit写 1 清零 GPIOx\_ODR 的相应Bit，只操作指定Bit，避免读后写。

支持推挽输出，通过配置输出类型register GPIOx\_OTYPER 实现。支持开漏输出，其中 PortD Pin8~PortD Pin15 通过配置 GPIOx\_IER/GPIOx\_OER/GPIOx\_ODR/GPIOx\_PSR 实现，其他

的 IO 通过配置 GPIOx\_OER/GPIOx\_IER/GPIOx\_ODR/GPIOx\_OTYPER 实现。不支持真的 Open Drain 结构，通过配置 GPIOx\_OER 和 GPIOx\_ODR 实现。

支持配置为模拟输出。

**11.3** **输入配置**

支持输入数据配置，通过配置输入使能register GPIOx\_IER 使能输入功能，读取输入数据寄存

器 GPIOx\_IDR 获取输入状态。

支持 Floating 输入方式，通过配置上下拉使能register GPIOx\_PER 关闭上下拉功能实现。

支持上拉输入和下拉输入，配置 GPIOx\_PER 使能上下拉功能，配置上下拉选择register GPIOx\_PSR 选择上拉或者下拉功能。

支持配置为模拟输入。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 86 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.4** **输出驱动能力**

可配为低驱动能力 4mA 或高驱动能力 8mA，通过配置输出驱动能力register GPIOx\_DSR 实现。

**11.5** **中断**

所有 IO 都支持上升沿、下降沿和双沿中断，中断使能可配，通过配置中断使能register GPIOx\_ INT\_CR 实现。

**11.6** **Sleep/Stop0~2 唤醒请求**

支持高电平与低电平，输出唤醒信号为高电平。GPIO00~GPIO63 均可用于唤醒，每 4 个 IO 为一组，一组可以产生一个唤醒信号，同组内的每个 IO 均支持配置高电平或者低电平唤醒。通过配置 Sleep/Stop0~2 唤醒使能register GPIOx\_WU\_EN 使能唤醒功能，通过配置 Sleep/Stop0~2 唤醒电平Controlregister选择高电平或者低电平唤醒。

**11.7** **Stop3 唤醒请求**

Main domain的 GPIO00~GPIO55，每 4 个 IO MUX 出一个唤醒信号，共 14 个唤醒信号。支持高电平唤醒或低电平唤醒和唤醒使能Control，通过配置 Stop3 唤醒使能register GPIOx\_STOP3\_WU\_ CR 实现。

**11.8** **复用功能Control**

可在 GPIO 以及不同外设之间选择，GPIO 下的输入输出使能由 GPIO registerControl，外设下的输入输出Control由外设实现，上下拉由 GPIO register实现。

每个 IO 均有 4bit 的复用功能Control（PortD Pin8~PortD Pin15 为每个 3bit），除 PortA Pin6 和 PortA Pin7 默认选择 SWD 外，其余 IO 均默认选择 GPIO 功能。

通过低 8 Pin 功能 MUX 选择register GPIOx\_AFRL 配置 Portx Pin[7:0] 的功能，通过高 8 Pin 功

能 MUX 选择register GPIOx\_AFRH 配置 Portx Pin[15:8] 的功能。

**11.9** **时钟复Bit**

APB 总线时钟，共 4 组，每组均有独立的总线时钟。APB 总线复Bit，共 4 组，每组均有独立的总线复Bit。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 87 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.10 电源domain**

**Main domain：**

除了 PortD Pin8~PortD Pin15 外相应的 PAD 均在 Main domain。

**AlwayOn domain：**

PortD Pin8~PortD Pin15 对应的 PAD Bit于 AlwaysOn domain，如果配置为 Function 模式，那么直接由外设去Control，如果没有配置为 Function 模式，需要由 AlwaysOn 的 GPIO registerControl。

**11.11 低功耗工作与唤醒**

1. Sleep 下所有 GPIO 均可工作，可输出唤醒信号。
2. Stop0~2 下所有 GPIO 均可工作，可输出唤醒信号。
3. Stop3 下 GPIO00~GPIO55 工作状态可保持，并且均可配置为唤醒信号。
4. Stop3 下 AlwaysOn domain的 PortD Pin8~PortD Pin15 可保持，也可以通过 RTC 唤醒。
5. Standby 下 PortD Pin8~PortD Pin15 可工作，其他 IO 不可工作。

**11.12 SWD IO**

**默认Control：**Control GPIO MUX 的register默认应选择 SWD，并且上下拉默认值应为 SWC-下拉（PortA Pin7），SWD-上拉（PortA Pin6）。

**封口Control：**上电时由register默认态Control IO 状态，直到 DebugLevel 判断完毕，若发现需要封口，则执行永久封口；否则，继续由registerControl。

**软件配置：**软件运行过程中，可通过复用registerControl关闭 SWD，Note是单向封口的，即只能Control关闭，不能关闭后再使能。

**11.13 BOOT0 的Control**

**默认Control：**由于除了 SWC 和 SWD 两个 IO 外，其他 IO 默认都是模拟 IO，因此上电时这三个 IO 需要特殊Control。

**BOOT0 (GPIO02)：**BOOT0 在 io\_lock 前为输入下拉，待 EFC 锁定后，切换为 GPIO Control。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 88 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.14 GPIO 相关registerDescription**

GPIO Port A Base address：0x4001F000

GPIO Port B Base address：0x4001F400

GPIO Port C Base address：0x4001F800

GPIO Port D Base address：0x4001FC00

**表 11-1 GPIO register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| GPIOx\_OER | 0x00 | 通用输出使能register |
|  |  |  |
| GPIOx\_OTYPER | 0x04 | 通用输出类型Controlregister |
|  |  |  |
| GPIOx\_IER | 0x08 | 通用输入使能register |
|  |  |  |
| GPIOx\_PER | 0x0C | 上下拉使能register |
|  |  |  |
| GPIOx\_PSR | 0x10 | 上下拉选择register |
|  |  |  |
| GPIOx\_IDR | 0x14 | 输入数据register |
|  |  |  |
| GPIOx\_ODR | 0x18 | 输出数据register |
|  |  |  |
| GPIOx\_BRR | 0x1C | 输出数据清零register |
|  |  |  |
| GPIOx\_BSRR | 0x20 | 输出数据置Bit和清零register |
|  |  |  |
| GPIOx\_DSR | 0x24 | 输出驱动能力register |
|  |  |  |
| GPIOx\_INT\_CR | 0x28 | 中断使能register |
|  |  |  |
| GPIOx\_FR | 0x2C | 中断沿标志register |
|  |  |  |
| GPIOx\_WU\_EN | 0x30 | Sleep/Stop0~2 唤醒使能register |
|  |  |  |
| GPIOx\_WU\_LVL | 0x34 | Sleep/Stop0~2 唤醒电平Controlregister |
|  |  |  |
| GPIOx\_AFRL | 0x38 | 低 8 Pin 功能 MUX 选择register |
|  |  |  |
| GPIOx\_AFRH | 0x3C | 高 8 Pin 功能 MUX 选择register |
|  |  |  |
| GPIOx\_STOP3\_WU\_CR | 0x40 | Stop3 唤醒使能Controlregister |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 89 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.14.1** **GPIOx\_OER (x=A, B, C, D)**

Offset：0x00

Reset value：0x0000FFFF

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **31-16** |  | | **15-0** |
|  | RESERVED |  | | OEN |
|  |  |  | |  |
|  | r-0h |  | | rw-ffffh |
|  | | | |  |
| **Bit 31-16 RESERVED：**保留，不可更改。 | | | | |
| **Bit 15-0 OEN：**Portx Pin[15:0] | | | 输出使能。 | |
|  | 0：输出使能有效 |  | |  |
|  | 1：输出使能无效 |  | |  |

**11.14.2** **GPIOx\_OTYPER (x=A, B, C, D)**

Offset：0x04

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | OTYPE |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 OTYPE：**Portx Pin[15:0] 输出类型Control。

* + 0：推挽输出
  + 1：开漏输出

***说明：****AON 的 PAD（PortD\_Pin[15:8]）不支持该register的配置，而是通过 GPIOx\_OER 直接Control PAD 的 OEN 端。其他 PAD 的开漏模式可以通过配置 GPIOx\_ODR/GPIOx\_IER/GPIOx\_OER/GPIOx\_OTYPER 的*

*组合去实现。*

**11.14.3** **GPIOx\_IER (x=A, B, C, D)**

Offset：0x08

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | IE |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 IE：**Portx Pin[15:0] 输入使能。

* + 0：输入使能无效

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 90 / 302

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 11. 通用输入输出 (GPIO) | | | ASR6601 Reference Manual | |
|  |  |  | |  |
|  |  1：输入使能有效 |  | |  |
| **11.14.4 GPIOx\_PER (x=A, B, C, D)** | |  | |  |
| Offset：0x0C | |  | |  |
| Reset value：0x00000000 | |  | |  |
|  |  |  | |  |
|  | **31-16** | **15-0** | |  |
|  | RESERVED | PE | |  |
|  |  |  | |  |
|  | r-0h | rw-0h | |  |
|  |  |  | |  |



**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 PE：**Portx Pin[15:0] 上下拉使能。

* + 0：上下拉使能无效
  + 1：上下拉使能有效

上下拉直接由registerControl。默认上下拉不使能，IO 处于模拟模式，PortA\_Pin[7:6] 例外，为 SWD 接口。

**11.14.5** **GPIOx\_PSR (x=A, B, C, D)**

Offset：0x10

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | PS |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 PS：**Portx Pin[15:0] 上下拉选择。

* + 0：选择下拉
  + 1：选择上拉

**11.14.6** **GPIOx\_IDR (x=A, B, C, D)**

Offset：0x14

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | ID |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 ID：**Portx Pin[15:0]输入数据。

* + 0：输入低

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 91 / 302

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 11. 通用输入输出 (GPIO) | | | | ASR6601 Reference Manual | |
|  |  |  |  | |  |
|  |  | 1：输入高 |  | |  |
| **11.14.7 GPIOx\_ODR (x=A, B, C, D)** | | |  | |  |
| Offset：0x18 | | |  | |  |
| Reset value：0x00000000 | | |  | |  |
|  |  |  |  | |  |
|  |  | **31-16** | **15-0** | |  |
|  |  | RESERVED | OD | |  |
|  |  |  |  | |  |
|  |  | r-0h | rw-0h | |  |
|  |  | |  | |  |
| **Bit 31-16 RESERVED：**保留，不可更改。 | | |  | |  |
| **Bit 15-0 OD：**Portx Pin[15:0]输出数据。 | | |  | |  |
|  |  | 0：输出低 |  | |  |
|  |  | 1：输出高 |  | |  |



**11.14.8** **GPIOx\_BRR (x=A, B, C, D)**

Offset：0x1C

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | BR |
|  |  |
| r-0h | w-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 BR：**Portx Pin[15:0] 输出数据清零。

* + 写 0：无效
  + 写 1：清除 GPIOx\_ODR 相应Bit

**11.14.9** **GPIOx\_BSRR (x=A, B, C, D)**

Offset：0x20

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-16** |  | | **15-0** |
| BR |  | | BSR |
|  |  | |  |
| w-0h |  | | w-0h |
|  |  | |  |
| **Bit 31-16 BR：**Portx Pin[15:0] | | 输出数据清零。 | |

 写 0：无效

 写 1：清除 GPIOx\_ODR 相应Bit

***说明：****若 BSR 和 BR 同时有效，则 BSR 优先级高。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 92 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**Bit 15-0 BSR：**Portx Pin[15:0] 输出数据置Bit。

* + 写 0：无效
  + 写 1：置Bit GPIOx\_ODR 相应Bit

***说明：****若 BSR 和 BR 同时有效，则 BSR 优先级高。*

**11.14.10 GPIOx\_DSR (x=A, B, C, D)**

Offset：0x24

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | DS |
|  |  |
| r-0h | w-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 DS：**Portx Pin[15:0] 输出驱动能力配置。

* + 写 0：低驱动能力，4mA
  + 写 1：高驱动能力，8mA

**11.14.11 GPIOx\_INT\_CR (x=A, B, C, D)**

Offset：0x28

Reset value：0x00000000

|  |  |
| --- | --- |
| **2\*n + 1** | **2\*n** |
| NEG\_INT\_EN | POS\_INT\_EN |
|  |  |
| rw-0h | rw-0h |
|  |  |

**Bit 2\*n + 1 NEG\_INT\_EN：**Portx Pin[15:0] 下降沿中断使能。

* + 0：不使能下降沿中断
  + 1：使能下降沿中断

**Bit 2\*n POS\_INT\_EN：**Portx Pin[15:0] 上升沿中断使能。

* + 0：不使能上升沿中断
  + 1：使能上升沿中断

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 93 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.14.12 GPIOx\_FR (x=A, B, C, D)**

Offset：0x2C

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **2\*n + 1** |  | | **2\*n** |
|  | NEG\_F |  | | POS\_F |
|  |  |  | |  |
|  | rw1c-0h |  | | rw1c-0h |
|  | |  | |  |
| **Bit 2\*n + 1 NEG\_INT\_EN：**Portx Pin[15:0] | | | 下降沿中断标志。 | |
|  | 0：未发生下降沿中断 |  | |  |
|  | 1：发生下降沿中断 |  | |  |
| **Bit 2\*n POS\_INT\_EN：**Portx Pin[15:0] 上升沿中断标志。 | | | | |
|  | 0：未发生上升沿中断 |  | |  |
|  | 1：发生上升沿中断 |  | |  |

**11.14.13 GPIOx\_WU\_EN (x=A, B, C, D)**

Offset：0x30

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | WU\_EN |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 WU\_EN：**Portx Pin[15:0] Sleep/Stop0~2 唤醒使能。

* + 0：不使能 Sleep/Stop0~2 唤醒
  + 1：使能 Sleep/Stop0~2 唤醒

**11.14.14 GPIOx\_WU\_LVL (x=A, B, C, D)**

Offset：0x34

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | WU\_LVL |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 WU\_LVL：**Portx Pin[15:0] Sleep/Stop0~2 电平Control。

* + 0：低电平唤醒
  + 1：高电平唤醒

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 94 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.14.15 GPIOx\_AFRL (x=A, B, C, D)**

Offset：0x38

Reset value：0x00000000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-28** | **27-24** | **23-20** | **19-16** | **15-12** | **11-8** | **7-4** | **3-0** |
| AF7 | AF6 | AF5 | AF4 | AF3 | AF2 | AF1 | AF0 |
|  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-28 AF7：**Portx Pin7 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 27-24 AF6：**Portx Pin6 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 23-20 AF5：**Portx Pin5 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 19-16 AF4：**Portx Pin4 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 95 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



* + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 15-12 AF3：**Portx Pin3 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 11-8 AF2：**Portx Pin2 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 7-4 AF1：**Portx Pin1 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 3-0 AF0：**Portx Pin0 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 96 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



* 0110：Function6
* 0111：Function7
* others：Reserved

**11.14.16 GPIOx\_AFRH (x=A, B, C)**

Offset：0x3C

Reset value：0x00000000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-28** | **27-24** | **23-20** | **19-16** | **15-12** | **11-8** | **7-4** | **3-0** |
| AF15 | AF14 | AF13 | AF12 | AF11 | AF10 | AF9 | AF8 |
|  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-28 AF15：**Portx Pin15 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 27-24 AF14：**Portx Pin14 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 23-20 AF13：**Portx Pin13 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 97 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**Bit 19-16 AF12：**Portx Pin12 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 15-12 AF11：**Portx Pin11 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 11-8 AF10：**Portx Pin10 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 7-4 AF9：**Portx Pin9 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1
  + 0010：Function2
  + 0011：Function3
  + 0100：Function4
  + 0101：Function5
  + 0110：Function6
  + 0111：Function7
  + others：Reserved

**Bit 3-0 AF8：**Portx Pin8 功能 MUX 选择。

* + 0000：Function0
  + 0001：Function1**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 98 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



* 0010：Function2
* 0011：Function3
* 0100：Function4
* 0101：Function5
* 0110：Function6
* 0111：Function7
* others：Reserved

**11.14.17 GPIOD\_AFRH**

Offset：0x3C

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-24** | **23-21** | **20-18** | **17-15** | **14-12** | **11-9** | **8-6** | **5-3** | **2-0** |
| RESERVED | AF15 | AF14 | AF13 | AF12 | AF11 | AF10 | AF9 | AF8 |
|  |  |  |  |  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |  |

**Bit 31-24 RESERVED：**保留，不可更改。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 23-21 AF15：**PortD Pin15 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 20-18 AF14：**PortD Pin14 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 17-15 AF13：**PortD Pin13 功能 MUX 选择。

* + 001：Function1**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 99 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



* + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 14-12 AF12：**PortD Pin12 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 11-9 AF11：**PortD Pin11 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 8-6 AF10：**PortD Pin10 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 5-3 AF9：**PortD Pin9 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3
  + 100：Function4
  + 101：Function5
  + 110：Function6
  + 111：Function7

**Bit 2-0 AF8：**PortD Pin8 功能 MUX 选择。

* + 001：Function1
  + 010：Function2
  + 011：Function3**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 100 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



* 100：Function4
* 101：Function5
* 110：Function6
* 111：Function7

**11.14.18 GPIOA\_STOP3\_WU\_CR**

Offset：0x40

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-16** |  | |  | | **15** | |  | | **14** | |  |  | | **13-12** | |  | |  | | **11** | |  |  |
|  | RESERVED | |  | |  | | STOP3\_WU\_EN | |  | | STOP3\_WU\_LVL\_G3 | | |  | | STOP3\_WU\_SEL\_G | | | |  | | STOP3\_WU\_EN\_G2 | |  |
|  |  | |  | | \_G1 | |  | | 3 | | | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  |  | | | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | | |  | |  | | | |  | |  | |  |
|  | r-0h | |  | |  | | rw-0h | |  | | rw-0h | | |  | | rw-0h | | | |  | | rw-0h | |  |
|  |  |  | |  | | | |  | | | |  |  | | | |  | |  | | | |  |  |
|  |  | **10** | | | | | |  | | **9-8** | |  |  | | **7** | |  | |  | | **6** | |  |  |
|  | STOP3\_WU\_LVL\_G2 | | | | | | | |  | | STOP3\_WU\_SEL\_G | | |  | | STOP3\_WU\_EN\_G1 | | | |  | | STOP3\_WU\_LVL\_G | |  |
|  | 2 | | | |  |  | |  | | | | 1 | | | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  |  | |  | | | | | |  | |  | | |  | |  | | | |  | |  | |  |
|  |  | | rw-0h | | | | | |  | | rw-0h | | |  | | rw-0h | | | |  | | rw-0h | |  |
|  |  |  | | | | | |  | | | |  |  | | | |  | |  | | | |  |  |
|  |  | **5-4** | | | | | |  | | **3** | |  |  | | **2** | |  | |  | | **1-0** | |  |  |
|  | STOP3\_WU\_SEL\_G1 | | | | | | | |  | | STOP3\_WU\_EN\_G0 | | |  | | STOP3\_WU\_LVL\_G | | | |  | | STOP3\_WU\_SEL\_G | |  |
|  |  | |  | | | 0 | | | |  | | 0 | | | |  |  |
|  |  |  | |  | |  | |  | |  | |  |  | |  |  |
|  |  | |  | | | | | |  | |  | | |  | |  | | | |  | |  | |  |
|  |  | | rw-0h | | | | | |  | | rw-0h | | |  | | rw-0h | | | |  | | rw-0h | |  |
|  |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15 STOP3\_WU\_EN\_G3：**PortA Pin Group3 Stop3 唤醒使能Control。

* + 0：PortA Pin[15/14/7/6] 唤醒不使能
  + 1：PortA Pin[15/14/7/6] 唤醒使能

**Bit 14 STOP3\_WU\_LVL\_G3：**PortA Pin Group3 Stop3 唤醒电平选择。

* + 0：PortA Pin[15/14/7/6] 低电平唤醒
  + 1：PortA Pin[15/14/7/6] 高电平唤醒

**Bit 13-12 STOP3\_WU\_SEL\_G3：**PortA Pin Group3 Stop3 Wake-up source选择。

* + 00：选择 PortA Pin6
  + 01：选择 PortA Pin7
  + 10：选择 PortA Pin14
  + 11：选择 PortA Pin15

**Bit 11 STOP3\_WU\_EN\_G2：**PortA Pin Group2 Stop3 唤醒使能Control。

* + 0：PortA Pin[11:8] 唤醒不使能
  + 1：PortA Pin[11:8] 唤醒使能

**Bit 10 STOP3\_WU\_LVL\_G2：**PortA Pin Group2 Stop3 唤醒电平选择。

* + 0：PortA Pin[11:8] 低电平唤醒
  + 1：PortA Pin[11:8] 高电平唤醒

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 101 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**Bit 9-8 STOP3\_WU\_SEL\_G2：**PortA Pin Group2 Stop3 Wake-up source选择。

* + 00：选择 PortA Pin8
  + 01：选择 PortA Pin9
  + 10：选择 PortA Pin10
  + 11：选择 PortA Pin11

**Bit 7 STOP3\_WU\_EN\_G1：**PortA Pin Group1 Stop3 唤醒使能Control。

* + 0：PortA Pin[13/12/5/4] 唤醒不使能
  + 1：PortA Pin[13/12/5/4] 唤醒使能

**Bit 6 STOP3\_WU\_LVL\_G1：**PortA Pin Group1 Stop3 唤醒电平选择。

* + 0：PortA Pin[13/12/5/4] 低电平唤醒
  + 1：PortA Pin[13/12/5/4] 高电平唤醒

**Bit 5-4 STOP3\_WU\_SEL\_G1：**PortA Pin Group1 Stop3 Wake-up source选择。

* + 00：选择 PortA Pin4
  + 01：选择 PortA Pin5
  + 10：选择 PortA Pin12
  + 11：选择 PortA Pin13

**Bit 3 STOP3\_WU\_EN\_G0：**PortA Pin Group0 Stop3 唤醒使能Control。

* + 0：PortA Pin[3:0] 唤醒不使能
  + 1：PortA Pin[3:0] 唤醒使能

**Bit 2 STOP3\_WU\_LVL\_G0：**PortA Pin Group0 Stop3 唤醒电平选择。

* + 0：PortA Pin[3:0] 低电平唤醒
  + 1：PortA Pin[3:0] 高电平唤醒

**Bit 1-0 STOP3\_WU\_SEL\_G0：**PortA Pin Group0 Stop3 Wake-up source选择。

* + 00：选择 PortA Pin0
  + 01：选择 PortA Pin1
  + 10：选择 PortA Pin2
  + 11：选择 PortA Pin3

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 102 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.14.19 GPIOx\_STOP3\_WU\_CR (x=B, C)**

Offset：0x40

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-16** |  | |  | | **15** | |  | | **14** | |  |  | | **13-12** | |  | |  | | **11** | |  |  |
|  | RESERVED | |  | |  | | STOP3\_WU\_EN | |  | | STOP3\_WU\_LVL\_G3 | | |  | | STOP3\_WU\_SEL\_G | | | |  | | STOP3\_WU\_EN\_G2 | |  |
|  |  | |  | | \_G3 | |  | | 3 | | | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  |  | | | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  | | |  | |  | | | |  | |  | |  |
|  | r-0h | |  | |  | | rw-0h | |  | | rw-0h | | |  | | rw-0h | | | |  | | rw-0h | |  |
|  |  |  | |  | | | |  | | | |  |  | | | |  | |  | | | |  |  |
|  |  | **10** | | | | | |  | | **9-8** | |  |  | | **7** | |  | |  | | **6** | |  |  |
|  | STOP3\_WU\_LVL\_G2 | | | | | | | |  | | STOP3\_WU\_SEL\_G | | |  | | STOP3\_WU\_EN\_G1 | | | |  | | STOP3\_WU\_LVL\_G | |  |
|  | 2 | | | |  |  | |  | | | | 1 | | | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  |  | |  | | | | | |  | |  | | |  | |  | | | |  | |  | |  |
|  |  | | rw-0h | | | | | |  | | rw-0h | | |  | | rw-0h | | | |  | | rw-0h | |  |
|  |  |  | | | | | |  | | | |  |  | | | |  | |  | | | |  |  |
|  |  | **5-4** | | | | | |  | | **3** | |  |  | | **2** | |  | |  | | **1-0** | |  |  |
|  | STOP3\_WU\_SEL\_G1 | | | | | | | |  | | STOP3\_WU\_EN\_G0 | | |  | | STOP3\_WU\_LVL\_G | | | |  | | STOP3\_WU\_SEL\_G | |  |
|  |  | |  | | | 0 | | | |  | | 0 | | | |  |  |
|  |  |  | |  | |  | |  | |  | |  |  | |  |  |
|  |  | |  | | | | | |  | |  | | |  | |  | | | |  | |  | |  |
|  |  | | rw-0h | | | | | |  | | rw-0h | | |  | | rw-0h | | | |  | | rw-0h | |  |
|  |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15 STOP3\_WU\_EN\_G3：**Portx Pin Group3 Stop3 唤醒使能Control。

* + 0：Portx Pin[15:12] 唤醒不使能
  + 1：Portx Pin[15:12] 唤醒使能

**Bit 14 STOP3\_WU\_LVL\_G3：**Portx Pin Group3 Stop3 唤醒电平选择。

* + 0：Portx Pin[15:12] 低电平唤醒
  + 1：Portx Pin[15:12] 高电平唤醒

**Bit 13-12 STOP3\_WU\_SEL\_G3：**Portx Pin Group3 Stop3 Wake-up source选择。

* + 00：选择 Portx Pin12
  + 01：选择 Portx Pin13
  + 10：选择 Portx Pin14
  + 11：选择 Portx Pin15

**Bit 11 STOP3\_WU\_EN\_G2：**Portx Pin Group2 Stop3 唤醒使能Control。

* + 0：Portx Pin[11:8] 唤醒不使能
  + 1：Portx Pin[11:8] 唤醒使能

**Bit 10 STOP3\_WU\_LVL\_G2：**Portx Pin Group2 Stop3 唤醒电平选择。

* + 0：Portx Pin[11:8] 低电平唤醒
  + 1：Portx Pin[11:8] 高电平唤醒

**Bit 9-8 STOP3\_WU\_SEL\_G2：**Portx Pin Group2 Stop3 Wake-up source选择。

* + 00：选择 Portx Pin8
  + 01：选择 Portx Pin9
  + 10：选择 Portx Pin10
  + 11：选择 Portx Pin11

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 103 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**Bit 7 STOP3\_WU\_EN\_G1：**Portx Pin Group1 Stop3 唤醒使能Control。

* + 0：Portx Pin[7:4] 唤醒不使能
  + 1：Portx Pin[7:4] 唤醒使能

**Bit 6 STOP3\_WU\_LVL\_G1：**Portx Pin Group1 Stop3 唤醒电平选择。

* + 0：Portx Pin[7:4] 低电平唤醒
  + 1：Portx Pin[7:4] 高电平唤醒

**Bit 5-4 STOP3\_WU\_SEL\_G1：**Portx Pin Group1 Stop3 Wake-up source选择。

* + 00：选择 Portx Pin4
  + 01：选择 Portx Pin5
  + 10：选择 Portx Pin6
  + 11：选择 Portx Pin7

**Bit 3 STOP3\_WU\_EN\_G0：**Portx Pin Group0 Stop3 唤醒使能Control。

* + 0：Portx Pin[3:0] 唤醒不使能
  + 1：Portx Pin[3:0] 唤醒使能

**Bit 2 STOP3\_WU\_LVL\_G0：**Portx Pin Group0 Stop3 唤醒电平选择。

* + 0：Portx Pin[3:0] 低电平唤醒
  + 1：Portx Pin[3:0] 高电平唤醒

**Bit 1-0 STOP3\_WU\_SEL\_G0：**Portx Pin Group0 Stop3 Wake-up source选择。

* + 00：选择 Portx Pin0
  + 01：选择 Portx Pin1
  + 10：选择 Portx Pin2
  + 11：选择 Portx Pin3

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 104 / 302

 11. 通用输入输出 (GPIO) ASR6601 Reference Manual



**11.14.20 GPIOD\_STOP3\_WU\_CR**

Offset：0x40

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-8** | |  | **7** | **6** |
| RESERVED | | | STOP3\_WU\_EN\_G1 | STOP3\_WU\_LVL\_G1 |
|  |  |  |  |  |
| r-0h | |  | rw-0h | rw-0h |
|  |  |  |  |  |
| **5-4** |  | **3** | **2** | **1-0** |
| STOP3\_WU\_SEL\_G1 |  | STOP3\_WU\_EN\_G0 | STOP3\_WU\_LVL\_G0 | STOP3\_WU\_SEL\_G0 |
|  |  |  |  |  |
| rw-0h |  | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7 STOP3\_WU\_EN\_G1：**PortD Pin Group1 Stop3 唤醒使能Control。

* + 0：PortD Pin[7:4] 唤醒不使能
  + 1：PortD Pin[7:4] 唤醒使能

**Bit 6 STOP3\_WU\_LVL\_G1：**PortD Pin Group1 Stop3 唤醒电平选择。

* + 0：PortD Pin[7:4] 低电平唤醒
  + 1：PortD Pin[7:4] 高电平唤醒

**Bit 5-4 STOP3\_WU\_SEL\_G1：**PortD Pin Group1 Stop3 Wake-up source选择。

* + 00：选择 PortD Pin4
  + 01：选择 PortD Pin5
  + 10：选择 PortD Pin6
  + 11：选择 PortD Pin7

**Bit 3 STOP3\_WU\_EN\_G0：**PortD Pin Group0 Stop3 唤醒使能Control。

* + 0：PortD Pin[3:0] 唤醒不使能
  + 1：PortD Pin[3:0] 唤醒使能

**Bit 2 STOP3\_WU\_LVL\_G0：**PortD Pin Group0 Stop3 唤醒电平选择。

* + 0：PortD Pin[3:0] 低电平唤醒
  + 1：PortD Pin[3:0] 高电平唤醒

**Bit 1-0 STOP3\_WU\_SEL\_G0：**PortD Pin Group0 Stop3 Wake-up source选择。

* + 00：选择 PortD Pin0
  + 01：选择 PortD Pin1
  + 10：选择 PortD Pin2
  + 11：选择 PortD Pin3

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 105 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.** **LoRa Control器 (LoRaC)**

**12.1** **简介**

LoRa Controller 主要用来Control内部的 RF TRX 实现 LoRa 的发送和接收。

**12.2** **主要特性**

* 支持 SPI 接口连接 RF TRX
* 支持中断信号产生

**12.3** **Functional description**

**12.3.1** **内部 SPI 接口**

LoRa Controller 拥有一路内部 SPI 接口，可以通过register直接Control RF TRX。与 RF TRX 之间的通信如下：

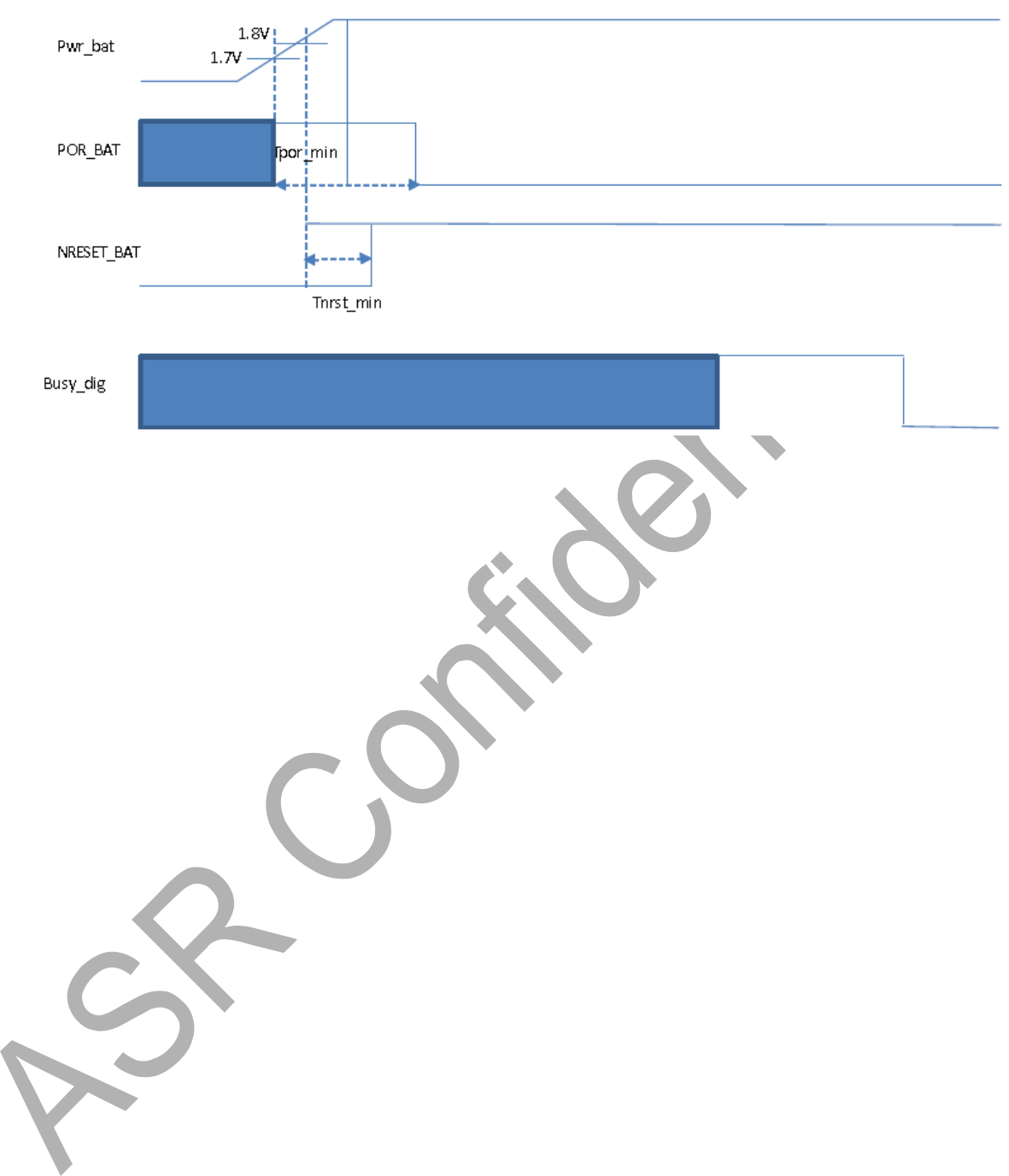
1. 初始化 LoRa Controller 内部 SSP。
2. 检查 LORAC\_SR register的 BUSY\_DIG\_SR 是否为 0，若为 0 则说明当前 RF TRX 空闲，可以进行通信。
3. 将register LORAC\_NSS\_CR 写 0。
4. 将数据写入 LoRa Controller 内部 SSP 的register SSP\_DR。
5. 等待发送完成。
6. 通过register SSP\_DR 读回数据。
7. 根据需求重复执行步骤(4) - (6)。
8. 将register LORAC\_NSS\_CR 写 1。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 106 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.3.2** **上电初始化**



**图 12-1 上电初始化时序**

如上图所示，上电初始化的流程为：

1. 将register LORAC\_CR1 的 NRESET\_BAT 置 1。
2. 将register LORAC\_CR1 的 POR\_BAT 置 0。
3. 等待 BUSY\_DIG\_SR 为 0。

其中，Tpor\_min 为 100us，Tnrst\_min 为 50us。

**12.3.3** **中断信号**

LoRa Controller 的中断信号主要是透传 RF TRX 的中断请求，需Note的是当 LoRa Controller 的中断请求触发时，需要向 RF TRX 发送 ClearIrqStatus 命令清除中断，不然中断请求会一直触发。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 107 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4** **LoRaC 相关registerDescription**

LORAC registerBase address：0x40009000

**表 12-1 LORAC register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| SSP\_CR0 | 0x00 | LORAC 内部 SSP Controlregister 0 |
|  |  |  |
| SSP\_CR1 | 0x04 | LORAC 内部 SSP Controlregister 1 |
|  |  |  |
| SSP\_DR | 0x08 | LORAC 内部 SSP 数据register |
|  |  |  |
| SSP\_SR | 0x0C | LORAC 内部 SSP 状态register |
|  |  |  |
| SSP\_CPSR | 0x10 | LORAC 内部 SSP 时钟分频register |
|  |  |  |
| SSP\_IMSC | 0x14 | LORAC 内部 SSP 中断设置register |
|  |  |  |
| SSP\_RIS | 0x18 | LORAC 内部 SSP 原始中断状态register |
|  |  |  |
| SSP\_MIS | 0x1C | LORAC 内部 SSP 屏蔽中断状态register |
|  |  |  |
| SSP\_ICR | 0x20 | LORAC 内部 SSP 中断清除register |
|  |  |  |
| SSP\_DMACR | 0x24 | LORAC 内部 SSP DMA Controlregister |
|  |  |  |
| RESERVED | 0x28-0xFC | 保留 |
|  |  |  |
| LORAC\_CR0 | 0x100 | LORAC Controlregister 0 |
|  |  |  |
| LORAC\_CR1 | 0x104 | LORAC Controlregister 1 |
|  |  |  |
| LORAC\_SR | 0x108 | LORAC 状态register |
|  |  |  |
| LORAC\_NSS\_CR | 0x10C | LORAC NSS Controlregister |
|  |  |  |
| LORAC\_SCK\_CR | 0x110 | LORAC SCK Controlregister |
|  |  |  |
| LORAC\_MOSI\_CR | 0x114 | LORAC MOSI Controlregister |
|  |  |  |
| LORAC\_MISO\_SR | 0x118 | LORAC MISO 状态register |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 108 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.1** **SSP\_CR0**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-16** | **15-8** | **7** | **6** | **5-4** | **3-0** |
| RESERVED | SCR | SPH | SPO | FRF | DSS |
|  |  |  |  |  |  |
| r | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

**Bit 15-8 SCR：**串行时钟速率，用于设置 SSP 传输的数据速率。

SSP 的数据速率计算公式如上，其中 CPSDVR 是取值 2 到 254 的偶数。

**Bit 7 SPH：**SSP 相Bit设置，仅应用于 Motorola SPI 格式。

**Bit 6 SPO：**SSP 极性设置，仅应用于 Motorola SPI 格式。

**Bit 5-4 FRF：**SSP 帧格式设置。

* + 0：Motorola SPI 格式
  + 1：Texas Instruments SPI 格式
  + 2：National Semiconductor Microwire 格式
  + 3：保留

**Bit 3-0 DSS：**数据Bit宽设置。

* + 0：保留
  + 1：保留
  + 2：保留
  + 3：4 bit
  + 4：5 bit
  + 5：6 bit
  + 6：7 bit
  + 7：8 bit
  + 8：9 bit
  + 9：10 bit
  + 10：11 bit
  + 11：12 bit
  + 12：13 bit
  + 13：14 bit
  + 14：15 bit
  + 15：16 bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 109 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.2** **SSP\_CR1**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | SOD | MS | SSE | LBM |
|  |  |  |  |  |
| r | r/w | r/w | r/w | r/w |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 SOD：**从模式输出禁止。

* + 0：从模式下，SSP 可以输出
  + 1：从模式下，SSP 不可输出

**Bit 2 MS：**主从模式选择。

* + 0：主模式
  + 1：从模式

**Bit 1 SSE：**SSP 使能。

* + 0：不使能
  + 1：使能

**Bit 0 LBM：**回环模式。

* + 0：正常模式
  + 1：回环模式

**12.4.3** **SSP\_DR**

Offset：0x08

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | DATA |
|  |  |
| r | r/w |
|  |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

**Bit 15-0 DATA：**SSP TX/RX 数据。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 110 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.4** **SSP\_SR**

Offset：0x0C

Reset value：0x00000003

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | BSY | RFF | RNE | TNF | TFE |
|  |  |  |  |  |  |
| r | r | r | r | r | r |
|  |  |  |  |  |  |

**Bit 31-5 RESERVED：**Reserved and cannot be modified.

**Bit 4 BSY：**SSP 忙标识。

* + 0：SSP 空闲
  + 1：SSP 正在传输中

**Bit 3 RFF：**RX FIFO 满标识。

* + 0：RX FIFO 未满
  + 1：RX FIFO 满

**Bit 2 RNE：**RX FIFO 非空标识。

* + 0：RX FIFO 为空
  + 1：RX FIFO 不为空

**Bit 1 TNF：**TX FIFO 非满标识。

* + 0：TX FIFO 满
  + 1：TX FIFO 未满

**Bit 0 TFE：**TX FIFO 空标识。

* + 0：TX FIFO 不为空
  + 1：TX FIFO 为空

**12.4.5** **SSP\_CPSR**

Offset：0x0C

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CPSDVSR |
|  |  |
| r | r/w |
|  |  |

**Bit 31-8 RESERVED：**Reserved and cannot be modified.

**Bit 7-0 CPSDVSR：**时钟分频因子，必须为 2-254 之间的偶数。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 111 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.6** **SSP\_IMSC**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | TXIM | RXIM | RTIM | RORIM |
|  |  |  |  |  |
| r | r/w | r/w | r/w | r/w |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 TXIM：**TX 中断屏蔽Bit。

* + 0：不允许产生 TX 中断
  + 1：允许产生 TX 中断

**Bit 2 RXIM：**RX 中断屏蔽Bit。

* + 0：不允许产生 RX 中断
  + 1：允许产生 RX 中断

**Bit 1 RTIM：**RX TIMEOUT 中断屏蔽Bit。

* + 0：不允许产生 RX TIMEOUT 中断
  + 1：允许产生 RX TIMEOUT 中断

**Bit 0 RORIM：**RX OVERRUN 中断屏蔽Bit。

* + 0：不允许产生 RX OVERRUN 中断
  + 1：允许产生 RX OVERRUN 中断

**12.4.7** **SSP\_RIS**

Offset：0x00

Reset value：0x00000008

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | TXRIS | RXRIS | RTRIS | RORRIS |
|  |  |  |  |  |
| r | r | r | r | r |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 TXRIS：**TX 原始中断状态。

**Bit 2 RXRIS：**RX 原始中断状态。

**Bit 1 RTRIS：**RX TIMEOUT 原始中断状态。

**Bit 0 RORRIS：**RX OVERRUN 原始中断状态。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 112 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.8** **SSP\_MIS**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | TXMIS | RXMIS | RTMIS | RORMIS |
|  |  |  |  |  |
| r | r | r | r | r |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 TXMIS：**TX 屏蔽中断状态。

**Bit 2 RXMIS：**RX 屏蔽中断状态。

**Bit 1 RTMIS：**RX TIMEOUT 屏蔽中断状态。

**Bit 0 RORMIS：**RX OVERRUN 屏蔽中断状态。

**12.4.9** **SSP\_ICR**

Offset：0x00

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-2** | **1** | **0** |
| RESERVED | RTIC | RORIC |
|  |  |  |
| r | w | w |
|  |  |  |

**Bit 31-2 RESERVED：**Reserved and cannot be modified.

**Bit 1 RTIC：**RX TIMEOUT 中断清除，写 1 清除，写 0 无效。

**Bit 0 RORIC：**RX OVERRUN 中断清除，写 1 清除，写 0 无效。

**12.4.10** **SSP\_DMACR**

Offset：0x00

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-2** | **1** | **0** |
| RESERVED | TXDMAE | RXDMAE |
|  |  |  |
| r | r/w | r/w |
|  |  |  |

**Bit 31-2 RESERVED：**Reserved and cannot be modified.

**Bit 1 TXDMAE：**DMA TX 使能。

* + 0：关闭 DMA TX
  + 1：使能 DMA TX

**Bit 0 RXDMAE：**DMA RX 使能。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 113 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



* 0：关闭 DMA RX
* 1：使能 DMA RX

**12.4.11** **LORAC\_CR0**

Offset：0x100

Reset value：0x00000000

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-11** | **10** | **9** | **8** | **7-5** | **4-0** |
| RESERVED | NSS\_SEL | SCK\_MOSI\_SEL | RESERVED | IRQ\_DIG\_INT\_EN | RESERVED |
|  |  |  |  |  |  |
| r | r/w | r/w | r | r/w | r |
|  |  |  |  |  |  |

**Bit 31-11 RESERVED：**Reserved and cannot be modified.

**Bit 10 NSS\_SEL：**RF TRX 的 nss 来源选择。

* + 0：来自register LORAC\_NSS\_CR
  + 1：来自 LORAC 的内部 SSP

**Bit 9 SCK\_MOSI\_SEL：**RF TRX 的 sck/mosi/miso 来源选择。

* + 0：来自 LORAC\_SCK\_CR，LORAC\_MOSI\_CR，LORA\_MISO\_SR
  + 1：来自 LORAC 的内部 SSP

**Bit 8 RESERVED：**Reserved and cannot be modified.

**Bit 7-5 IRQ\_DIG\_INT\_EN：**IRQ\_DIG\_INT 高电平中断使能, [5] 对应 IRQ\_DIG[0]，[6] 对应IRQ\_DIG[1]，[7] 对应 IRQ\_DIG[2]。

* + 0：不使能
  + 1：使能

**Bit 4-0 RESERVED：**Reserved and cannot be modified.

**12.4.12** **LORAC\_CR1**

Offset：0x104

Reset value：0x00000080

|  |  |  |  |
| --- | --- | --- | --- |
| **31-8** | **7** | **6** | **5** |
| RESERVED | POR\_BAT | RESERVED | NRESET\_BAT |
|  |  |  |  |
| r | r/w | r | r/w |
| **4-3** | **2** | **1** | **0** |
| RESERVED | CLK\_32M\_EN\_BAT | TCXO\_EN\_BAT | PWRTCXO\_EN\_BAT |
|  |  |  |  |
| r | r/w | r/w | r/w |
|  |  |  |  |

**Bit 31-8 RESERVED：**Reserved and cannot be modified.

**Bit 7 POR\_BAT：**RF TRX 的 POR\_BAT Control。

* + 0：不复Bit
  + 1：复Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 114 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**Bit 6 RESERVED：**Reserved and cannot be modified.

**Bit 5 NRESET\_BAT：**RF TRX 的 NRESET\_BAT Control。

* + 0：复Bit
  + 1：不复Bit

**Bit 4-3 RESERVED：**Reserved and cannot be modified.

**Bit 2 CLK\_32M\_EN\_BAT：**RF TRX 的 CLK\_32M\_EN\_BAT Control。

* + 0：不使能
  + 1：使能

**Bit 1 TCXO\_EN\_BAT：**RF TRX 的 TCXO\_EN\_BAT Control。

* + 0：不使能
  + 1：使能

**Bit 0 PWRTCXO\_EN\_BAT：**RF TRX 的 PWRTCXO\_EN\_BAT Control。

* + 0：不使能
  + 1：使能

**12.4.13** **LORAC\_SR**

Offset：0x108

Reset value：0x00000100

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-9** |  | **8** |  | **7-5** |  | **4-2** |  | **1** |  | **0** |  |
|  | RESERVED |  | BUSY\_DIG\_SR |  | IRQ\_DIG\_SR |  | RESERVED |  | CLK\_32M\_RDY\_BAT |  | RESERVED |  |
|  |  |  |  |  | \_SR |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | r |  | r |  | r |  | r |  | r |  | r |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |

**Bit 31-9 RESERVED：**Reserved and cannot be modified.

**Bit 8 BUSY\_DIG\_SR：**BUSY\_DIG 状态Bit，用于指示 RF TRX 是否处于命令处理状态。硬件置 1 与清 0。

* + 0：未进行命令处理
  + 1：正在进行命令处理

**Bit 7-5 IRQ\_DIG\_SR：**IRQ\_DIG 状态Bit，用于指示 RF TRX 的中断请求。硬件置 1 与清 0。需Note的是，需要向 RF TRX 发送 ClearIrqStatus 命令清除中断，不然中断请求会一直触发。

* + 0：无中断
  + 1：有中断

**Bit 4-2 RESERVED：**Reserved and cannot be modified.

**Bit 1 CLK\_32M\_RDY\_BAT\_SR：**CLK\_32M\_RDY\_BAT 状态Bit，用于指示 RF TRX 的 XO32M 时钟是否建立。硬件置 1 与清 0。

* + 0：未建立
  + 1：已建立

**Bit 0 RESERVED：**Reserved and cannot be modified.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 115 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.14** **LORAC\_NSS\_CR**

Offset：0x10C

Reset value：0x00000001

|  |  |  |
| --- | --- | --- |
|  | **31-1** | **0** |
|  | RESERVED | REG\_NSS |
|  |  |  |
|  | r | r/w |
|  | |  |
| **Bit 31-1 RESERVED：**Reserved and cannot be modified. | |  |
| **Bit 0 REG\_NSS：**nss 的registerControlBit。 | |  |
|  | 0：nss 拉低 |  |
|  | 1：nss 拉高 |  |

**12.4.15** **LORAC\_SCK\_CR**

Offset：0x110

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-1** | **0** |
| RESERVED | REG\_SCK |
|  |  |
| r | r/w |
|  |  |

**Bit 31-1 RESERVED：**Reserved and cannot be modified.

**Bit 0 REG\_SCK：**sck 的registerControlBit。

* + 0：sck 拉低
  + 1：sck 拉高

**12.4.16** **LORAC\_MOSI\_CR**

Offset：0x114

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-1** | **0** |
| RESERVED | REG\_MOSI |
|  |  |
| r | r/w |
|  |  |

**Bit 31-1 RESERVED：**Reserved and cannot be modified.

**Bit 0 REG\_MOSI：**mosi 的registerControlBit。

* + 0：mosi 拉低
  + 1：mosi 拉高

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 116 / 302

 12. LoRa Control器 (LoRaC) ASR6601 Reference Manual



**12.4.17** **LORAC\_MISO\_SR**

Offset：0x118

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-1** | **0** |
| RESERVED | REG\_MISO |
|  |  |
| r | r |
|  |  |

**Bit 31-1 RESERVED：**Reserved and cannot be modified.

**Bit 0 REG\_MISO：**miso 状态Bit，指示 RF TRX 输出的 miso 状态。硬件置 1 与清 0。

* + 0：低电平
  + 1：高电平

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 117 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.** **通用异步收发器 (UART)**

**13.1** **简介**

支持 UART 和 IrDA 模式。

发送与接收的 FIFO 独立，深度 16，FIFO 水Bit可配置为 1/8、1/4、1/2、3/4 和 7/8，禁用 FIFO 相当于 1 字符深度。16 Bit波特率除数整数部和 6 Bit波特率除数小数部。标准异步通信Bit，支持 5、6、7 和 8 Bit数据，支持奇偶校验，支持 1 个或者 2 个停止Bit。支持 DMA，支持假开始Bit检测，支持 Line Break 产生与检测，支持硬件流控。

IrDA 模式码率最高 460800，Low-Power IrDA 模式最高码率 115200，半双工。支持 3/16 和 Low-Power (1.41~2.23µs) Bit长度。Low-Power IrDA 模式，通过 UARTCLK 分频近似产生Bit长度。

可通过 ID register唯一地识别每个 UART 端口。

**13.2** **时钟复Bit**

每个 UART 都有独立的 APB 总线时钟和独立的 APB 总线复Bit。

**13.3** **参考时钟**

UARTCLK 的频率必须要满足波特率产生的要求：

***FUARTCLK(min) >= 16 x baudrate(max)***

***F UARTCLK(max) <= 16 x 65535 x baudrate(min)***

例如，要产生介于 110 到 460800 之间的波特率，UARTCLK 的频率必须要介于 7.3728MHz 与

115.34MHz 之间。

同时，UARTCLK 不能大于 5/3 倍 PCLK：***FUARTCLK <= 5/3 \* FPCLK***

例如，UART 模式下，UARTCLK 为 14.7456MHz，要产生 921600 的波特率，那么 PCLK 必须大于等于 8.85276MHz。这保证了 UART 有足够的时间将接收的数据写入接收 FIFO。

**13.4** **波特率发生器**

波特率发生器包含产生内部 16 倍时钟的自由运行计数器，Baud16 和 IrLPBaud16。Baud16 为 UART 发送和接收Control提供时序信息，是一个宽度为 1 个 UARTCLK 周期的脉冲流，频率为 16 倍波特率。当运行在 Low-Power IrDA 模式时，IrLPBaud16 为 IrDA 编码发送比特流的脉冲宽度的产生提供时序信息。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 118 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.5** **FIFO**

发送与接收的 FIFO 独立，通过线控register UARTx\_LCR\_H{FEN} 选择开启或者关闭。发送

1. x 8，接收 16 x 12，接收 FIFO 每个字符有 4 个Bit的状态码，FIFO 水Bit可通过 FIFO 中断水

Bit选择register UARTx\_IFLS 配置为 1/8、1/4、1/2、3/4 和 7/8，当 FIFO 禁用时相当于深度 1。FIFO状态通过查询标志register UARTx\_FR 获取。

接收 FIFO 的[10:8]Bit为错误Bit，指示相应的错误。第 11 Bit为 Overrun Bit，指示 Overrun 错误。

**表 13-1 接收 FIFO BitFunctional description**

FIFO Bit

11

10

9

8

7:0

功能

Overrun 错误

Break 错误

奇偶校验错误

帧错误

被接收数据

**13.6** **UART 方式**

**13.6.1** **波特率除数**

波特率除数由 16 Bit的整数部和 6 Bit的小数部组成，整数部存入register UARTx\_IBRD，小数部存入register UARTx\_FBRD，这允许使用任何 > 3.6864MHz 的时钟作为 UARTCLK 以支持产生所有标准波特率，满足以下公式：

***Baud Rate Divisor = UARTCLK / (16 x BautRate) = BRDI + BRDF*** 其中 BRDI 为整数部，BRDF 为小数部，以小数点隔开，如下所示：

16-bit Integer Part

**.**

6-bit Fractional Part

6 Bit小数部的计算方法是，将波特率除数的小数部分乘以 64（ =2n, n 为 UARTx\_FBRD register的有效Bit宽度 6 ），考虑到舍入误差，再加上 0.5，公式如下：

***Fractional Part = BRDF x 2n + 0.5***

**13.6.2** **数据发送**

发送与接收的数据都保存在 16 字节的 FIFO 里面，接收 FIFO 每个字符另有 4 个状态标志Bit。

发送时，数据通过数据register UARTx\_DR 写入发送 FIFO。通过 UARTx\_CR{UARTEN} 使能UART，通过线控register UARTx\_LCR\_H 的配置数据Bit、停止Bit、奇偶校验等参数，数据开始发送，直到 FIFO 为空。一旦数据写入发送 FIFO，BUSY 信号变高，并且当数据在发送的时候

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 119 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



一直保持为高。只有当发送 FIFO 为空，并且Bit移register的最后一个字符的 stop Bit发送完， BUSY 信号才会变低。当 UART 没有使能的时候，BUSY 信号也为高。

**13.6.3** **数据接收**

通过 UARTx\_CR{UARTEN}使能 UART，通过线控register UARTx\_LCR\_H 的配置数据Bit、停止Bit、奇偶校验等参数。

当接收为空闲，UARTRXD 拉低，Baud16 使能接收计数器开始计数，UART 模式在第 8 个计数周期开始采样。IrDA 模式在第 4 个计数周期开始采样，以允许更短的逻辑 0 脉冲。

若 UARTRXD 在第 8 个计数周期仍保持为低，那么有效的 start Bit被检测到，否则判定为假start，并且被忽略。

若 start Bit有效，接着每 16 个 Baud16 周期进行一次数据采样，长度由 UARTx\_LCR\_H{WLEN}

决定。如果使能了奇偶校验，会进行奇偶校验Bit的比对。

最后，当 UARTRXD 变高，有效的 stop Bit被确认到，否则发生帧错误。完整接收的字符与错误Bit一起被存入接收 FIFO。

**13.7** **IrDA SIR 方式**

IrDA SIR ENDEC 提供了在 UART 数据流和半双工串行 SIR 接口之间转换的功能，将数据从

UART 编码输出和解码输入到 UART，有两种模式：

* **IrDA 模式**，逻辑 0 电平被转换为高电平脉冲，宽度为 nSIROUT 波特率比特周期的 3/16，逻辑 1 电平被转换为低电平。
* **Low-Power IrDA 模式**，发送的高电平脉冲宽度为内部 IrLPBaud16 周期的 3 倍（1.63us，假定名义频率为 1.842MHz）。

IrDA SIR 物理层为半双工的通信链接，发送与接收之间切换至少要保持 10ms 的延时。这个延时必须由软件完成，因为 UART 不支持自动延时。这是必须的，因为红外接收端可能会有偏差。

**13.7.1** **低功耗除数**

IrLPBAUD16 由 UARTCLK 分频产生，分频系数通过 UARTx\_ILPR{ ILPDVSR } 配置。

***Low-Power Divider = (FUARTCLK / FIrLPBAUD16)***

FIrLPBAUD16 名义上为 1.8432MHz，满足 **1.42MHz < FIrLPBAUD16 < 2.12MHz** 的要求。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 120 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual

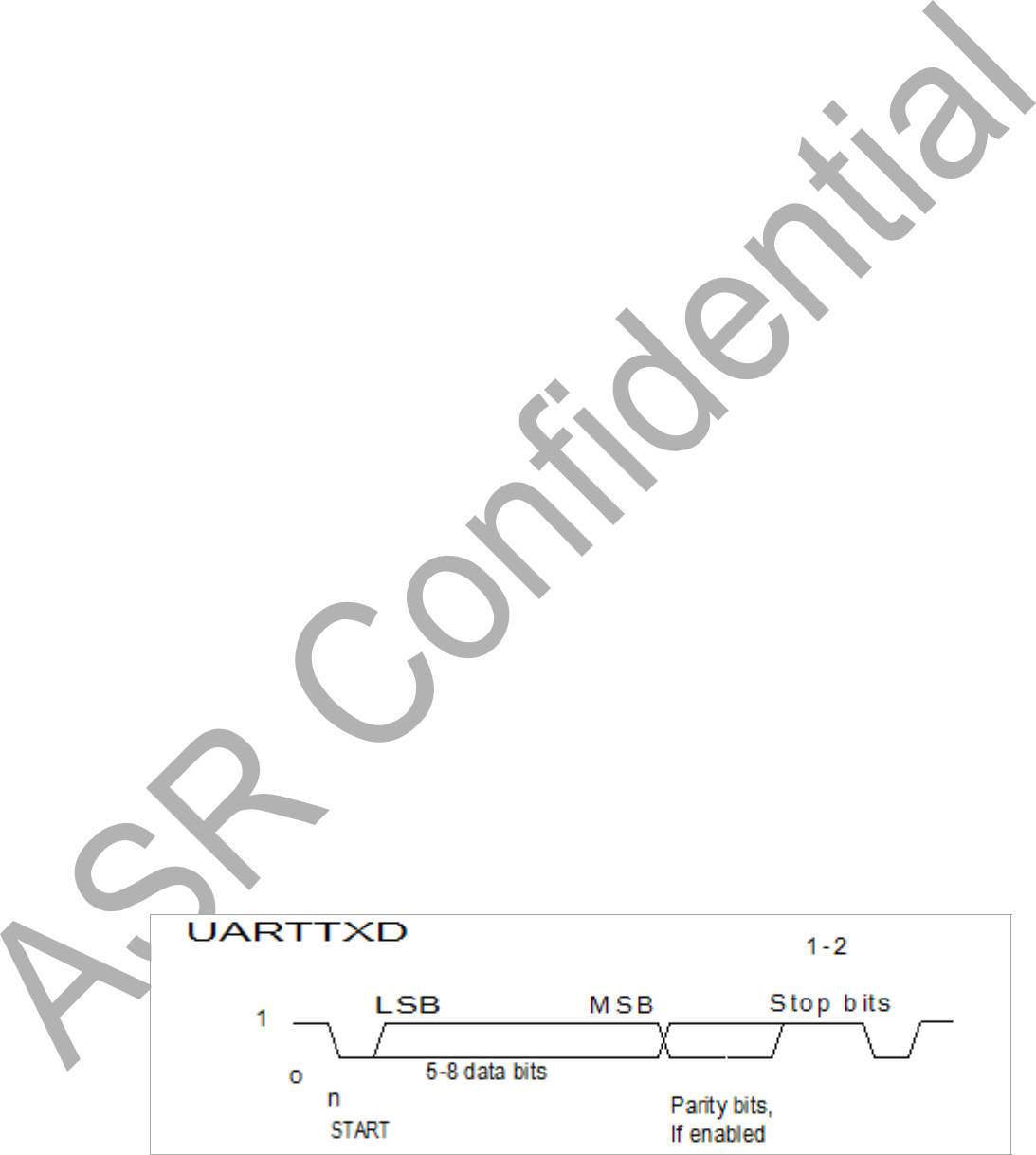


**13.7.2** **IrDA SIR 发送编码器**

SIR 发送编码器将 UART 输出的 NRZ（Non Return-to-Zero）发送比特流进行调制。IrDA 物理层使用 RZI（Return-to-Zero Inverted）调制模式，把逻辑 0 转换为一个红外光脉冲。调制的输出脉冲流被传送到外部的输出驱动和红外发光二极管。

在 IrDA 模式，发送的脉冲宽度为 Baud16 周期的 3 倍，即 3/16 比特周期。

在 Low-Power IrDA 模式，被传输的脉冲宽度为 115200 波特率比特周期的 3/16。即为 1.842MHz 时钟 IrLPBaud16 周期的三倍。



如果使用了小数波特率除数，发送的 SIR 脉冲流会包含更多的抖动，这是因为使用了小数波特率除数后，不能产生一个规律间隔的 Baud16 脉冲，这些 Baud16 周期包含了不同的 UARTCLK 周期数。最坏的情况下，导致 SIR 脉冲流的抖动可以达到 3 个 UARTCLK 周期。只要 UARTCLK > 3.6864MHz，且 IrDA 的波特率小于 115200，抖动 < 9%，这满足 SIR IrDA 抖动小于 13%的要求。

**13.7.3** **IrDA SIR 接收解码器**

SIR 接收解码器从红外接收器解调 Return-to-Zero 比特流，输出接收到的 NRZ 串行比特流到 UART 接收输入。正常情况下，在空闲状态接收的解码器的输入为高，发送的编码器的输出与解码器输入的极性相反。

当接收的解码器输入为低则 start Bit被检测到。

为防止 UART 响应接收数据输入的毛刺，在 IrDA 模式，SIRIN 上小于 Buad16 的 3/16 的脉冲会被忽略；在 Low-Power IrDA 模式，SIRIN 上小于 IrLPBuad16 的 3/16 的脉冲会被忽略。

**13.8** **UART 字符帧结构**

UART 字符帧结构如下图所示：

**图 13-1 UART 字符帧**

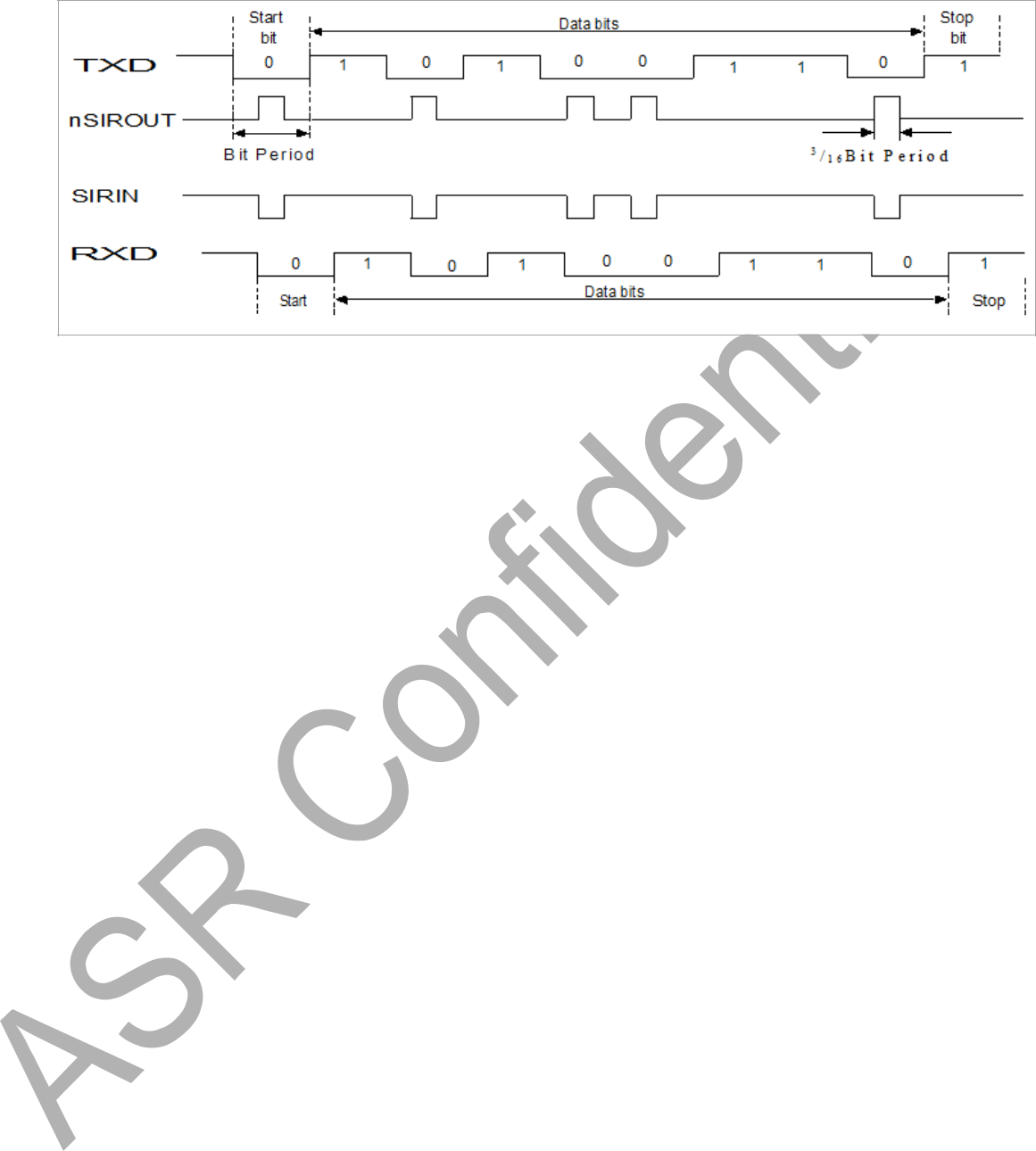
Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 121 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.9** **IrDA 数据调制**

下图展示了 IrDA 3/16 数据调制的效果：



**图 13-2 IrDA 数据调制（3/16）**

**13.10 硬件流控**

硬件流控可以通过 UARTx\_CR{CTSEn}和 UARTx\_CR{RTSEn}配置。

当 RTS 功能被使能，且接收 FIFO 水Bit未满，则 nUARTRTS 信号一直有效。

当 CTS 功能被使能，只有 nUARTCTS 信号有效，且发送 FIFO 不为空才会进行传输。

**13.11 中断**

支持 Tx Done、Rx Done、Rx Timeout、Frame Error、Break Error、Parity Error 和 Overrun Error 中断，可以通过中断掩码设置清除register UARTx\_IMSC 配置。所有中断信号可以通过原始中断状态register UARTx\_RIS 查询到，包括未使能的中断Bit。 通过掩码中断register UARTx\_MIS 查询当前已使能的中断，通过中断清除register UARTx\_ICR 写 1 清除相应中断。

**13.12 DMA**

支持 DMA 发送与接收，通过 UARTx\_DMACR 开启或者关闭。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 122 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13 UART 相关registerDescription**

UART0 Base address：0x40003000

UART1 Base address：0x40004000

UART2 Base address：0x40010000

UART3 Base address：0x40011000

**表 13-2 UART register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| UARTx\_DR | 0x00 | 数据register |
|  |  |  |
| UARTx\_RSR\_ECR | 0x04 | Receiving statusregister/错误清除register |
|  |  |  |
| UARTx\_RSV0[4] | 0x08 | 4 x 4 字节保留 |
|  |  |  |
| UARTx\_FR | 0x18 | 标志register |
|  |  |  |
| UARTx\_RSV1 | 0x1C | 4 字节保留 |
|  |  |  |
| UARTx\_ILPR | 0x20 | 红外低功耗计数register |
|  |  |  |
| UARTx\_IBRD | 0x24 | 波特率整数register |
|  |  |  |
| UARTx\_FBRD | 0x28 | 波特率小数register |
|  |  |  |
| UARTx\_LCR\_H | 0x2C | 线控register |
|  |  |  |
| UARTx\_CR | 0x30 | Controlregister |
|  |  |  |
| UARTx\_IFLS | 0x34 | 中断 FIFO 水Bit选择register |
|  |  |  |
| UARTx\_IMSC | 0x38 | 中断掩码设置/清除register |
|  |  |  |
| UARTx\_RIS | 0x3C | 原始中断状态register |
|  |  |  |
| UARTx\_MIS | 0x40 | 被掩中断状态register |
|  |  |  |
| UARTx\_ICR | 0x44 | 中断清除register |
|  |  |  |
| UARTx\_DMACR | 0x48 | DMA Controlregister |
|  |  |  |
| UARTx\_RSV2[997] | 0x4C | 4 x 997 字节保留 |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 123 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.1** **UARTx\_DR (x=0, 1, 2, 3)**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-12** | **11** | **10** | **9** | **8** | **7-0** |
| RESERVED | OE | BE | PE | FE | DATA |
|  |  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h | rw-0h |
|  |  |  |  |  |  |

**Bit 31-12 RESERVED：**保留，不可更改。

**Bit 11 OE：**溢出错误标志。

* + 0：无溢出
  + 1：发生溢出

**Bit 10 BE：**Break 错误标志。

* + 0：未发生 Break 错误
  + 1：发生 Break 错误

接收数据的输入被拉低超过 1 个整字（=开始Bit+数据+奇偶校验Bit+停止Bit）的传输时间长度为 Break 错误。

FIFO 模式，该错误与 FIFO 顶部的字符相关。当 Break 错误产生时，只有一个 0 字符会被写入 FIFO。

**Bit 9 PE：**奇偶校验错误标志。

* + 0：未发生奇偶校验错误
  + 1：发生奇偶校验错误

接收字符的奇偶校验Bit与 UARTx\_LCR\_H {EPS} 不匹配则产生奇偶校验错误。

FIFO 模式，该错误与 FIFO 顶部的字符相关。

**Bit 8 FE：**帧错误标志。

* + 0：未发生帧错误
  + 1：发生帧错误

错误表示收到的字符停止Bit无效。

FIFO 模式，该错误与 FIFO 顶部的字符相关。

**Bit 7-0 DATA：**发送数据字符/接收数据字符。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 124 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.2** **UARTx\_RSR\_ECR (x=0, 1, 2, 3)**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | OE | BE | PE | FE |
|  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**保留，不可更改。

**Bit 3 OE：**溢出错误标志。

* + 0：无溢出
  + 1：发生溢出。

**Bit 2 BE：**Break 错误标志。

* + 0：未发生 Break 错误
  + 1：发生 Break 错误

接收数据的输入被拉低超过 1 个整字（=开始Bit+数据+奇偶校验Bit+停止Bit）的传输时间长度为 Break 错误。

FIFO 模式，该错误与 FIFO 顶部的字符相关。当 Break 错误产生时，只有一个 0 字符会被写入 FIFO。

**Bit 1 PE：**奇偶校验错误标志。

* + 0：未发生奇偶校验错误
  + 1：发生奇偶校验错误

接收字符的奇偶校验Bit与 UARTx\_LCR\_H {EPS} 不匹配则产生奇偶校验错误。

FIFO 模式，该错误与 FIFO 顶部的字符相关。

**Bit 0 FE：**帧错误标志。

* + 0：未发生帧错误帧
  + 1：发生帧错误

错误表示收到的字符停止Bit无效。

FIFO 模式，该错误与 FIFO 顶部的字符相关。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 125 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.3** **UARTx\_FR (x=0, 1, 2, 3)**

Offset：0x18

Reset value：0x00000000

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **31-8** | **7** | **6** | **5** | **4** | **3** | **2-0** |
| RESERVED | TXFE | RXFF | TXFF | RXFE | BUSY | RESERVED |
|  |  |  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7 TXFE：**发送 FIFO 空。

* + - 0：发送 FIFO/数据register不为空
    - 1：发送 FIFO/数据register为空

与 UARTx\_LCR\_H{FEN} Bit相关，该Bit不能用于指示发送Bit移register中是否有数据。

**Bit 6 RXFF：**接收 FIFO 满。

* + - 0：接收 FIFO/数据register未满
    - 1：接收 FIFO/数据register满与 UARTx\_LCR\_H{FEN} Bit相关。

**Bit 5 TXFF：**发送 FIFO 满。

* + - 0：发送 FIFO/数据register未满
    - 1：发送 FIFO/数据register满与 UARTx\_LCR\_H{FEN} Bit相关。

**Bit 4 RXFE：**接收 FIFO 空标志。

* + - 0：接收 FIFO/数据register不为空
    - 1：接收 FIFO/数据register为空与 UARTx\_LCR\_H{FEN} Bit相关。

**Bit 3 BUSY：**忙标志。

* + - 0：无数据发送
    - 1：正在发送数据

该Bit在发送 FIFO 变为非空状态马上置 1，不论 UART 是否使能。

**Bit 2-0 RESERVED：**保留，不可更改。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 126 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.4** **UARTx\_ILPR (x=0, 1, 2, 3)**

Offset：0x20

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | ILPDVSR |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7-0 ILPDVSR：**低功耗除数值，0 为非法值，写入 0 将导致无 IrLPBaud16 产生。

**13.13.5** **UARTx\_IBRD (x=0, 1, 2, 3)**

Offset：0x24

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | BAUD\_DIVINT |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-0 BAUD\_DIVINT：**波特率除数整数部。

**13.13.6** **UARTx\_FBRD (x=0, 1, 2, 3)**

Offset：0x28

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-6** | **5-0** |
| RESERVED | BAUD\_DIVFRAC |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-6 RESERVED：**保留，不可更改。

**Bit 5-0 BAUD\_DIVFRAC：**波特率除数小数部。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 127 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.7** **UARTx\_LCR\_H (x=0, 1, 2, 3)**

Offset：0x2C

Reset value：0x00000000

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **31-7** | **6-5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | WLEN | FEN | STP2 | EPS | PEN | BRK |
|  |  |  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |

**Bit 31-7 RESERVED：**保留，不可更改。

**Bit 6-5 WLEN：**数据Bit长度。

* + - 00：5 Bit
    - 01：6 Bit
    - 10：7 Bit
    - 11：8 Bit

**Bit 4 FEN：**FIFO 使能。

* + - 0：禁用 FIFO 模式
    - 1：使能 FIFO 模式

**Bit 3 STP2：**停止Bit选择。

* + - 0：1 个停止Bit
    - 1：2 个停止Bit

**Bit 2 EPS：**偶校验Bit选择。

* + - 0：奇校验
    - 1：偶校验

当 PEN 为 0 时该Bit无效。

**Bit 1 PEN：**奇偶校验使能。

* + - 0：禁用奇偶校验功能
    - 1：使能奇偶校验功能，发送产生奇偶校验Bit，接收检查奇偶校验Bit

**Bit 0 BRK：**发送 Break。

* + - 写 0：结束 Break 命令
    - 写 1：当前字符发送完成后，UART\_TXD 引脚一直拉低

为确保 Break 命令的执行，软件必须至少保持该Bit被设置超过 2 个完整的帧长度。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 128 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.8** **UARTx\_CR (x=0, 1, 2, 3)**

Offset：0x30

Reset value：0x00000000

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | **31-24** | | **23-16** | **15** | **14** | **13-10** |
| RESERVED | | | RESERVED | CTSEn | RTSEn | RESERVED |
|  |  |  |  |  |  |  |
|  | r-0h | | r-0h | rw-0h | rw-0h | r-0h |
|  |  |  |  |  |  |  |
| **9** |  | **8** | **7-3** | **2** | **1** | **0** |
| RXE |  | TXE | RESERVED | SIRLP | SIREN | UARTEN |
|  |  |  |  |  |  |  |
| rw-0h |  | rw-0h | r-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15 CTSEn：**硬件 CTS 流控使能。

* + - 0：关闭硬件 CTS 流控
    - 1：开启硬件 CTS 流控

**Bit 14 RTSEn：**硬件 RTS 流控使能。

* + - 0：关闭硬件 RTS 流控
    - 1：开启硬件 RTS 流控

**Bit 13-10 RESERVED：**保留，不可更改。

**Bit 9 RXE：**接收使能。

* + - 写 0：禁止接收，若当前正在接收数据，将在这一帧数据接收完成后停止
    - 写 1：使能接收

**Bit 8 TXE：**发送使能。

* + - 写 0：禁止发送，若当前有数据在发送，将在这一帧数据发送完成后停止
    - 写 1：使能发送

**Bit 7-3 RESERVED：**保留，不可更改。

**Bit 2 SIRLP：**Low-Power IrDA 使能。

* + - 0：低电平Bit以 3/16 比特周期的脉冲宽度传输。
    - 1：低电平Bit以 3 倍 IrLPBAUD16 周期的脉冲宽度来传输，有利于降低功耗，但是也会缩短传输距离。

**Bit 1 SIRE：**IrDA 使能。

* + - 0：关闭 IrDA SIR ENDEC，SIR\_OUT 保持低，SIR\_IN 被忽略。数据在 UART\_TXD 和 UART\_RXD

上传输。

* + - 1：开启 IrDA SIR ENDEC，UART\_TXD 保持高，UART\_RXD 被忽略。数据在 SIR\_OUT 和 SIR\_IN

上传输。

若 UARTEN Bit为 0，该Bit无效。

**Bit 0 UARTEN：**串口使能。

* + - 写 0：关闭 UART 功能，若当前有数据在发送或者接收，将在这一帧数据传输完成后再关闭 UART。
    - 写 1：使能 UART 功能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 129 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.9** **UARTx\_IFLS (x=0, 1, 2, 3)**

Offset：0x34

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-6** | **5-3** | **2-0** |
| RESERVED | RXIFLSEL | TXIFLSEL |
|  |  |  |
| r-0h | rw-0h | rw-0h |
|  |  |  |

**Bit 31-6 RESERVED：**保留，不可更改。

**Bit 5-3 RXIFLSEL：**接收 FIFO 中断水Bit选择。

* + 000：接收 FIFO 水Bit≥1/8
  + 001：接收 FIFO 水Bit≥1/4
  + 010：接收 FIFO 水Bit≥1/2
  + 011：接收 FIFO 水Bit≥3/4
  + 100：接收 FIFO 水Bit≥7/8
  + 101~111：保留

**Bit 2-0 TXIFLSEL：**发送 FIFO 中断水Bit选择。

* + 000：发送 FIFO 水Bit≥1/8
  + 001：发送 FIFO 水Bit≥1/4
  + 010：发送 FIFO 水Bit≥1/2
  + 011：发送 FIFO 水Bit≥3/4
  + 100：发送 FIFO 水Bit≥7/8
  + 101~111：保留

**13.13.10 UARTx\_IMSC (x=0, 1, 2, 3)**

Offset：0x38

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-16** | **15-11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3-0** |
| RESERVED | RESERVED | OEIM | BEIM | PEIM | FEIM | RTIM | TXIM | RXIM | RESERVED |
|  |  |  |  |  |  |  |  |  |  |
| r-0h | r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | r-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 31-11 RESERVED：**保留，不可更改。

**Bit 10 OEIM：**Overrun 错误中断掩码。

* + 0：禁用 Overrun 错误中断
  + 1：使能 Overrun 错误中断

**Bit 9 BEIM：**Break 错误中断掩码。

* + 0：禁用 Break 错误中断
  + 1：使能 Break 错误中断

**Bit 8 PEIM：**校验错误中断掩码。

* + 0：禁用校验错误中断

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 130 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



* + 1：使能校验错误中断

**Bit 7 FEIM：**帧错误中断掩码。

* + 0：禁用帧错误中断
  + 1：使能帧错误中断

**Bit 6 RTIM：**接收超时中断掩码。

* + 0：禁用接收超时中断
  + 1：使能接收超时中断

**Bit 5 TXIM：**发送完成中断掩码。

* + 0：禁用发送完成中断
  + 1：使能发送完成中断

**Bit 4 RXIM：**接收完成中断掩码。

* + 0：禁用接收完成中断
  + 1：使能接收完成中断

**Bit 3-0 RESERVED：**保留，不可更改。

**13.13.11 UARTx\_RIS (x=0, 1, 2, 3)**

Offset：0x3C

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-16** | **15-11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3-0** |
| RESERVED | RESERVED | OERIS | BERIS | PERIS | FERIS | RTRIS | TXRIS | RXRIS | RESERVED |
|  |  |  |  |  |  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 31-11 RESERVED：**保留，不可更改。

**Bit 10 OERIS：**Overrun 错误原始中断状态。

**Bit 9 BERIS：**Break 错误原始中断状态。

**Bit 8 PERIS：**校验错误原始中断状态。

**Bit 7 FERIS：**帧错误原始中断状态。

**Bit 6 RTRIS：**接收超时原始中断状态。

**Bit 5 TXRIS：**发送完成原始中断状态。

**Bit 4 RXRIS：**接收完成原始中断状态。

**Bit 3-0 RESERVED：**保留，不可更改。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 131 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.12 UARTx\_MIS (x=0, 1, 2, 3)**

Offset：0x40

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-16** | **15-11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3-0** |
| RESERVED | RESERVED | OEMIS | BEMIS | PEMIS | FEMIS | RTMIS | TXMIS | RXMIS | RESERVED |
|  |  |  |  |  |  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 31-11 RESERVED：**保留，不可更改。

**Bit 10 OEMIS：**Overrun 错误中断状态。

**Bit 9 BEMIS：**Break 错误中断状态。

**Bit 8 PEMIS：**校验错误中断状态。

**Bit 7 FEMIS：**帧错误中断状态。

**Bit 6 RTMIS：**接收超时中断状态。

**Bit 5 TXMIS：**发送完成中断状态。

**Bit 4 RXMIS：**接收完成中断状态。

**Bit 3-0 RESERVED：**保留，不可更改。

**13.13.13 UARTx\_ICR (x=0, 1, 2, 3)**

Offset：0x44

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-16** | **15-11** | **10** | **9** | **8** | **7** | **6** | **5** | **4** | **3-0** |
| RESERVED | RESERVED | OEIC | BEIC | PEIC | FEIC | RTIC | TXIC | RXIC | RESERVED |
|  |  |  |  |  |  |  |  |  |  |
| r-0h | r-0h | w-0h | w-0h | w-0h | w-0h | w-0h | w-0h | w-0h | r-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 31-11 RESERVED：**保留，不可更改。

**Bit 10 OEIC：**Overrun 错误中断清除。

* + 写 0：无效
  + 写 1：清除 overrun 中断

**Bit 9 BEIC：**Break 错误中断清除。

* + 写 0：无效
  + 写 1：清除 Break 错误中断

**Bit 8 PEIC：**校验错误中断清除。

* + 写 0：无效
  + 写 1：清除校验错误中断

**Bit 7 FEIC：**帧错误中断清除。

* + 写 0：无效
  + 写 1：清除帧错误中断

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 132 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**Bit 6 RTIC：**接收超时中断清除。

* + 写 0：无效
  + 写 1：清除接收超时中断

**Bit 5 TXIC：**发送完成中断清除。

* + 写 0：无效
  + 写 1：清除发送完成中断

**Bit 4 RXIC：**接收完成中断清除。

* + 写 0：无效
  + 写 1：清除接收完成中断

**Bit 3-0 RESERVED：**保留，不可更改。

**13.13.14 UARTx\_DMACR (x=0, 1, 2, 3)**

Offset：0x48

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-3** | **2** | **1** | **0** |
| RESERVED | DMAONERR | TXDMAE | RXDMAE |
|  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 31-3 RESERVED：**保留，不可更改。

**Bit 2 DMAONERR：**DMA 错误。

**Bit 1 TXDMAE：**发送 DMA 使能。

* + 0：关闭发送 DMA 功能
  + 1：开启发送 DMA 功能

**Bit 0 RXDMAE：**接收 DMA 使能。

* + 0：关闭接收 DMA 功能
  + 1：开启接收 DMA 功能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 133 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.15 UARTx\_ID[8] (x=0, 1, 2, 3)**

**13.13.15.1 PeriphID0**

Offset：0x0FE0

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | PARTNUMBER0 |
|  |  |
| r-0h | r-11h |
|  |  |
| **Bit 31-8 RESERVED：**保留，不可更改。 |  |
| **Bit 7-0 PARTNUMBER0：**=0x11 |  |

**13.13.15.2 PeriphID1**

Offset：0x0FE4

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **31-8** |  | **7-4** | **3-0** |
|  | RESERVED |  | DESIGNER0 | PARTNUMBER1 |
|  |  |  |  |  |
|  | r-0h |  | r-1h | r-0h |
|  | |  |  |  |
| **Bit 31-8 RESERVED：**保留，不可更改。 | | |  |  |
| **Bit 7-4** | **DESIGNER0：**=0x1 | |  |  |
| **Bit 3-0** | **PARTNUMBER1：**=0x0 | |  |  |

**13.13.15.3 PeriphID2**

Offset：0x0FE8

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-8** | **7-4** | **3-0** |
| RESERVED | REVISION0 | DESIGNER1 |
|  |  |  |
| r-0h | r-xh | r-0h |
|  |  |  |

**Bit 31-8 RESERVED：**保留，不可更改

**Bit 7-4 REVISION0：**

* + 0x0：r1p0
  + 0x1：r1p1
  + 0x2：r1p3/r1p4
  + 0x3：r1p5

**Bit 3-0 DESIGNER1：**=0x0

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 134 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.15.4 PeriphID3**

Offset：0x0FEC

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CONFIGURATION |
|  |  |
| r-0h | r-0h |
|  |  |
| **Bit 31-8 RESERVED：**保留，不可更改。 |  |
| **Bit 7-0 CONFIGURATION：**=0x00 |  |

**13.13.15.5 PCellID0**

Offset：0x0FD0

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CellID0 |
|  |  |
| r-0h | r-dh |
|  |  |
| **Bit 31-8 RESERVED：**保留，不可更改。 |  |
| **Bit 7-0 CellID0：**=0x0d |  |

**13.13.15.6 PCellID1**

Offset：0x0FD4

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CellID1 |
|  |  |
| r-0h | r-f0h |
|  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7-0 CellID1：**=0xf0

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 135 / 302

 13. 通用异步收发器 (UART) ASR6601 Reference Manual



**13.13.15.7 PCellID2**

Offset：0x0FD8

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CellID2 |
|  |  |
| r-0h | r-5h |
|  |  |
| **Bit 31-8 RESERVED：**保留，不可更改。 |  |
| **Bit 7-0 CellID2：**=0x05 |  |

**13.13.15.8 PCellID3**

Offset：0x0FDC

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CellID3 |
|  |  |
| r-0h | r-b1h |
|  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7-0 CellID3：**=0xb1

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 136 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.** **同步串行端口 (SSP)**

**14.1** **简介**

SSP（Synchronous serial port）是一种同步串行接口，支持 MASTER 和 SLAVE 模式。

SSP 支持多种帧格式，并且可以根据需要配置数据宽度和输出速率。

**14.2** **主要特性**

* 支持 MASTER 和 SLAVE 模式的配置
* 最大支持 16MHz 输出
* 支持 16-bit 宽，深度为 8 的 TX/RX FIFO
* 支持多种帧格式
* 支持 4-16 bit 数据宽度
* 支持 DMA 请求
* 支持中断请求

**14.3** **Functional description**

**14.3.1** **基础说明**

SSP 主要有 4 个 pin：SSP\_NSS，SSP\_CLK，SSP\_TX 和 SSP\_RX。

1. **SSP\_NSS**

SSP 片选信号，低有效。

1. **SSP\_CLK**

SSP 时钟信号，对 MASTER 模式来说是时钟输出，对 SLAVE 模式来说是时钟输入。

1. **SSP\_TX**

SSP 发送信号，无论 MASTER 模式还是 SLAVE 模式，均为发送 pin。

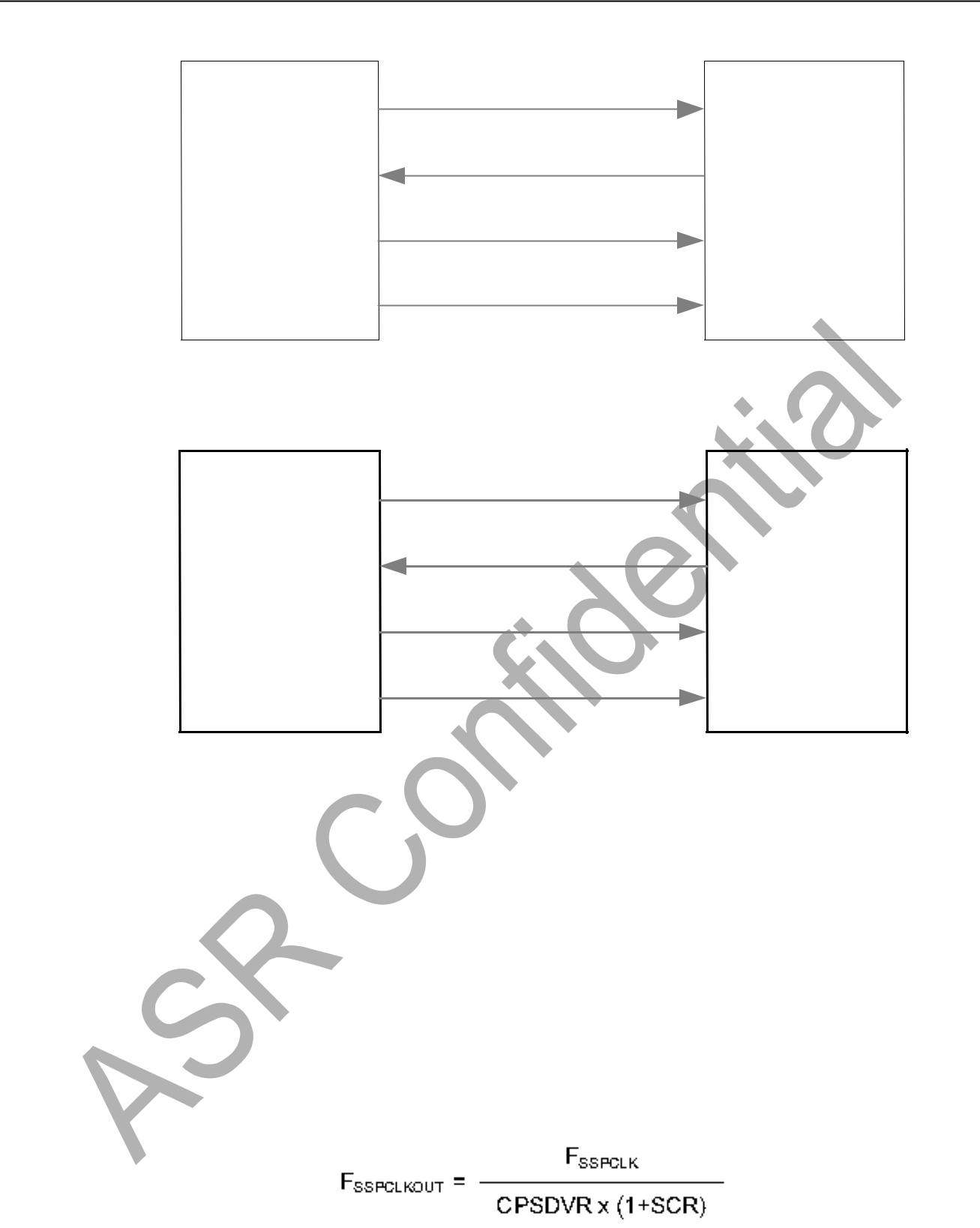
1. **SSP\_RX**

SSP 接收信号，无论 MASTER 模式还是 SLAVE 模式，均为接收 pin。

SSP 与 SPI 设备的连接如下图，需Note SSP\_TX/SSP\_RX 与 SPI\_MOSI/SPI\_MISO 的不同。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 137 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



SSP Master

|  |  |
| --- | --- |
| SSP\_TX | SPI\_MOSI |
| SSP\_RX | SPI\_MISO |
| SSP\_CLK | SPI\_CLK |
| SSP\_NSS | SPI\_NSS |

SPI Slave

**图 14-1 SSP master 与 SPI slave 之间的连接**

SPI Master

SPI\_MOSI SSP\_RX

SPI\_MISO SSP\_TX

SPI\_CLK SSP\_CLK

SSP Slave

SPI\_NSS SSP\_NSS

**图 14-2 SPI Master 与 SSP Slave 之间的连接**

**14.3.2** **时钟分频**

SSP 时钟约束条件：

1. 最大支持的输出时钟为 16MHz
2. MASTER 模式下时钟最大为 PCLK 的 1/2
3. SLAVE 模式下时钟最大为 PCLK 的 1/12

MASTER 模式下时钟输出的公式如下：

**图 14-3 MASTER 模式下时钟输出的公式**

SSPCLK 为 SSP 的接口时钟，SSPCLKOUT 为 SSP 的输出时钟。以默认 24MHz 为例，如果要输出 1MHz 的时钟，设置 CPSDVR 为 2，设置 SCR 为 11。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 138 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.3.3** **数据格式**

SSP 支持 3 种帧格式：

* Motorola SPI
* Texas Instruments SPI
* National Semiconductor Microwire

**14.3.4** **DMA 传输**

**SSP DMA 发送过程：**

* 1. 将register SSP\_DMACR 中的 TXDMAE Bit配置为使能；
  2. 将register SSP\_DR 地址配置为 DMA 的目的地址；
  3. 将发送数据的内存地址配置为 DMA 的源地址；
  4. 配置 DMA 的 SRC\_TR\_WIDTH 和 DES\_TR\_WIDTH 为 0（数据Bit宽为 8bit）；
  5. 配置 DMA 的 SRC\_MSIZE 和 DEST\_MSIZE 为 1（burst length 为 4）；
  6. 配置 DMA 的数据传输总长度；
  7. 配置 DMA 的 handshake 类型为对应 SSP 的 TX 类型（如 SSP0 为 DMA\_HANDSHAKE\_ SSP\_0\_TX）；
  8. 激活 DMA Channel。

当 DMA 传输完成后，会将 DMA\_CHENREG register的 CH\_EN\_x Bit清 0。

**SSP DMA 接收过程：**

* 1. 将register SSP\_DMACR 中的 RXDMAE Bit配置为使能；
  2. 将register SSP\_DR 地址配置为 DMA 的源地址；
  3. 将数据接收的内存地址配置为 DMA 的目的地址；
  4. 配置 DMA 的 SRC\_TR\_WIDTH 和 DES\_TR\_WIDTH 为 0（数据Bit宽为 8bit）；
  5. 配置 DMA 的 SRC\_MSIZE 和 DEST\_MSIZE 为 1（burst length 为 4）；
  6. 配置 DMA 的数据传输总长度；
  7. 配置 DMA 的 handshake 类型为对应 SSP 的 RX 类型（如 SSP0 为 DMA\_HANDSHAKE\_ SSP\_0\_RX）；
  8. 激活 DMA Channel。

当 DMA 传输完成后，会将 DMA\_CHENREG register的 CH\_EN\_x Bit清 0。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 139 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.3.5** **中断信号**

SSP 主要有四个中断：SSP RX 中断，SSP TX 中断，SSP RX OVERRUN 中断和 SSP RX TIMEOUT。

1. **SSP RX 中断**

当 SSP RX FIFO 中有大于等于 4 个数据时触发。

1. **SSP TX 中断**

当 SSP TX FIFO 中有小于等于 4 个数据时触发。

1. **SSP RX Overrun 中断**

当 SSP RX FIFO 已满，继续收到数据时触发。

1. **SSP RX Timeout 中断**

当 SSP RX FIFO 不为空，但是 SSP 在 32bit 传输周期中未继续收到数据时触发。

**14.4** **SSP 相关registerDescription**

SSP0 registerBase address：0x40006000

SSP1 registerBase address：0x40012000

SSP2 registerBase address：0x40013000

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | |  | | **表 14-1 SSP register列表** | |
|  |  | |  | |  |
| register | Offset | |  | | Description |
|  |  | |  | |  |
| SSP\_CR0 | 0x00 | |  | | Controlregister 0 |
|  |  | |  | |  |
| SSP\_CR1 | 0x04 | |  | | Controlregister 1 |
|  |  | |  | |  |
| SSP\_DR | 0x08 | |  | | 数据register |
|  |  | |  | |  |
| SSP\_SR | 0x0C | |  | | 状态register |
|  |  | |  | |  |
| SSP\_CPSR | 0x10 | |  | | 时钟分频register |
|  |  | |  | |  |
| SSP\_IMSC | 0x14 | |  | | 中断设置register |
|  |  | |  | |  |
| SSP\_RIS | 0x18 | |  | | 原始中断状态register |
|  |  | |  | |  |
| SSP\_MIS | 0x1C | |  | | 屏蔽中断状态register |
|  |  | |  | |  |
| SSP\_ICR | 0x20 | |  | | 中断清除register |
|  |  | |  | |  |
| SSP\_DMACR | 0x24 | |  | | DMA Controlregister |
|  |  | |  | |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 140 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.4.1** **SSP\_CR0**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-16** | **15-8** | **7** | **6** | **5-4** | **3-0** |
| RESERVED | SCR | SPH | SPO | FRF | DSS |
|  |  |  |  |  |  |
| r | r/w | r/w | r/w | r/w | r/w |
|  |  |  |  |  |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

**Bit 15-8 SCR：**串行时钟速率，用于设置 SSP 传输的数据速率。

SSP 的数据速率计算公式如上，其中 CPSDVR 是取值 2 到 254 的偶数。

**Bit 7 SPH：**SSP 相Bit设置，仅应用于 Motorola SPI 格式。

**Bit 6 SPO：**SSP 极性设置，仅应用于 Motorola SPI 格式。

**Bit 5-4 FRF：**SSP 帧格式设置。

* + 0：Motorola SPI 格式
  + 1：Texas Instruments SPI 格式
  + 2：National Semiconductor Microwire 格式
  + 3：保留

**Bit 3-0 DSS：**数据Bit宽设置。

* + 0：保留
  + 1：保留
  + 2：保留
  + 3：4 bit
  + 4：5 bit
  + 5：6 bit
  + 6：7 bit
  + 7：8 bit
  + 8：9 bit
  + 9：10 bit
  + 10：11 bit
  + 11：12 bit
  + 12：13 bit
  + 13：14 bit
  + 14：15 bit
  + 15：16 bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 141 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.4.2** **SSP\_CR1**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | SOD | MS | SSE | LBM |
|  |  |  |  |  |
| r | r/w | r/w | r/w | r/w |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 SOD：**从模式输出禁止。

* + 0：从模式下，SSP 可以输出
  + 1：从模式下，SSP 不可输出

**Bit 2 MS：**主从模式选择。

* + 0：主模式
  + 1：从模式

**Bit 1 SSE：**SSP 使能。

* + 0：不使能
  + 1：使能

**Bit 0 LBM：**回环模式。

* + 0：正常模式
  + 1：回环模式

**14.4.3** **SSP\_DR**

Offset：0x08

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | DATA |
|  |  |
| r | r/w |
|  |  |

**Bit 31-16 RESERVED：**Reserved and cannot be modified.

**Bit 15-0 DATA：**SSP TX/RX 数据。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 142 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.4.4** **SSP\_SR**

Offset：0x0C

Reset value：0x00000003

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | BSY | RFF | RNE | TNF | TFE |
|  |  |  |  |  |  |
| r | r | r | r | r | r |
|  |  |  |  |  |  |

**Bit 31-5 RESERVED：**Reserved and cannot be modified.

**Bit 4 BSY：**SSP 忙标识。

* + 0：SSP 空闲
  + 1：SSP 正在传输中

**Bit 3 RFF：**RX FIFO 满标识。

* + 0：RX FIFO 未满
  + 1：RX FIFO 满

**Bit 2 RNE：**RX FIFO 非空标识。

* + 0：RX FIFO 为空
  + 1：RX FIFO 不为空

**Bit 1 TNF：**TX FIFO 非满标识。

* + 0：TX FIFO 满
  + 1：TX FIFO 未满

**Bit 0 TFE：**TX FIFO 空标识。

* + 0：TX FIFO 不为空
  + 1：TX FIFO 为空

**14.4.5** **SSP\_CPSR**

Offset：0x0C

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | CPSDVSR |
|  |  |
| r | r/w |
|  |  |

**Bit 31-8 RESERVED：**Reserved and cannot be modified.

**Bit 7-0 CPSDVSR：**时钟分频因子，必须为 2-254 之间的偶数。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 143 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.4.6** **SSP\_IMSC**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | TXIM | RXIM | RTIM | RORIM |
|  |  |  |  |  |
| r | r/w | r/w | r/w | r/w |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 TXIM：**TX 中断屏蔽Bit。

* + 0：不允许产生 TX 中断
  + 1：允许产生 TX 中断

**Bit 2 RXIM：**RX 中断屏蔽Bit。

* + 0：不允许产生 RX 中断
  + 1：允许产生 RX 中断

**Bit 1 RTIM：**RX TIMEOUT 中断屏蔽Bit。

* + 0：不允许产生 RX TIMEOUT 中断
  + 1：允许产生 RX TIMEOUT 中断

**Bit 0 RORIM：**RX OVERRUN 中断屏蔽Bit。

* + 0：不允许产生 RX OVERRUN 中断
  + 1：允许产生 RX OVERRUN 中断

**14.4.7** **SSP\_RIS**

Offset：0x00

Reset value：0x00000008

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | TXRIS | RXRIS | RTRIS | RORRIS |
|  |  |  |  |  |
| r | r | r | r | r |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 TXRIS：**TX 原始中断状态。

**Bit 2 RXRIS：**RX 原始中断状态。

**Bit 1 RTRIS：**RX TIMEOUT 原始中断状态。

**Bit 0 RORRIS：**RX OVERRUN 原始中断状态。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 144 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.4.8** **SSP\_MIS**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | TXMIS | RXMIS | RTMIS | RORMIS |
|  |  |  |  |  |
| r | r | r | r | r |
|  |  |  |  |  |

**Bit 31-4 RESERVED：**Reserved and cannot be modified.

**Bit 3 TXMIS：**TX 屏蔽中断状态。

**Bit 2 RXMIS：**RX 屏蔽中断状态。

**Bit 1 RTMIS：**RX TIMEOUT 屏蔽中断状态。

**Bit 0 RORMIS：**RX OVERRUN 屏蔽中断状态。

**14.4.9** **SSP\_ICR**

Offset：0x00

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-2** | **1** | **0** |
| RESERVED | RTIC | RORIC |
|  |  |  |
| r | w | w |
|  |  |  |

**Bit 31-2 RESERVED：**Reserved and cannot be modified.

**Bit 1 RTIC：**RX TIMEOUT 中断清除，写 1 清除，写 0 无效。

**Bit 0 RORIC：**RX OVERRUN 中断清除，写 1 清除，写 0 无效。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 145 / 302

 14. 同步串行端口 (SSP) ASR6601 Reference Manual



**14.4.10** **SSP\_DMACR**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **31-2** |  | **1** | **0** |
|  | RESERVED |  | TXDMAE | RXDMAE |
|  |  |  |  |  |
|  | r |  | r/w | r/w |
|  | |  |  |  |
| **Bit 31-2 RESERVED：**Reserved and cannot be modified. | | |  |  |
| **Bit 1 TXDMAE：**DMA TX 使能。 | | |  |  |
|  | 0：关闭 DMA TX | |  |  |
|  | 1：使能 DMA TX | |  |  |
| **Bit 0 RXDMAE：**DMA RX 使能。 | | |  |  |
|  | 0：关闭 DMA RX | |  |  |
|  | 1：使能 DMA RX | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 146 / 302

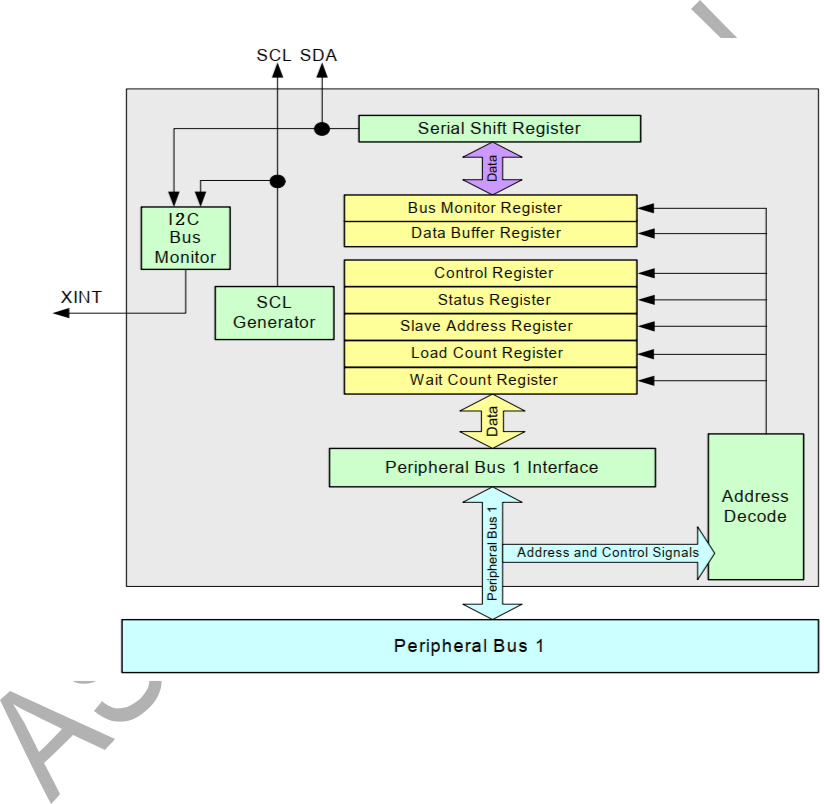
 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.** **内部集成电路 (I2C) 接口**

**15.1** **简介**

I2C 总线接口单元支持主机模式和从机模式。SDA 为数据传输线，SCL 为参考时钟线。支持多主机和总线仲裁功能。支持 100Kbps 标准速率模式，和 400Kbps 快速模式。支持 FIFO 模式，发送 FIFO 深度 8，接收 FIFO 深度 16，FIFO 的读写指针可配。



**图 15-1 I2C 框图**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 147 / 302

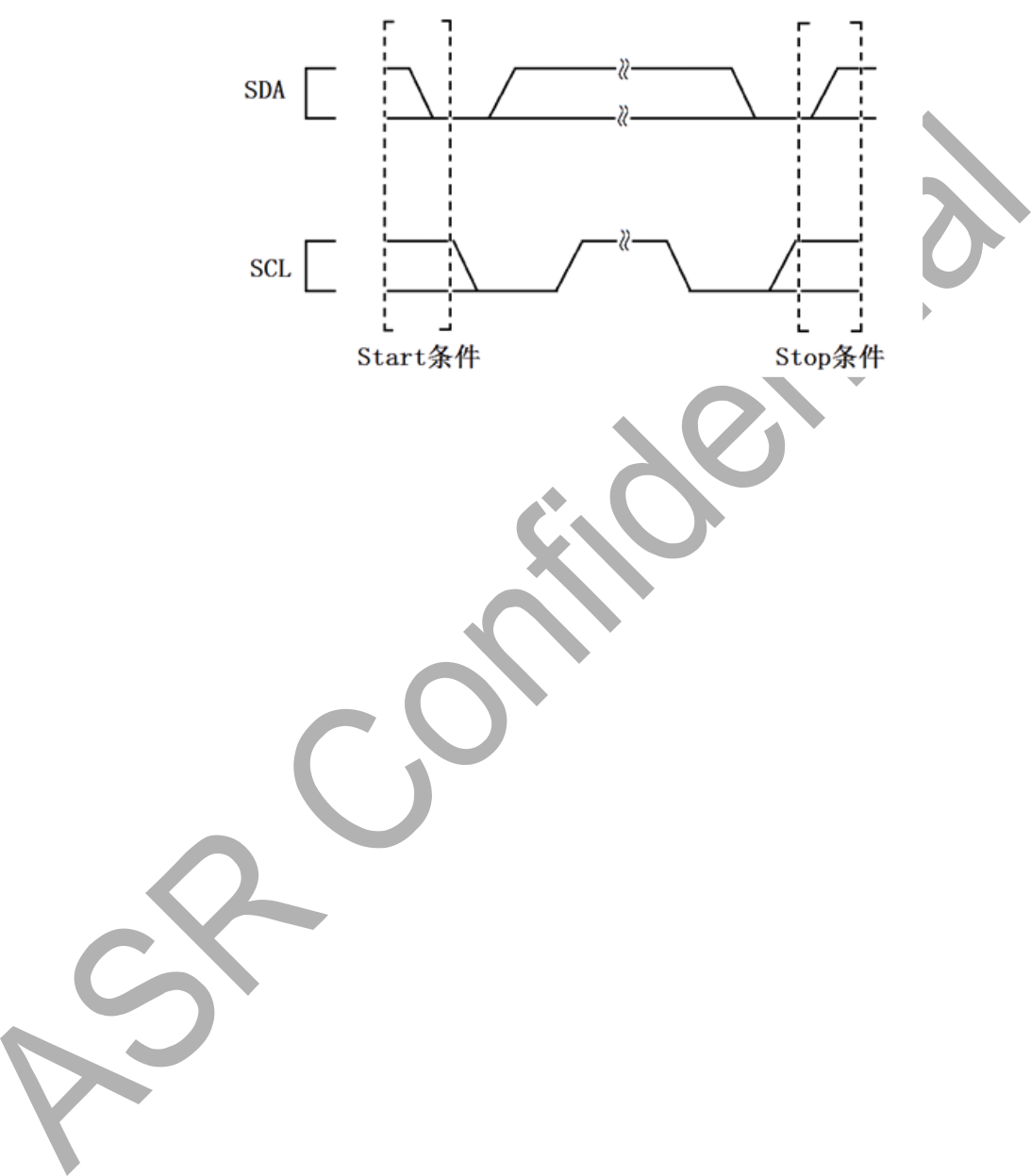
 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.2** **Start 与 Stop 条件**

Start 条件：当 SCL 为高时，SDA 从高跳变为低则产生 Start 条件。

Stop 条件：当 SCL 为高时，SDA 从低跳变为高则产生 Stop 条件。



**图 15-2 Start 与 Stop 条件的 SDA 与 SCL 信号**

通过配置 I2Cx\_CR{START} 和 I2Cx\_CR{STOP} 来开始一个字节的传输，或者产生 Start、 Repeated Start 和 Stop 条件。

**表 15-1 Start 和 Stop 条件定义**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Start Bit |  | Stop Bit |  |  | 条件 |  | Description |  |
|  |  |  |  |  |  |  |  |  |
| 0 |  | 0 |  |  | 无 Start 和 Stop |  | 当有多个数据字节将要被传输的时候，I2C 不会发送 |  |
|  |  |  |  | Start 或者 Stop 条件 |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | I2C 发送一个 Start 条件然后再发送 I2Cx\_DBR 内的 8 |  |
|  |  |  |  |  |  |  | Bit数据。Start 发送前，I2Cx\_DBR 必须要包含 7 Bit的 |  |
|  |  |  |  |  |  |  | 从地址和 1 Bit的 R/nW。 |  |
| 0 |  | 1 |  |  | Start 或 |  | Repeated Start 条件，I2Cx\_DBR 包含目标从设备地 |  |
|  |  |  | Repeated Start |  | 址和 R/nW Bit，这允许主机在不释放总线的情况下进 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | 行多次传输。 |  |
|  |  |  |  |  |  |  | 接口停留在主机发送模式用于写，切换到主机接收模 |  |
|  |  |  |  |  |  |  | 式用于读。 |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | 在主机发送模式，I2Cx\_DBR 内的 8 Bit数据发送完成 |  |
|  |  |  |  |  |  |  | 之后在总线上发送一个 Stop 条件。 |  |
| 1 |  | x | |  | Stop 条件 |  | 在主机接收模式，I2Cx\_CR{ACKNAK}必需置 1 用来 |  |
|  |  |  |  |  |  |  | 发送一个 NAK 脉冲，接收的数据被存入 I2Cx\_DBR 寄 |  |
|  |  |  |  |  |  |  | 存器，然后在总线上发送一个 Stop 条件。 |  |
|  |  |  |  |  |  |  |  |  |

1. **Start 条件**

Start 条件和 I2Cx\_DBR 内的数据在 I2Cx\_CR{TB}被置 1 后开始发送。写请求，I2C 总线停留在主机发送模式，读请求将停留在主机接收模式。Repeated Start 条件，改变读写或者

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 148 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



目标从设备地址，I2Cx\_DBR 将包含更新的从设备地址和 R/nW Bit。

I2C 不会清除 Start 条件。如果在开始发送 Start 条件的时候丢失总线仲裁，I2C 会在总线空闲的时候重新尝试发送一个 Start 条件。

1. **无 Start 或者 Stop 条件**

当 I2C 在发送多个数据字节的时候，I2Cx\_CR{START}=0，I2Cx\_CR{STOP}=0，此时无 Start 或者 Stop 条件。软件写数据字节，I2C 将 I2Cx\_SR{ITE}置 1 并且清除 I2Cx\_CR{TB}。

软件继续写一个新的字节到 I2Cx\_DBR register，并且把 I2Cx\_CR{TB}置 1，开始一个新的字节发送。这个过程一直继续，直到软件把 I2Cx\_CR{START}或者 I2Cx\_CR{STOP}置 1， I2C 在发送完一个 Start 、 Stop 或 Repeated Start 条件后， I2Cx\_CR{START} 和I2Cx\_CR{STOP}不会被自动清 0。

在每个字节与 ACK/NAK 被发送完成后，I2C 一直将 SCL 拉低等待，直到 I2Cx\_CR{TB}被

置 1。

1. **停止条件**

停止条件结束一次数据传输。在主机发送模式，I2Cx\_CR{STOP}和 I2Cx\_CR{TB}必须置 1

来开始最后一个字节的传输。在主机接收模式，I2Cx\_CR{ACKNAK}、I2Cx\_CR{STOP}和I2Cx\_CR{TB}必须置 1 来开始最后一个字节的接收。Stop 条件发送完成之后，软件必须把

I2Cx\_CR{STOP}清 0。

**15.3** **数据传输顺序**

I2C 以 1 字节递增的方式传输数据，遵循以下顺序：

1. Start
2. 7 Bit从机地址
3. R/nW Bit
4. Acknowledge
5. 8 Bit数据
6. Acknowledge
7. 重复步骤 5 和步骤 6
8. Repeated Start（重复步骤 1）或 Stop

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 149 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.4** **数据与寻址**

I2C 数据 Buffer register I2Cx\_DBR 和 I2C 从地址register I2Cx\_SAR 管理数据和从机寻址。 I2Cx\_DBR 包含 1 字节数据或者 7 Bit目标从机地址和 1 Bit R/nW。I2Cx\_SAR 包含 I2C 单元自身的从机地址。I2C 接收完一个完整字节数据和 ACK 后将数据存入 I2Cx\_DBR。发送时，CPU

将数据写入 I2Cx\_DBR，当 I2Cx\_CR{TB}置 1 后把数据发送到总线上。

1. **主机或者从机发送模式：**
   1. 将数据写入 I2Cx\_DBR register开始一次主机事务，或者在 I2Cx\_SR{ITE} 置 1 后发送下一个字节。
   2. 当 I2Cx\_CR{TB} 置 1 后发送 I2Cx\_DBR 中的数据。
   3. 如果使能了 I2Cx\_CR{ITEIE}，在发送完一个字节和 ACK 后会触发 I2Cx\_DBR 空中断。
   4. 在 CPU 写 I2Cx\_DBR register前，当 I2C 已准备好发送下一个字节，且无 Stop 条件，

I2C 处于等待状态，直到 CPU 写 I2Cx\_DBR register并且把 I2Cx\_CR{TB} 置 1。

***Note：****在 FIFO 模式，以 TX FIFO 替代 I2Cx\_DBR。*

1. **主机或者从机接收模式：**
   1. 当一个完整字节数据被接收后（使能 I2Cx\_CR{DRFIE}，触发 I2Cx\_DBR 接收满中断，

I2Cx\_SR{IRF} 被置 1），CPU 读 I2Cx\_DBR register取回数据。

* 1. 当 ACK 完成后，I2C 将数据从Bit移register传输到 I2Cx\_DBR register。
  2. I2C 处于等待模式，直到 I2Cx\_DBR register被 CPU 读取。
  3. CPU 读取 I2Cx\_DBR register之后，I2C 更新 I2Cx\_CR{ACKNAK}Bit和 I2Cx\_CR{TB}

Bit，允许下一字节的传输。

***Note：****在 FIFO 模式，以 RX FIFO 替代 I2Cx\_DBR。*

1. **从机寻址：**

作为主机设备，I2C 必须要构建和发送一次事务的第一个字节。这个字节由 7 Bit的从机地址和 1 Bit的 R/nW 组成。第一个字节的发送必须要得到从设备的 ACK 响应。如果是写事务，I2C 保持在主机发送模式，同时从机保持在接收模式。如果是读事务，I2C 在收到 ACK 后马上切换到主机接收模式，同时从机切换到发送模式。如果收到 NAK，I2C 自动发

送 Stop 条件并且把 I2Cx\_SR{BED}置 1 来中止当前事务。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 150 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.5** **应答（ACK）**

每一个字节的传输必须伴随 ACK，由接收的主机或者从机产生。发送方必须释放 SDA 线给接收方传输 ACK 脉冲。

在主机发送模式，如果目标接收从机未产生 ACK，SDA 线保持高电平指示一个 NAK。缺少 ACK 导致 I2C 将 I2Cx\_SR{BED}置 1 并产生中断，I2C 自动产生 Stop 条件并且中止传输。

在主机接收模式，I2C 发送 NAK 给发送从机通知从机停止发送数据，I2Cx\_CR{ACKNAK}Control总线上 ACK/NAK 的产生。按照 I2C 协议的规定，主机接收模式 NAK 不会将 I2Cx\_SR{BED}置1。I2C 从总线上每接收一个字节会自动发送 ACK，在接收到最后一个字节之前软件必须将I2Cx\_CR{ACKNAK}置 1 来发送 NAK。NAK 在最后一个字节被传输后发送，告知最后一个字节被发送完成。

在从机接收模式，I2C 自动对自身从机地址进行 ACK 响应，不论 I2Cx\_CR{ACKNAK}是否被置1。在从机模式，I2C 自动在接收到的每一个字节数据后进行 ACK 响应，不论 I2Cx\_CR register

的 ACKNAK Bit是否被置 1。

在从机发送模式，接收 NAK 意味着当前这次传输的最后一个字节被发送完成。主机接着发送一

个 Stop 条件或者 Repeated Start 条件。I2Cx\_SR{UB}保持为 1 直到一个 Stop 条件或者 Repeated Start 条件被接收到。

**15.6** **仲裁**

为兼容多主机，需要总线仲裁功能。总线仲裁用于在最小 I2C Start 条件时间内有 2 个或者更多主机同时产生 Start 条件的情形。

仲裁可以持续一段长的时间。如果从机地址和 R/nW Bit一致的话，仲裁移到数据阶段。由于 I2C 总线的 “线与” 属性，如果 2 个或者所有主机输出同样的总线状态，不会丢失数据。如果地址，或者 R/nW Bit，或者数据不同，转变到高状态的主机（主机数据与 SDA 线不同）丢失仲裁，并且结束数据传输，将 I2Cx\_SR{ALD}置 1，返回空闲状态。

在 FIFO 模式，丢失仲裁的时候软件必须清空 FIFO。这可以通过清空发送和接收 FIFO 的读写指针register来实现。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 151 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.7** **主机模式**

当软件开始执行读或者写操作，I2C 从默认的从机接收模式切换到主机发送模式。Start 条件之后跟随着 7 Bit的从机地址和 1 Bit的 R/nW。

当接收到 ACK 后，I2C 进入以下两种模式之一：

* 主机发送模式-写数据
* 主机接收模式-读数据

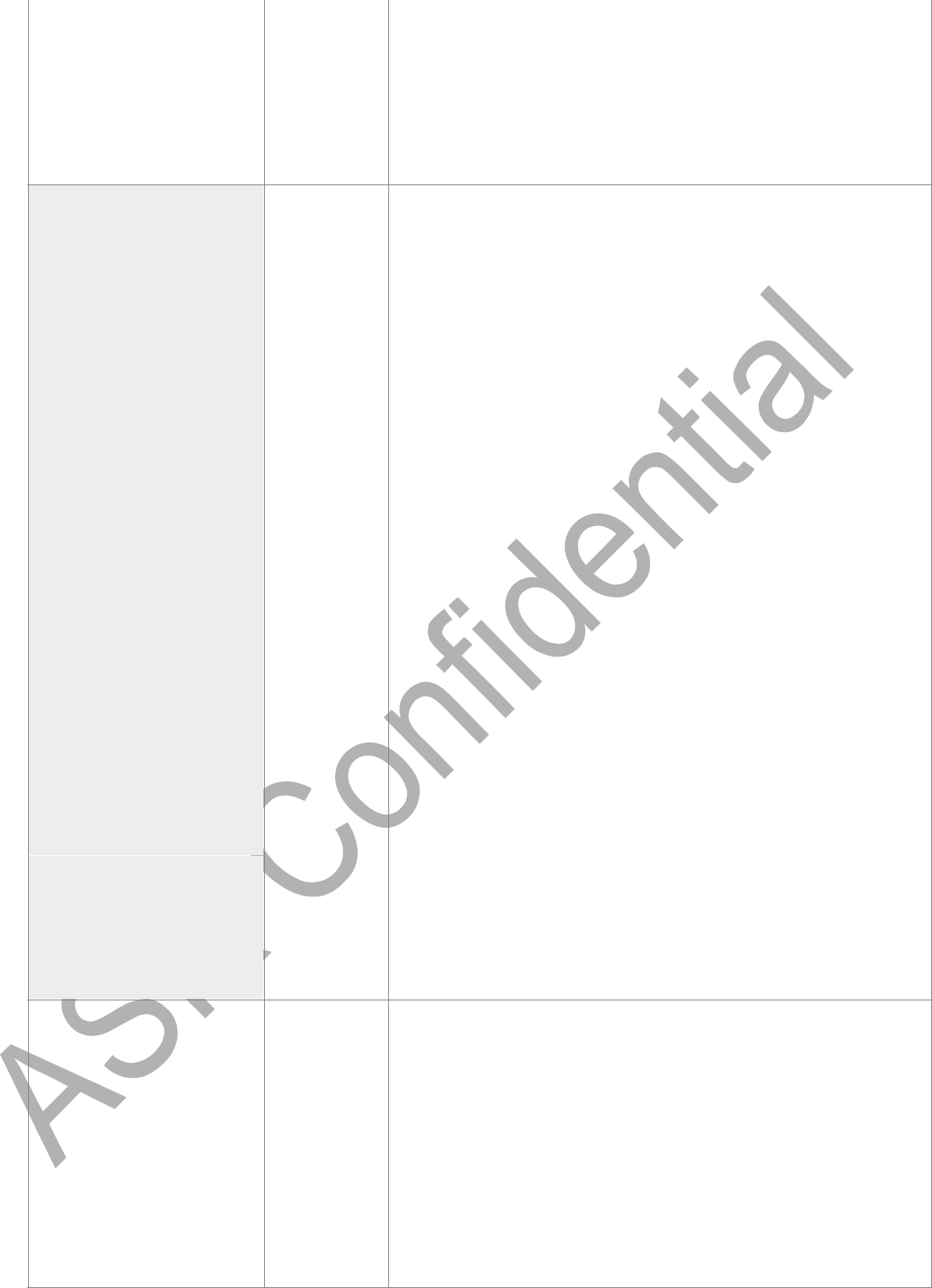
CPU 写 I2Cx\_CR register来开始一次主机事务。

**表 15-2 主机事务**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 主机动作 | |  | |  | | 主机操作 | |  | | 定义 | |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  | 产生时钟输出 |  | |  | | 主机发送 | |  | |  | | 主机驱动 SCL 线 |  |
|  |  | |  | | 主机接收 | |  | |  | | I2Cx\_CR{SCLE} 和 I2Cx\_CR{UE} 必须置 1 |  |
|  |  |  | |  | |  | |  |
|  |  | | |  | |  | |  | |  | |  |  |
|  | 写目标从机地址到 |  | |  | | 主机发送 | |  | |  | | CPU 在使能 Start 条件前写 I2Cx\_DBR[7:1] |  |
|  | I2Cx\_DBR |  | |  | | 主机接收 | |  | |  | | 前 7 个Bit在 Start 条件之后发送 |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | | 主机发送 | |  | |  | | CPU 把 R/nW ControlBit写入 I2Cx\_DBR 的最低Bit |  |
|  | 写 R/nW Bit到 I2Cx\_DBR |  | |  | |  | |  | | 若 R/nW 为低则主机保持发送模式，若 R/nW 为高则主机 |  |
|  |  | |  | | 主机接收 | |  | |  |
|  |  |  | |  | |  | |  | | 切换到接收模式 |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | | 在 7 Bit目标从机地址和 1 Bit R/nW 写入 I2Cx\_DBR register之 | |  |
|  | 发送 Start 条件 | |  | |  | | 主机发送 | |  | | 后， | |  |
|  |  | |  | | 主机接收 | |  | |  | | 软件把 I2Cx\_CR{START} 置 1 |  |
|  |  |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | | 软件把 I2Cx\_CR{TB}置 1 开始发送 Start 条件 |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | | CPU 写一个字节到 I2Cx\_DBR register |  |
|  | 开始第一个字节传输 |  | |  | | 主机发送 | |  | |  | | 软件把 I2Cx\_CR{TB} 置 1，开始这个字节的发送 |  |
|  |  | |  | | 主机接收 | |  | |  | | 发送完成之后，I2Cx\_CR{TB} 被清 0，I2Cx\_SR{ITE} 被 |  |
|  |  |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | | 置 1 |  |
|  |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | | 如果在同一个时钟周期内有多个主机在总线上发送了 Start 条 | |  |
|  |  | |  | |  | |  | |  | | 件，那么总线仲裁必须产生， | |  |
|  |  |  | |  | |  | |  | |  | | 只要有需要，I2C 仲裁就会产生。总线仲裁发生在目标从机 |  |
|  |  |  | |  | | 主机发送 | |  | |  | | 地址和 R/nW Bit，以及数据传输阶段，直到除 1 个主机之 |  |
|  | 总线仲裁 |  | |  | |  | |  | | 外的主机都丢失总线。数据不会丢失。 |  |
|  |  | |  | | 主机接收 | |  | |  | |  |
|  |  |  | |  | |  | |  | | 如果丢失仲裁，I2Cx\_SR{ALD} 会被置 1，I2C 切换到从机 |  |
|  |  |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | | 接收模式。 |  |
|  |  |  | |  | |  | |  | |  | | 如果在发送目标从机地址的时候丢失仲裁，I2C 会在总线空 |  |
|  |  |  | |  | |  | |  | |  | | 闲的时候再次尝试重发。 |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | | 如果 I2Cx\_SR{ITE} 被置 1 并且 I2Cx\_CR{TB} 被清 0， |  |
|  | 写一个字节到 I2Cx\_DBR |  | |  | | 仅主机发送 | |  | |  | | 当 I2Cx\_DBR 空中断被使能，那么中断产生。 |  |
|  |  | |  | |  | |  | | CPU 写一个字节到 I2Cx\_DBR register，并且根据需要设 |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | | 置合适的 Start/Stop 条件组合，然后把 I2Cx\_CR{TB} 置 |  |
|  |  |  | |  | |  | |  | |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 152 / 302

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15. 内部集成电路 (I2C) 接口 | | | | | | | | | | ASR6601 Reference Manual | |  |
|  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | |  | |  | | 1 发送数据。数据的 8 个Bit被从Bit移register搬到串行总线 | |  |
|  | |  | |  | |  | |  | | 上。若发送前 I2Cx\_CR{STOP} 置 1，那么在数据的 8 个 | |  |
|  | |  | |  | |  | |  | | Bit传输完成之后会跟随一个 Stop 条件。 | |  |
|  |  | |  | |  | |  | |  | |  |  |
|  | |  | |  | | 等待接收从机 ACK | |  | | 作为发送方，主机产生 ACK 的时钟，并且将 SDA 线释放给接 | |  |
|  | |  | |  | |  | | 仅主机发送 | |  |
|  | |  | |  | |  | |  | | 收的从机发送 ACK。 | |  |
|  |  | |  | |  | |  | |  | |  |  |



在 I2Cx\_CR{ACKNAK} 被读取之后，Bit移register内的 8 Bit数据被搬到 I2Cx\_DBR register，

* 当 I2Cx\_SR{IRF} 被置 1 且 I2Cx\_CR{TB} 被清 0 时， CPU 读取 I2Cx\_DBR register。可以使能 I2Cx\_DBR register接收满中断通知 CPU。
* 当 I2Cx\_DBR 被读取完，如果 I2Cx\_SR{ACKNAK} 被清0（代表 ACK），软件必须把 I2Cx\_CR{ACKNAK} 清 0 并

且把 I2Cx\_CR{TB} 置 1 来开始下一个字节的读取。

* 如果 I2Cx\_SR{ACKNAK} 被置 1（代表 NAK），

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | 从 I2Cx\_DBR 读取一个字 | | 仅主机接收 | | I2Cx\_CR{TB} 被清除，I2Cx\_CR{STOP} 被置 1，且 | |  |
|  | | 节 | | I2Cx\_SR{UB} 被置 1，最后一个字节已经被读取到 | |  |
|  | |  | |  |
|  | |  | |  | | I2Cx\_DBR register，I2C 正在发送 Stop 条件。 | |  |
|  | |  | |  | |  如果 I2Cx\_SR{ACKNAK} 被置 1（代表 NAK），并且 | |  |
|  | |  | |  | | I2Cx\_CR{TB} 被清 0，但是 I2Cx\_CR{STOP} 被清 0，软 | |  |
|  | |  | |  | | 件有两个选择： | |  |
|  |  | |  | | 1. | | 把 I2Cx\_CR{START} 置 1，将新的目标从机地址写 |  |
|  |  | |  | |  | | 入 I2Cx\_DBR，把 I2Cx\_CR{TB} 置 1，发送一个 |  |
|  |  | |  | |  | | Repeated Start 条件。 |  |
|  |  | |  | | 2. | | 把 I2Cx\_CR{MA} 置 1，并且保持 I2Cx\_CR{TB}为 |  |
|  |  | |  | |  | | 0，仅发送一个 Stop 条件。 |  |
|  | |  | |  | |  | |  |
|  | |  | |  | |  作为接收主机一方，在 ACK 期间，产生 ACK 时钟，并且 | |  |
|  | | 发送 ACK 到发送从机 | | 仅主机接收 | | 驱动 SDA 线 | |  |
|  |  | |  | |  |  |

* 如果下一个字节为最后一个事务，软件需要把

I2Cx\_CR{ACKNAK} 置 1 来产生 NAK。

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | |  | |  | |  | | 使用 Repeated Start 代替 Stop 条件可以在不释放总线的情 | |  |
|  | |  | |  | |  | |  | | 况下继续新的传输 | |  |
|  |  | | 产生 Repeated Start 条件 | |  | | 主机发送 | |  | | Repeated Start 条件在最后一个字节数据被传输后产生 |  |
|  | |  | |  | | 主机接收 | |  软件必须把 7 Bit的目标从机地址和 1 Bit的 R/nW Bit写入 | |  |
|  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | | I2Cx\_DBR register，然后把 I2Cx\_CR{START} 置 1，再 |  |
|  |  | |  | |  | |  | |  | | 把 I2Cx\_CR{TB} 置 1 |  |
|  |  | |  | |  | |  | |  | |  |  |
|  |  | | 产生 Stop 条件 | |  | | 主机发送 | |  | | Stop 条件在最后一个字节数据被传输后产生 |  |
|  |  | |  | | 主机接收 | |  | | I2Cx\_CR{STOP} 要在最后一个字节被传输前置 1 |  |
|  |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 153 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.8** **FIFO 模式**

FIFO 模式只能在主机模式被使用。



**图 15-3 FIFO 模式示意图**

FIFO 模式可以用于发送和接收，以帮助减少 I2Cx\_DBR register空中断和满中断，FIFO 允许读取和写入多个字节而不需要在每个字节操作之后中断 CPU。

DMA 被用于改善传输长度超过 8 个字节数据的 I2C 事务，整个事务可用 DMA 的方式完成，而不用产生多次 FIFO 中断。

FIFO 模式向下兼容普通模式，通过把 I2Cx\_CR{FIFO\_EN}清 0 来禁用 FIFO 模式。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 154 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



发送 FIFO 的宽度为 12 Bit，4 个ControlBit，8 个数据Bit，深度为 8。4 个ControlBit为 I2Cx\_CR[3:0]，这是发送每个字节所必须的ControlBit。当一个字节被传输之后，新的字节从 TX FIFO 拷贝到Bit移register，ControlBit被拷贝到 I2Cx\_CR[3:0]。这个字节现在被传输，持续循环直到 Stop 条件产生。

接收 FIFO 为宽度为 8 Bit，用于保存接收到的数据，深度为 16。每个字节的ControlBit与一个空数据被保存到 TX FIFO 的相应Bit置。当接收 FIFO 半满，会产生 FIFO 半满中断或者 DMA 请求，将 FIFO 中的数据读出。

为支持 FIFO 功能，同时完整利用 FIFO 的容量，需要配置以下状态和ControlBit：

* 1. I2Cx\_CR{FIFO\_EN} 置 1 使能 FIFO 模式
  2. I2Cx\_CR{TXBEGIN} 置 1 开始事务
  3. 使能 I2Cx\_CR[31:27] 的 FIFO 相关中断Bit，可通过 I2Cx\_SR[31:27] 查询相应中断状

态

* 1. 每次事务完成之后（Stop 条件发送完）触发 TXDONE 中断
  2. I2Cx\_CR{DMA\_EN} 用来使能/禁用 DMA 模式

在 DMA 模式，I2Cx\_CR[31:28] 相关的 FIFO 中断必须禁用，同时 I2Cx\_CR{DMA\_EN} 置 1。这样，所有 DMA 请求被发送到 DMA，而不是 CPU。I2Cx\_CR{TXDONE\_IE} 在 FIFO 模式和

DMA 模式都需要置 1，用来通知 CPU 事务的结束。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 155 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.9** **从机模式**

**表 15-3 从机事务**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 从机动作 | |  | |  | | 从机操作 | |  | | 定义 | |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | | I2C 监视所有从机地址事务 |  |
|  |  |  | |  | |  | |  | |  | | I2Cx\_CR{UE} 必须置 1 |  |
|  |  | |  | |  | |  | |  | |  I2C 监视总线上的 Start 条件。若检测到 Start 条件， | |  |
|  |  |  | |  | |  | |  | |  | | 接口读取前 8 Bit数据，并把前 7 Bit与自身从机地址 |  |
|  | 从机接收（默认模式） |  | |  | | 仅从机接收 | |  | |  | | 做比较，若匹配则响应 ACK |  |
|  |  | |  | |  | |  | |  | |  若首字节的第 8 Bit（R/nW）为低，那么 I2C 保持在 | |  |
|  |  |  | |  | |  | |  | |  | | 从机接收模式，并把 I2Cx\_SR{SAD} 清 0 。 若 |  |
|  |  |  | |  | |  | |  | |  | | R/nW 为高， I2C 切换到从机发送模式，并把 |  |
|  |  |  | |  | |  | |  | |  | | I2Cx\_SR{SAD} 置 1 |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | | 用来指示接口检测到匹配的 I2C 寻址 |  |
|  | 设置从机地址检测Bit |  | |  | | 从机接收 | |  | |  | | 若使能 I2Cx\_CR{SADIE}，在匹配的从机地址被接 |  |
|  |  | |  | | 从机发送 | |  | |  | | 收和 ACK 响应之后，中断产生，I2Cx\_SR{SAD} 置 |  |
|  |  |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | | 1 |  |
|  |  |  | |  | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | | 8 Bit数据从总线上读取到Bit移register，在整个字节被 |  |
|  |  |  | |  | |  | |  | |  | | 接收完成和 ACK/NAK 完成之后，Bit移register内的数 |  |
|  |  |  | |  | |  | |  | |  | | 据被搬到 I2Cx\_DBR register |  |
|  | 从 I2Cx\_DBR 读取 1 个字 |  | |  | |  | |  | |  | | 当 I2Cx\_SR{IRF} 置 1，且 I2Cx\_CR{TB} 清 0，若 |  |
|  |  | |  | | 仅从机接收 | |  | |  | | 使能 I2Cx\_CR{DRFIE}，I2Cx\_DBR 接收满中断产 |  |
|  | 节 |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | | 生 |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | | 软件从 I2Cx\_DBR 读取数据，并根据需要配置 |  |
|  |  |  | |  | |  | |  | |  | | I2Cx\_CR{ACKNAK}，把 I2Cx\_CR{TB} 置 1，这个 |  |
|  |  |  | |  | |  | |  | |  | | 操作使从机退出等待模式，接续接收主机的数据 |  |
|  |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  作为接收从机，I2C 在 SCL 为高的时候将 SDA 线拉 | |  |
|  | 响应 ACK 到发送主机 |  | |  | | 仅从机接收 | |  | |  | | 低产生 ACK |  |
|  |  | |  | |  | |  | |  | |  ACK/NAK 由 I2Cx\_CR{ACKNAK} Control | |  |
|  |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | |  | |  I2Cx\_SR{ITE} 置 1，I2Cx\_CR{TB} 清 0，若使能 | |  |
|  |  |  | |  | |  | |  | |  | | I2Cx\_CR{ITEIE} 中断，I2Cx\_DBR 发送空中断产 |  |
|  | 写 1 个字节到 I2Cx\_DBR |  | |  | | 仅从机发送 | |  | |  | | 生 |  |
|  |  |  | |  | |  | |  | |  | | 软件把数据写入 I2Cx\_DBR register，然后把 |  |
|  |  |  | |  | |  | |  | |  | | I2Cx\_CR{TB} 置 1 开始数据的发送 |  |
|  |  | |  | |  | |  | |  | |  | |  |
|  | 等待接收主机的 ACK | |  | |  | | 仅从机发送 | |  | | 作为发送从机，I2C 释放 SDA 线等待接收主机拉低响应 | |  |
|  |  | |  | |  | | ACK | |  |
|  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 156 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.10 时钟复Bit**

每个 I2C 接口都有独立的 APB 总线时钟和独立的 APB 总线复Bit。

复Bit前软件必须保证 I2Cx\_CR{UE}为 0，并且复Bit后保证总线在空闲状态（I2Cx\_SR{IBB}为 0）。 Reset 时，除 I2Cx\_SAR register之外的所有register均恢复到默认的复Bit状态，I2Cx\_SAR 不受复Bit影响。

复Bit操作顺序：

1. 将 I2Cx\_CR{UR} 置 1，并把 I2Cx\_CR register的其余Bit清 0
2. 将 I2Cx\_SR register清 0
3. 将 I2Cx\_CR{UR} 清 0

**15.11 中断请求**

通过 I2Cx\_CR 配置中断使能，查询 I2Cx\_SR 相应Bit可以获取中断状态。

**15.12 DMA 请求**

通过 I2Cx\_CR{DMA\_EN} 使能 DMA，支持发送和接收。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 157 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13 I2C 相关registerDescription**

I2C0 Base address：0x40007000

I2C1 Base address：0x40014000

I2C2 Base address：0x40015000

|  |  |  |  |
| --- | --- | --- | --- |
|  | | **表 15-4 I2C register列表** | |
|  |  | |  |
| register | Offset | | Description |
|  |  | |  |
| I2Cx\_CR | 0x00 | | Controlregister |
|  |  | |  |
| I2Cx\_SR | 0x04 | | 状态register |
|  |  | |  |
| I2Cx\_SAR | 0x08 | | 从地址register |
|  |  | |  |
| I2Cx\_DBR | 0x0C | | 数据 Buffer register |
|  |  | |  |
| I2Cx\_LCR | 0x10 | | 加载计数register |
|  |  | |  |
| I2Cx\_WCR | 0x14 | | 等待计数register |
|  |  | |  |
| I2Cx\_RST\_CYCL | 0x18 | | 复Bit周期register |
|  |  | |  |
| I2Cx\_BMR | 0x1C | | 总线监视register |
|  |  | |  |
| I2Cx\_WFIF0 | 0x20 | | 发送 FIFO register |
|  |  | |  |
| I2Cx\_WFIFO\_WPTR | 0x24 | | 发送 FIFO 写指针register |
|  |  | |  |
| I2Cx\_WFIFO\_RPTR | 0x28 | | 发送 FIFO 读指针register |
|  |  | |  |
| I2Cx\_RFIFO | 0x2C | | 接收 FIFO register |
|  |  | |  |
| I2Cx\_RFIFO\_WPTR | 0x30 | | 接收 FIFO 写指针register |
|  |  | |  |
| I2Cx\_RFIFO\_RPTR | 0x34 | | 接收 FIFO 读指针register |
|  |  | |  |
| I2Cx\_RESV[2] | 0x38 | | 4 x 2 字节保留 |
|  |  | |  |
| I2Cx\_WFIFO\_STATUS | 0x40 | | 写 FIFO 状态register |
|  |  | |  |
| I2Cx\_RFIFO\_STATUS | 0x44 | | 读 FIFO 状态register |
|  |  | |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 158 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.1** **I2Cx\_CR (x=0, 1, 2)**

Offset：0x00

Reset value：0x00000200

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31** | **30** | | **29** | | **28** | | **27** | | **26** | | **25** | | **24** |
| RXOV\_IE | RXF\_IE | | RXHF\_IE | | TXE\_IE | | TXDONE\_IE | | MSDE | | MSDIE | | SSDIE |
|  |  | |  | |  | |  | |  | |  | |  |
| rw-0h | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h |
|  |  | |  | |  | |  | |  | |  | |  |
| **23** | | **22** | | **21** | | **20** | | **19** | | **18** | | **17-16** | |
| SADIE | | BEIE | | RESERVED | | DRFIE | | ITEIE | | ALDIE | | RESERVED | |
|  | |  | |  | |  | |  | |  | |  | |
| rw-0h | | rw-0h | | r-0h | | rw-0h | | rw-0h | | rw-0h | | r-0h | |
|  | |  | |  | |  | |  | |  | |  | |
| **15** | | **14** | | **13** | | **12** | | **11** | | **10** | | **9-8** | |
| RESERVED | | UE | | SCLE | | MA | | IBRR | | UR | | MODE | |
|  | |  | |  | |  | |  | |  | |  | |
| r-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-2h | |
|  |  | |  | |  | |  | |  | |  | |  |
| **7** | **6** | | **5** | | **4** | | **3** | | **2** | | **1** | | **0** |
| DMA\_EN | RESERVED | | FIFOEN | | TXBEGIN | | TB | | ACKNAK | | STOP | | START |
|  |  | |  | |  | |  | |  | |  | |  |
| rw-0h | r-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h | | rw-0h |
|  |  | |  | |  | |  | |  | |  | |  |

**Bit 31 RXOV\_IE：**接收 FIFO overrun 中断使能。

* + 0：禁用接收 FIFO overrun 中断
  + 1：使能接收 FIFO overrun 中断

**Bit 30 RXF\_IE：**接收 FIFO 满中断使能。

* + 0：禁用接收 FIFO 满中断
  + 1：使能接收 FIFO 满中断

**Bit 29 RXHF\_IE：**接收 FIFO 半满中断使能。

* + 0：禁用接收 FIFO 半满中断
  + 1：使能接收 FIFO 半满中断

**Bit 28 TXE\_IE：**发送 FIFO 空中断使能。

* + 0：禁用发送 FIFO 空中断
  + 1：使能发送 FIFO 空中断

**Bit 27 TXDONE\_IE：**事务完成中断使能。

* + 0：禁用事务完成中断
  + 1：使能事务完成中断

**Bit 26 MSDE：**主机停止检测使能。

* + 0：禁用主机停止检测功能
  + 1：使能主机停止检测功能

**Bit 25 MSDIE：**主机停止检测中断使能。

* + 0：禁用主机停止检测中断
  + 1：使能主机停止检测中断

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 159 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**Bit 24 SSDIE：**从机停止检测中断使能。

* + 0：禁用从机停止检测中断
  + 1：使能从机停止检测中断

**Bit 23 SADIE：**从机地址检测中断使能。

* + 0：禁用从机地址检测中断
  + 1：使能从机地址检测中断

**Bit 22 BEIE：**总线错误中断使能。

* + 0：禁用总线错误中断
  + 1：使能总线错误中断

**Bit 21 RESERVED：**保留，不可更改。

**Bit 20 DRFIE：**I2Cx\_DBR 接收满中断使能。

* + 0：禁用 I2Cx\_DBR 接收满中断
  + 1：使能 I2Cx\_DBR 接收满中断

**Bit 19 ITEIE：**I2Cx\_DBR 发送空中断使能。

* + 0：禁用 I2Cx\_DBR 发送空中断
  + 1：使能 I2Cx\_DBR 发送空中断

**Bit 18 ALDIE：**仲裁丢失检测中断使能。

* + 0：禁用仲裁丢失检测中断
  + 1：使能仲裁丢失检测中断

**Bit 17-15 RESERVED：**保留，不可更改。

**Bit 14 UE：**I2C 接口单元使能。

* + 0：禁用 I2C 接口单元
  + 1：使能 I2C 接口单元，默认为从机接收模式

软件必须保证在使能 I2C 接口单元前总线为空闲状态，并且在置 1 或者清 0 该Bit前使能 I2C 内部时钟。

**Bit 13 SCLE：**SCL 使能。

* + 0：禁用 SCL 线
  + 1：使能主模式 I2C 时钟输出

**Bit 12 MA：**主机中止。

用于 Master 模式产生 Stop 条件。

* 0：STOP 为 1 产生 Stop 条件
* 1：产生 Stop 条件无需发送数据

在主机发送模式，当一个数据字节发送完成，TB 被清除，I2Cx\_SR{ITE} 被置 1，若没有更多的数据需要被发送，可将 MA 置 1 产生 Stop 条件释放总线。在主机接收模式，当 STOP 为 0，发送 NAK 后，且没有发送 Repeated Start 条件，可将 MA 置 1 产生 Stop 条件释放总线。TB 必须保持为 0。

**Bit 11 IBRR：**总线复Bit请求。

* + 0：无效
  + 1：总线复Bit，该Bit自动清 0

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 160 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**Bit 10 UR：**单元复Bit。

* + 0：无效
  + 1：I2C 单元复Bit

**Bit 9-8 MODE：**主机总线时钟模式。

* + 00：标准模式，100Kbps
  + 01：快速模式，400Kbps

**Bit 7 DMA\_EN：**DMA 使能。

* + 0：禁用 DMA 请求
  + 1：使能 DMA 请求

**Bit 6 RESERVED：**保留，不可更改。

**Bit 5 FIFOEN：**FIFO 模式使能。

* + 0：禁用 FIFO 模式
  + 1：使能 FIFO 模式

**Bit 4 TXBEGIN：**事务开始。

* + 0：无事务开始
  + 1：新的事务开始

该Bit在产生 Stop 条件后被硬件清 0，软件需要在开始新的事务时置 1。

**Bit 3 TB：**传输字节，用来在总线上发送或者接收一个字节。

* + 0：一个字节收发完成后被清 0
  + 1：发送或者接收一个字节

I2C 单元会监视这个Bit来确定该字节是否收发完成。在主机或从机模式，在一个字节包括 ACK 收发完成后， I2C 会一直将 SCL 拉低直到 TB 被置 1。

**Bit 2 ACKNAK：**主机接收模式 ACK/NAK ControlBit。

* + 0：接收完成一个字节后发送 ACK
  + 1：接收完成一个字节后发送 NAK

从机模式，从地址匹配或者接收完成时，I2C 单元自动发送一个 ACK，不论 ACKNAK 是否置 1。

**Bit 1 STOP：**产生 Stop 条件。

* + 0：不产生 Stop 条件
  + 1：产生 Stop 条件

用来在主机模式传输完下一个字节后在总线上产生 Stop 条件。在主机接收模式，ACKNAK 必须与 STOP Bit同时置 1。

**Bit 0 START：**产生 Start 条件。

* + 0：不产生 Start 条件
  + 1：产生 Start 条件

用来在主机模式在总线上产生 Start 条件。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 161 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.2** **I2Cx\_SR (x=0, 1, 2)**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31** | **30** | | **29** | | **28** | | **27** | | **26** | |  | | **25** |
| RXOV | RXF | | RXHF | | TXE | | TXDONE | | MSD | |  | | RESERVED |
|  |  | |  | |  | |  | |  | |  | |  |
| rw1c-0h | rw1c-0h | | rw1c-0h | | rw1c-0h | | rw1c-h | | r1ch | |  | | r-0h |
|  |  | |  | |  | |  | |  | |  | |  |
| **24** | **23** | | **22** | | **21** | | **20** | | **19** | |  | | **18** |
| SSD | SAD | | BED | | RESERVED | | IRF | | ITE | |  | | ALD |
|  |  | |  | |  | |  | |  | |  | |  |
| rw1c-0h | rw1c-0h | | rw1c-0h | | r-0h | | rw1c-0h | | rw1c-0h | |  | | rw1c-0h |
|  |  | |  | |  | |  | |  | |  | |  |
| **17** | | **16** | | **15** | | **14** | | **13-8** | |  | | **7-0** | |
| RESERVED | | IBB | | UB | | ACKNAK | | RESERVED | | RESERVED | | | |
|  | |  | |  | |  | |  | |  | |  | |
| r-0h | | r-0h | | r-0h | | r-0h | | r-0h | |  | | r-0h | |
|  |  | |  | |  | |  | |  | |  | |  |

**Bit 31 RXOV：**接收 FIFO overrun 标志。

* + 0：接收 FIFO 未发生 overrun 中断
  + 1：接收 FIFO 发生 overrun，写 1 清 0

**Bit 30 RXF：**接收 FIFO 满标志。

* + 0：接收 FIFO 未满
  + 1：接收 FIFO 满，写 1 清 0

**Bit 29 RXHF：**接收 FIFO 半满标志。

* + 0：接收 FIFO 未半满
  + 1：接收 FIFO 半满，写 1 清 0

**Bit 28 TXE：**发送 FIFO 空标志。

* + 0：发送 FIFO 不为空
  + 1：发送 FIFO 空，写 1 清 0

**Bit 27 TXDONE：**事务完成标志，FIFO 模式使用。

* + 0：事务未完成
  + 1：事务完成，写 1 清 0

**Bit 26 MSD：**主机停止检测标志（主模式有效）。

* + 0：未检测到主机停止
  + 1：检测到主机停止，写 1 清 0

**Bit 25 RESERVED：**保留，不可更改。

**Bit 24 SSDIE：**从机停止检测标志。

* + 0：未检测到从机停止
  + 1：检测到从机停止，写 1 清 0

**Bit 23 SAD：**从机地址检测标志。

* + 0：无匹配的从机地址被检测到
  + 1：检测到匹配的从机地址，写 1 清 0

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 162 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**Bit 22 BED：**总线错误标志。

* + 0：未检测到总线错误
  + 1：检测到总线错误，写 1 清 0

两种情况下回产生该标志，主机发送一个字节后未收到 ACK，或者从机接收产生一个 NAK 脉冲。

**Bit 21 RESERVED：**保留，不可更改。

**Bit 20 IRF：**I2Cx\_DBR 接收满标志。

* + 0：I2Cx\_DBR 没有收到新的数据字节或者 I2C 总线处于空闲状态
  + 1：I2Cx\_DBR 收到一个新的数据字节，写 1 清 0

**Bit 19 ITE：**I2Cx\_DBR 发送空。

* + 0：数据仍在发送中
  + 1：总线发送完成一个数据字节，写 1 清 0

**Bit 18 ALD：**仲裁丢失标志，多主机场景使用。

* + 0：获得仲裁，或者未发生仲裁
  + 1：丢失仲裁，写 1 清 0

**Bit 17 RESERVED：**保留，不可更改。

**Bit 16 IBB：**总线忙标志。

* + 0：总线空闲或者总线正在被 I2C 接口使用
  + 1：总线忙但是未被 I2C 接口使用

**Bit 15 UB：**I2C 接口单元忙标志。

* + 0：I2C 接口单元空闲
  + 1：I2C 接口单元忙

**Bit 14 ACKNAK：**ACK/NAK 状态标志。

* + 0：收到或发送完一个 ACK
  + 1：收到或发送完一个 NAK

在从机发送模式，该Bit用于确定被发送的字节是否是最后一个。该Bit在每个字节的 ACK/NAK 信息被收到后都会更新。

**Bit 13-0 RESERVED：**保留，不可更改。

**15.13.3** **I2Cx\_SAR (x=0, 1, 2)**

Offset：0x08

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-7** | **6-0** |
| RESERVED | SLAVE\_ADDRESS |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-7 RESERVED：**保留，不可更改。

**Bit 6-0 SLAVE\_ADDRESS：**从地址，从机模式使用。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 163 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.4** **I2Cx\_DBR (x=0, 1, 2)**

Offset：0x0C

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | DATA\_BUFFER |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7-0 DATA\_BUFFER：**收发数据 Buffer。

**15.13.5** **I2Cx\_LCR (x=0, 1, 2)**

Offset：0x10

Reset value：0x18183a7e

|  |  |  |
| --- | --- | --- |
| **31-18** | **17-9** | **8-0** |
| RESERVED | FLV | SLV |
|  |  |  |
| r-1818h | rw-1dh | rw-7eh |
|  |  |  |

**Bit 31-18 RESERVED：**保留，不可更改。

**Bit 17-9 FLV：**主机快速时钟模式相Bit减幅器装载值。

**Bit 8-0 SLV：**主机标准时钟模式相Bit减幅器装载值。

**15.13.6** **I2Cx\_WCR (x=0, 1, 2)**

Offset：0x14

Reset value：0x0000143a

|  |  |
| --- | --- |
| **31-5** | **4-0** |
| RESERVED | COUNT |
|  |  |
| r-a1h | rw-1ah |
|  |  |

**Bit 31-5 RESERVED：**保留，不可更改。

**Bit 4-0 COUNT：**快速与标准时钟模式 setup 与 hold 次数计数值。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 164 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.7** **I2Cx\_RST\_CYCL (x=0, 1, 2)**

Offset：0x18

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-4** | **3-0** |
| RESERVED | RST\_CYC |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-4 RESERVED：**保留，不可更改。

**Bit 3-0 RST\_CYC：**总线复Bit SCL 周期计数。

**15.13.8** **I2Cx\_BMR (x=0, 1, 2)**

Offset：0x1C

Reset value：0x00000003

|  |  |  |
| --- | --- | --- |
| **31-2** | **1** | **0** |
| RESERVED | SCL | SDA |
|  |  |  |
| r-0h | r-1h | r-1h |
|  |  |  |

**Bit 31-2 RESERVED：**保留，不可更改。

**Bit 1 SCL：**SCL 引脚状态。

**Bit 0 SDA：**SDA 引脚状态。

**15.13.9** **I2Cx\_WFIF0 (x=0, 1, 2)**

Offset：0x20

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-12** | **11-8** | **7-0** |
| RESERVED | CONTROL | DATA |
|  |  |  |
| r-0h | w-0h | w-0h |
|  |  |  |

**Bit 31-12 RESERVED：**保留，不可更改。

**Bit 11-8 CONTROL：**收发数据ControlBit。

**Bit 7-0 DATA：**写事务发送数据和读事务空数据。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 165 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.10 I2Cx\_WFIFO\_WPTR (x=0, 1, 2)**

Offset：0x24

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-4** | **3-0** |
| RESERVED | DATA |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-4 RESERVED：**保留，不可更改。

**Bit 3-0 DATA：**发送 FIFO 软件写入Bit置指针。

**15.13.11 I2Cx\_WFIFO\_RPTR (x=0, 1, 2)**

Offset：0x28

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-4** | **3-0** |
| RESERVED | DATA |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 31-4 RESERVED：**保留，不可更改。

**Bit 3-0 DATA：**发送 FIFO 硬件读取Bit置指针。

**15.13.12 I2Cx\_RFIFO (x=0, 1, 2)**

Offset：0x2C

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | DATA |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7-0 DATA：**读事务接收数据。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 166 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.13 I2Cx\_RFIFO\_WPTR (x=0, 1, 2)**

Offset：0x30

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-4** | **3-0** |
| RESERVED | DATA |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-4 RESERVED：**保留，不可更改。

**Bit 3-0 DATA：**接收 FIFO 硬件写入Bit置指针。

**15.13.14 I2Cx\_RFIFO\_RPTR (x=0, 1, 2)**

Offset：0x34

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-4** | **3-0** |
| RESERVED | DATA |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-4 RESERVED：**保留，不可更改。

**Bit 3-0 DATA：**接收 FIFO 软件读取Bit置指针。

**15.13.15 I2Cx\_WFIFO\_STATUS (x=0, 1, 2)**

Offset：0x40

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-16** | **15-9** | **8-1** | **0** |
| RESERVED | WFIFO\_SIZE | WFIFO\_EMPTY | WFIFO\_FULL |
|  |  |  |  |
| r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |

**Bit 31-6 RESERVED：**保留，不可更改。

**Bit 5-2 WFIFO\_SIZE：**发送 FIFO 空间。

**Bit 1 WFIFO\_EMPTY：**发送 FIFO 空。

**Bit 0 WFIFO\_FULL：**发送 FIFO 满。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 167 / 302

 15. 内部集成电路 (I2C) 接口 ASR6601 Reference Manual



**15.13.16 I2Cx\_RFIFO\_STATUS (x=0, 1, 2)**

Offset：0x44

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-24** | **23-16** | **15-8** | **7-4** |
| RESERVED | RESERVED | RESERVED | RFIFO\_SIZE |
|  |  |  |  |
| r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |
| **3** | **2** | **1** | **0** |
| RFIFO\_EMPTY | RFIFO\_FULL | RFIFO\_HALFFULL | RFIFO\_OVERRUN |
|  |  |  |  |
| r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |

**Bit 31-8 RESERVED：**保留，不可更改。

**Bit 7-4 RFIFO\_SIZE：**接收 FIFO 空间。

**Bit 3 RFIFO\_EMPTY：**接收 FIFO 空。

**Bit 2 RFIFO\_FULL：**接收 FIFO 满。

**Bit 1 RFIFO\_HALFFULL：**接收 FIFO 半满。

**Bit 0 RFIFO\_OVERRUN：**接收 FIFO overrun。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 168 / 302

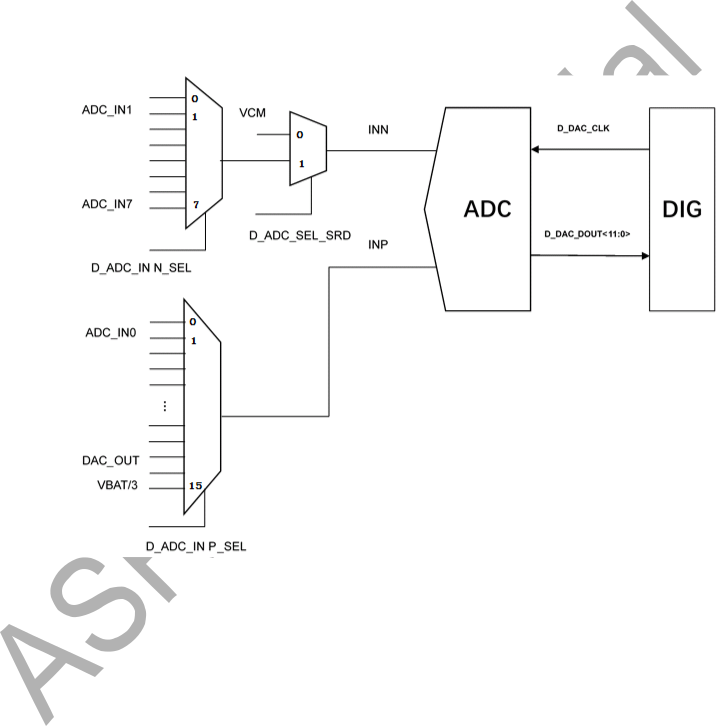
 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.** **模数转换器 (ADC)**

**16.1** **简介**

12 Bit模数转换器（Analog to Digital Converter），支持 8 个外部Channel，7 个内部Channel，内部Channel可采集 VBAT/3，最高支持 1M 采样率。支持单端和差分两种模式，单端量程 0.1V~1.1V，差分量程 -1.0~1.0V。可配置 16 个采样序列，支持连续、单次、非连续采样方式。支持软件触发和硬件触发，触发源可配。支持 DMA 请求和中断请求。



**图 16-1 ADC 框图**

**16.2** **输入模式**

支持配置为单端与差分模式。外部Channel支持单端与差分模式，内部Channel只支持单端模式。差分为固定组合，不支持随意配对，其中 0/1 Channel为一组，2/3 Channel为一组，4/5 Channel为一组，6/7Channel为一组。单端和差分仅在采样阶段Control不同，保持阶段没有区别，最后的数据中差分输入最高Bit为符号Bit（11bit 数据Bit，1 个符号Bit），单端输入为 12bit 数据Bit，没有符号Bit。通过采样Channel差分/单端选择register ADC\_DIFFSEL 配置输入模式。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 169 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.3** **采样Channel**

* **外部Channel：**8 个，单端模式各Channel独立，差分模式则每两个Channel为一组，不可拆分。
* **内部Channel：**7 个，包括 DAC 输出、内部 VRef、VDD/3（电池电量）、Vts（内部温度传感器）、内部测试专用。内部Channel不支持差分模式。

**表 16-1 ADC 采样Channel**

|  |  |  |
| --- | --- | --- |
| 采样Channel号 | 采样内容 | 备注 |
|  |  |  |
| 1 | ADC\_PAD\_IN<0> | gpio11 |
|  |  |  |
| 2 | ADC\_PAD\_IN<1> | gpio08 |
|  |  |  |
| 3 | ADC\_PAD\_IN<2> | gpio05 |
|  |  |  |
| 4 | ADC\_PAD\_IN<3> | gpio04 |
|  |  |  |
| 5 | ADC\_PAD\_IN<4> | gpio50 |
|  |  |  |
| 6 | ADC\_PAD\_IN<5> | gpio49 |
|  |  |  |
| 7 | ADC\_PAD\_IN<6> | gpio48 |
|  |  |  |
| 8 | ADC\_PAD\_IN<7> | gpio47 |
|  |  |  |
| 9 | OPA0\_ADC\_OUT |  |
|  |  |  |
| 10 | OPA1\_ADC\_OUT |  |
|  |  |  |
| 11 | OPA2\_ADC\_OUT |  |
|  |  |  |
| 12 | DCTEST\_OUT |  |
|  |  |  |
| 13 | TD\_OUT\_TEST |  |
|  |  |  |
| 14 | DAC\_CORE\_AOUT |  |
|  |  |  |
| 15 | VBAT31 |  |
|  |  |  |

VBAT31 需要通过模拟部分 RESV1 register的 D\_VBAT\_DIV3\_EN 置Bit使能 VBAT/3 分压。这个Channel名义为 VBAT 的 1/3 分压，精确值为 1/3.06。

**16.4** **触发方式**

* **软件方式：**ADC\_START 上升沿决定转换立即开始。
* **硬件方式：**支持 Timer 与 IO 触发，10 个触发源供选择，可配置触发电平。

通过配置register ADC\_CFGR 的 TRIG\_SEL Bit选择触发方式，通过配置 EXT\_TRIG\_SEL Bit选择触发源。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 170 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.5** **低功耗运行**

ADC\_DR 数据被读走或者 EOC 标志被清除后才能接收新的触发请求，可以防止 overrun，但可能 bypass 触发请求。

**16.6** **溢出Control**

Control overrun 发生时，数据register采样新数据或者保持。

**16.7** **采样模式**

通过 ADC\_CFGR{CONV\_MODE} 配置采样模式：

支持采样序列配置，采样序列最多 16 个Channel，单端和差分Channel都可以配置。差分模式，采样序列仅配置 P 端即可。采样Channel可以重复配置相同Channel以决定每次序列多次采样该Channel。通过Channel采样序列Controlregister ADC\_SEQR0 和 ADC\_SEQR1 配置采样序列，每 4 Bit配置 1 个采样Channel，两个 32 Bitregister共 64 Bit，最多可以配置 16 个采样Channel。

* **连续采样：**一旦触发有效，则开始连续地转化选定的输入序列，每轮循环完成后自动开始新一轮循环，直到软件配置 stop。
* **单次采样：**每次触发执行一次采样序列循环，采样完成自动结束。
* **非连续采样：**序列中的每一次 ADC 转化都需要硬件或软件触发，如果一个序列完后，再次触发又从该序列的开头开始；而连续和单次模式，每次触发都会完成一个完整序列。

**16.8** **参考电压**

模拟部分 RST register的 D\_ADC\_SEL\_VREF Bit配置参考电压，清 0 配置为外部参考电压，置

1. 配置为内部参考电压，默认为 1。

* **内部参考电压：**VRef，1.2V
* **外部参考电压：**VREFP/3，VREFP 不可超过 3.6V，48PIN 内部 VREFP 与 VDDA 有连接

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 171 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.9** **数据 Buffer**

1. 个 12bit 的数据 buffer，差分模式下最高Bit为符号Bit。

|  |  |  |
| --- | --- | --- |
| ADC 编码 | 差分模式意义 | 单端模式意义 |
|  |  |  |
| 1111\_1111\_1111 | +Vref**(1)** | +Vref**(1)** |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| 1000\_0000\_0001 | +Vref/2048**(1)** | +Vref/2+Vref/4096**(1)** |
| 1000\_0000\_0000 | 0 | +Vref/2**(1)** |
| 0111\_1111\_1111 | -Vref/2048**(1)** | +Vref/2-Vref/4096**(1)** |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| … | … | … |
|  |  |  |
| 0000\_0000\_0000 | -Vref**(1)** | 0 |

1. *为校准前从数据 buffer 读到的值。*

差分模式的量程为 -1.0~1.0V，单端模式的量程为 0.1~1.1V。为了纠正 ADC 模拟电路上的误差，在出厂前会对 ASR6601 进行校准，校准数据 Offset 和 Gain 存储在 Flash 中，用户需要将

从 ADC\_DR 读到的数据做一个转换才能得到最终的 AD 值，公式如下：

***V = (Vout – Offset) / Gain***

其中 Vout 为从数据 buffer 中读到的值。

**16.10 DMA 请求**

采用 Request 与 Clear 方式，数据 buf 为 1 个 12bit，因此 Buffer 数据满则产生请求。通过 ADC\_CFGR{DMA\_EN} 配置。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 172 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.11 中断请求**

ADC 中断包括单次转换完成 EOC，序列转换完成 EOS，溢出 OVERRUN。通过中断使能register ADC\_IER 使能中断，通过中断状态register ADC\_ISR 查询中断。

**16.12 低功耗工作与唤醒**

支持 Sleep 模式中断唤醒与事件唤醒。

**16.13 时钟和复Bit**

总线复Bit和工作时钟复Bit独立，支持 APB 总线时钟，可配置内部分频，接口时钟来源，包括sys\_clk、apb\_x\_pclk、pll\_clk 和 rco48m\_clk。

**16.14 ADC 相关registerDescription**

Base address：0x40017000

**表 16-2 ADC register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| ADC\_CR | 0x00 | Controlregister |
|  |  |  |
| ADC\_CFGR | 0x04 | 配置register |
|  |  |  |
| ADC\_SEQR0 | 0x08 | Channel采样序列Controlregister 0 |
|  |  |  |
| ADC\_SEQR1 | 0x0C | Channel采样序列Controlregister 1 |
|  |  |  |
| ADC\_DIFFSEL | 0x10 | 采样Channel差分/单端选择register |
|  |  |  |
| ADC\_ISR | 0x14 | 中断和状态register |
|  |  |  |
| ADC\_IER | 0x18 | 中断使能register |
|  |  |  |
| ADC\_DR | 0x1C | 数据register |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 173 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.14.1** **ADC\_CR**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **31-4** | **3** | **2** | **1** | **0** |
| RESERVED | STOP | START | DIS | EN |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | w-0h | rw-0h |
|  |  |  |  |  |

**Bit 31-4** RESERVED**：**保留，不可更改。

**Bit 3 STOP：**ADC 转换停止Control。

* + 写 0：无效
  + 写 1：Control ADC 转换强制停止，读该Bit为 1 表示 STOP 的关闭动作正在执行

***Note：***

* 1. *软件对该Bit写 1 来强制停止当前转换，当前转换的数据会被丢弃，扫描序列也会回到初始状态；该Bit硬件自动清零。*
  2. *软件查询到 START 关闭后等待 3 拍 ADCCLK 后才能再次配置 START；或等待 1 拍 ADC\_CFGR{CLK\_DIV} 后才能配置 DIS 关闭 ADC 功能。*
  3. *仅在 START=1 且 STOP=0 时对该Bit的写 1 动作才有效。*
  4. *配置 STOP 关闭 ADC 转换前，建议先将触发源关闭，或触发电平处于无效状态。*

**Bit 2 START：**ADC 转换开启Control。

* 写 0：无效
* 写 1：开启 ADC 转换，读该Bit为 1 表示 ADC 正在转换

该Bit软件置 1 开启 ADC 转换功能，并根据 ADC\_CFGR{TRIG\_SEL} 的配置决定 ADC 转换马上开始（软件触发模式），或者等待硬件触发事件才开始；仅在 EN=1 且 DIS=0 时才能够配置 ADC 转换开启。

该Bit由硬件自动清零，分为以下几种情况：

* 1. 单次转换模式下，且选择软件触发模式时（ADC\_CFGR{TRIG\_SEL}=00），当 ADC\_ISR{EOS} 标志置高时清除 START Bit。
  2. 非连续模式下，且选择软件触发模式时，当 ADC\_ISR{EOC} 标志置高时清除 START。
  3. 在任何情况下，执行 STOP 命令清除 START（START 和 STOP 同时清除）。

**Bit 1 DIS：**ADC 功能除能Control。

* 写 0：无效
* 写 1：Control ADC 除能

该Bit仅在 EN=1 且 START=0（没有转换正在执行）时配置写 1 才有效。

**Bit 0 EN：**ADC 功能使能Control。

* + 写 0：无效
  + 写 1：Control ADC 使能，读该Bit为 1 表示 ADC 使能

软件配置该使能后，表示 ADC 可以开始触发转换；该Bit仅在 ADC\_CR register全为 0 时才能写 1；读该Bit可以反映 ADC 功能使能状态。软件应当在初始化 ADC 模拟电路后延时至少 100us 以等待电路稳定，然后再使能 ADC 功能。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 174 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.14.2** **ADC\_CFGR**

Offset：0x04

Reset value：0x00000002

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-24** | **23** | | | | | |  | | **22** | **21-20** | | **19** | |  | |  | |  | | **18-17** |
| RESERVED | RESERVED | | | | | | | | WAIT\_MODE | CONV\_MODE | | OVERRUN\_MODE | | | | | |  | | TRIG\_SEL |
|  |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |
| r-0h | r-0h | | | | | |  | | r-0h | r-0h | | r-0h | | | | | |  | | rw-0h |
|  |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |
| **16** | |  | |  | |  | | **15-13** | | | **12** | | **11-8** | |  | |  | | **7-0** | |
| EXT\_TRIG\_SEL[3] | | | | | |  | | EXT\_TRIG\_SEL[2:0] | | | DMA\_EN | | CLK\_DIV[11:8] | | | |  | | CLK\_DIV[7:0] | |
|  |  | |  | |  | |  | |  |  | |  | | | |  | |  | |  |
| rw-0h |  | |  | |  | |  | | rw-0h | rw-0h | | rw-0h | | | |  | |  | | rw-2h |
|  |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |

**Bit 31-23 RESERVED：**保留，不可更改。

**Bit 22 WAIT\_MODE：**等待转换模式Control。

* + 0：等待转换不使能
  + 1：等待转换使能

等待转换模式，即 ADC\_DR 数据被读走或者 ADC\_ISR{EOC} 标志被清除后才能接收新的触发请求，可以

防止 overrun，但可能 bypass 触发请求。

仅在 ADC\_CR{START} 为 0 时该Bit才能够配置。

**Bit 21-20 CONV\_MODE：**ADC 转换模式选择。

* + 00：单次转换模式
  + 01：连续转换模式
  + 1x：非连续转换模式

仅在 ADC\_CR{START} 为 0 时该Bit才能够配置。

***说明：***

* 1. *单次转换模式，每次触发完成 ADC\_SEQR0/1 整个采样序列后即停止，等待下一次触发。*
  2. *连续转换模式，触发开始转换后，一直按照 ADC\_SEQR0/1 的采样序列循环采样，直到配置*

*ADC\_CR{STOP}。*

* 1. *非连续转换模式，每次触发完成一次 ADC 采样（按照 ADC\_SEQR0/1 的采样序列）即停止，等待下一次触发。*

**Bit 19 OVERRUN\_MODE：**Control overrun 时的数据操作。

* + 0：当 overrun 发生时，原 ADC\_DR 中的数据被保留
  + 1：当 overrun 发生时，ADC\_DR 被新的转换数据覆盖仅在 ADC\_CR{START} 为 0 时该Bit才能够配置。

**Bit 18-17 TRIG\_SEL：**触发源模式和触发极性选择。

* + 00：软件触发，ADC\_CR{START}上升沿决定转换立即开始
  + 01：硬件触发，上升沿触发
  + 10：硬件触发，下降沿触发
  + 11：硬件触发，上升沿和下降沿均可触发

仅在 ADC\_CR{START}为 0 时该Bit才能够配置。

使用硬件触发时，配置 ADC\_CR{START} 后，需要等待 3 拍 ADCCLK 后才可以接收触发信号。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 175 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**Bit 16-13 EXT\_TRIG\_SEL：**ADC 转换开始外部触发源选择。

* + 0000~0100：Reserved
  + 0101：GPIO47
  + 0110：GPIO31
  + 0111：GPIO19
  + 1000：GPIO10
  + 1001：GPTIM1\_TRGO
  + 1010：GPTIM0\_CH2\_OUT
  + 1011：GPTIM3\_TRGO
  + 1100：GPTIM0\_CH3\_OUT
  + 1101：GPTIM0\_TRGO
  + 1110：GPTIM2\_CH1\_OUT
  + 1111：Reserved

***Note：***

* 1. *仅在 ADC\_CR{START} 为 0 时该Bit才能够配置。*
  2. *若使用 GPTIMx 的 TRGO 信号作为触发，则 GPTIMx\_CR2{MMS} 仅可以配置为 0x100(OC0REF), 0x101(OC1REF), 0x110(OC2REF), 0x111(OC3REF)。对于 GPTIM2 和 GPTIM3，仅可以配置为 0x100(OC0REF), 0x101(OC1REF)。*
  3. *若要实现定时触发或周期触发，需配置所选Channel为输出模式，选择相应的输出模式，并根据所需时间配置相应的 GPTIMx\_ARR 和 GPTIMx\_CCRx。*

**Bit 12 DMA\_EN：**DMA 功能使能。

* + 0：DMA 不使能
  + 1：DMA 使能

**Bit 11-0 CLK\_DIV：**ADCCLK 的时钟预分频选择。

* + 000：不分频
  + 001：不分频
  + n：ADC\_IP\_CLK=ADCCLK/n，占空比 50%。

***Note：***

1. *仅在 ADC\_CR 均为 0 时，该Bit配置才有效；ADCCLK 的时钟源选择在 RCC\_CR2 中配置。*
2. *时钟分频和时钟源选择需要考虑数据的读出速度，ADC 每 16 拍完成一次采样，若该 ADC 时钟配置过快，软件或 DMA 不能及时读走，则可能造成溢出。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 176 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.14.3** **ADC\_SEQR0**

Offset：0x08

Reset value：0x00000000

***Note：****仅在 ADC\_CR{START} 和 ADC\_CR{EN} 为 0 时，才能够配置该register。*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-28** | **27-24** | **23-20** | **19-16** | **15-12** | **11-8** | **7-4** | **3-0** |
| SEL7 | SEL6 | SEL5 | SEL4 | SEL3 | SEL2 | SEL1 | SEL0 |
|  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-28 SEL7：**ADC 采样序列第 7 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 27-24 SEL6：**ADC 采样序列第 6 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 23-20 SEL5：**ADC 采样序列第 5 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 19-16 SEL4：**ADC 采样序列第 4 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 15-12 SEL3：**ADC 采样序列第 3 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 11-8 SEL2：**ADC 采样序列第 2 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 7-4 SEL1：**ADC 采样序列第 1 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 3-0 SEL0：**ADC 采样序列第 0 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 177 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.14.4** **ADC\_SEQR1**

Offset：0x0C

Reset value：0x00000000

***Note：****仅在 ADC\_CR{START} 和 ADC\_CR{EN} 为 0 时，才能够配置该register。*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-28** | **27-24** | **23-20** | **19-16** | **15-12** | **11-8** | **7-4** | **3-0** |
| SEL15 | SEL14 | SEL13 | SEL12 | SEL11 | SEL10 | SEL9 | SEL8 |
|  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-28 SEL15：**ADC 采样序列第 15 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 27-24 SEL14：**ADC 采样序列第 14 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 23-20 SEL13：**ADC 采样序列第 13 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 19-16 SEL12：**ADC 采样序列第 12 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 15-12 SEL11：**ADC 采样序列第 11 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 11-8 SEL10：**ADC 采样序列第 10 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 7-4 SEL9：**ADC 采样序列第 9 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

**Bit 3-0 SEL8：**ADC 采样序列第 8 个Channel配置。

配置值为采样Channel号 1~15，若发现配置为 0，则当前序列结束；若出现 SELx 的Channel号相同，则执行多次重复采样。

差分输入只配置正端的Channel号即可，负端Channel号硬件根据 ADC\_DIFFSEL 自动选择。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 178 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**16.14.5** **ADC\_DIFFSEL**

Offset：0x10

Reset value：0x00000000

***Note：****仅在 ADC\_CR{START}和 ADC\_CR{EN}为 0 时，该register才能够配置。*

|  |  |  |  |
| --- | --- | --- | --- |
| **31-16** | **15-9** | **8-1** | **0** |
| RESERVED | SEL1 | SEL0 | RESERVED |
|  |  |  |  |
| r-0h | r-0h | rw-0h | r-0h |
|  |  |  |  |

**Bit 31-16 RESERVED：**保留，不可更改。

**Bit 15-9 SEL1：**ADC Channel 9~15 为内部Channel。

只支持单端模式，不支持差分模式，这些Bit只读。

**Bit 8-1 SEL0：**ADC Channel 1~8 差分/单端模式选择。

每一BitControl一个Channel：

* 0：Channel x 为单端模式
* 1：Channel x 为差分模式

差分Channel仅支持两个外部相邻Channel之间，如Channel 2 和Channel 3，则该register相应的两个ControlBit要配置为 1。

**Bit 0 RESERVED：**保留，不可更改。

**16.14.6** **ADC\_ISR**

Offset：0x14

Reset value：0x00000000

***Note：****软件使能 ADC\_CR{START} 前建议先清除该register。*

|  |  |  |  |
| --- | --- | --- | --- |
| **31-3** | **2** | **1** | **0** |
| RESERVED | OVERRUN | EOS | EOC |
|  |  |  |  |
| r-0h | rw1c-0h | rw1c-0h | rw1c-0h |
|  |  |  |  |

**Bit 31-3 RESERVED：**保留，不可更改。

**Bit 2 OVERRUN：**ADC 转换 overrun 标志。

* + - 0：没有 overrun 发生
    - 1：发生 overrun

当 EOC 标志为高时（ADC\_DR 数据未取走或未配置软件写 1 清零），新的转换完成，该Bit由硬件置 1。软件写 1 清零。

**Bit 1 EOS：**ADC Channel序列采样完成标志。

* + - 0：Channel序列转换未完成
    - 1：Channel序列转换完成

当 ADC\_SEQR0/1 中的整个Channel序列完成一轮转换后，该Bit由硬件置 1。

软件写 1 清零。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 179 / 302

 16. 模数转换器 (ADC) ASR6601 Reference Manual



**Bit 0 EOC：**ADC 转换完成标志。

* + 0：Channel转换未完成
  + 1：Channel转换完成

某个Channel ADC 转换结束，新的转换数据写入到 ADC\_DR 中后该标志由硬件置高。

软件写 1 清零或者读 ADC\_DR 后清零。

**16.14.7** **ADC\_IER**

Offset：0x18

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-3** | **2** | **1** | **0** |
| RESERVED | OVERRUN\_INT\_EN | EOS\_INT\_EN | EOC\_INT\_EN |
|  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h |

**Bit 31-3 RESERVED：**保留，不可更改。

**Bit 2 OVERRUN\_INT\_EN：**ADC 转换 overrun 中断使能。

* + 0：不使能 overrun 中断
  + 1：使能 overrun 中断

**Bit 1 EOS\_INT\_EN：**ADC Channel序列采样完成中断使能。

* + 0：不使能Channel序列采样完成中断
  + 1：使能Channel序列采样完成中断

**Bit 0 EOC\_INT\_EN：**ADC 转换完成中断使能。

* + 0：不使能转换完成中断
  + 1：使能转换完成中断

**16.14.8** **ADC\_DR**

Offset：0x1C

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-12** | **11-0** |
| RESERVED | DATA |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-12 RESERVED：**保留，不可更改。

**Bit 11-0 DATA：**ADC 转换数据。差分模式下，第 11 Bit为符号Bit。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 180 / 302

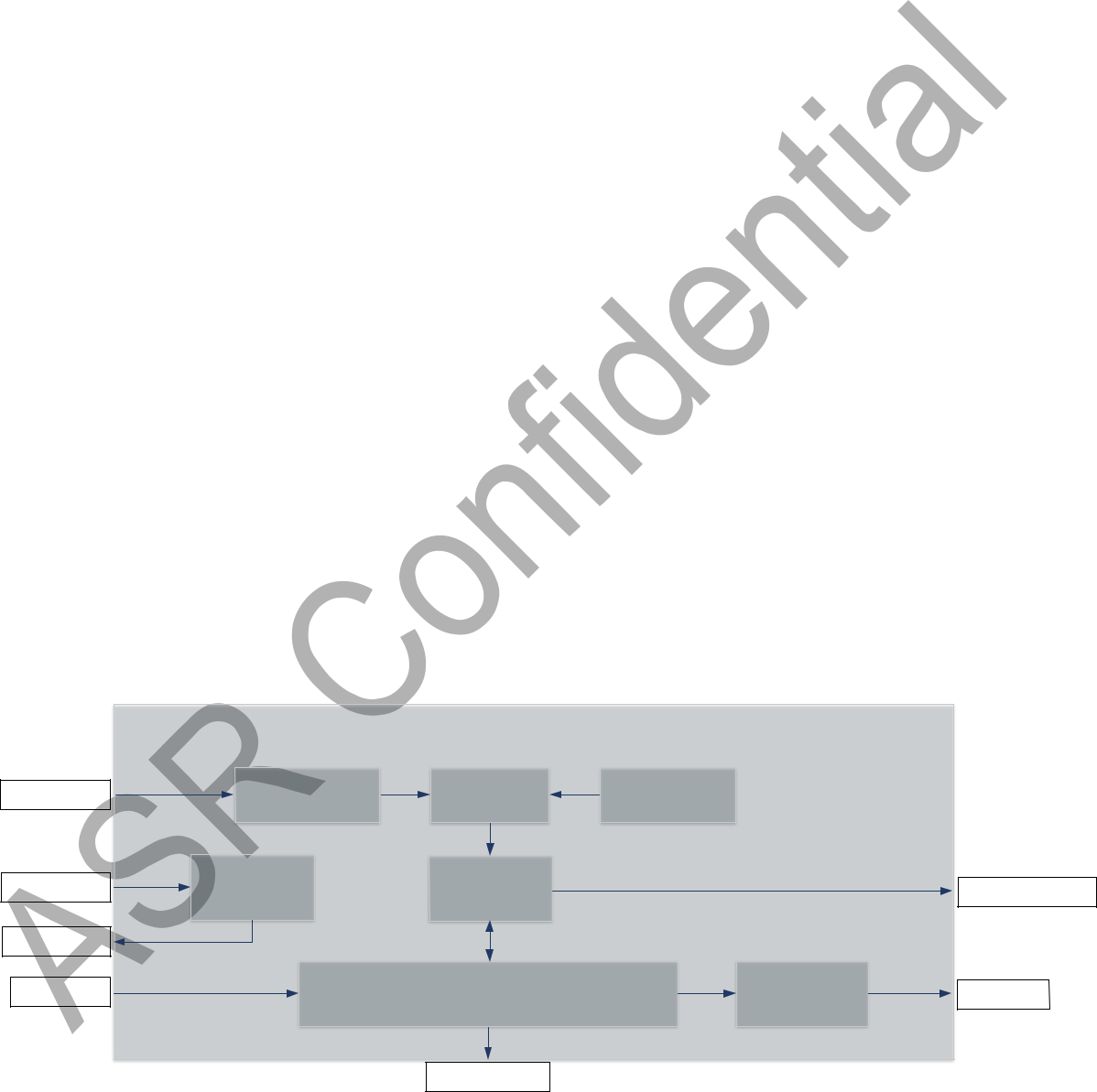
 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.** **基本定时器 (BSTIM)**

**17.1** **简介**

BSTIMER（Basic Timer）包含 16bits 计数器，支持自动重装载功能，且支持最多 16bits 可编程的分频计数器。有两个 BSTIMER，分别为 BSTIMER0 和 BSTIMER1。



**17.2** **主要特性**

BSTIMER 包括如下功能：

* 16bits 计数器，加法计数，支持自动重加载
* 分频计数器
* DMA Control
* 支持单脉冲
* 支持主模式功能
* 更新事件管理
* Debug 模式Control
* 中断信号产生

BSTIMER 的框图如下：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **rcc\_tim\_clk** | **u\_psc\_counter** | **u\_counter** | **ARR\_shadow** |  |  |
| **dma\_ack** | **DMA** | **Master** | **reset, enable, update** | **trigger\_output** |  |
| **Control** | **Control** |  |  |
|  |  |  |
|  |  |  |  |
| **dma\_req** |  |  |  |  |  |
| **apb\_write** |  | **u\_reg\_model** | **Interrupt** | **interrupt** |  |
|  | **Control** |  |
|  |  |  |  |  |
|  |  | **apb\_read** |  |  |  |
|  |  | **图 17-1 BSTIMER 框图** | |  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **rcc\_tim\_clk：**BSTIMER 的接口时钟 |  | | **apb\_read：**APB 总线的读 |
|  | **dma\_ack：**DMA 回复的 ACK | |  **trigger\_output：**BSTIMER 的 TRGO 输出 | |
|  **dma\_req：**BSTIMER 对 DMA 的请求 | |  | | **interrupt：**BSTIMER 的中断 |

* **apb\_write：**APB 总线的写

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 181 / 302

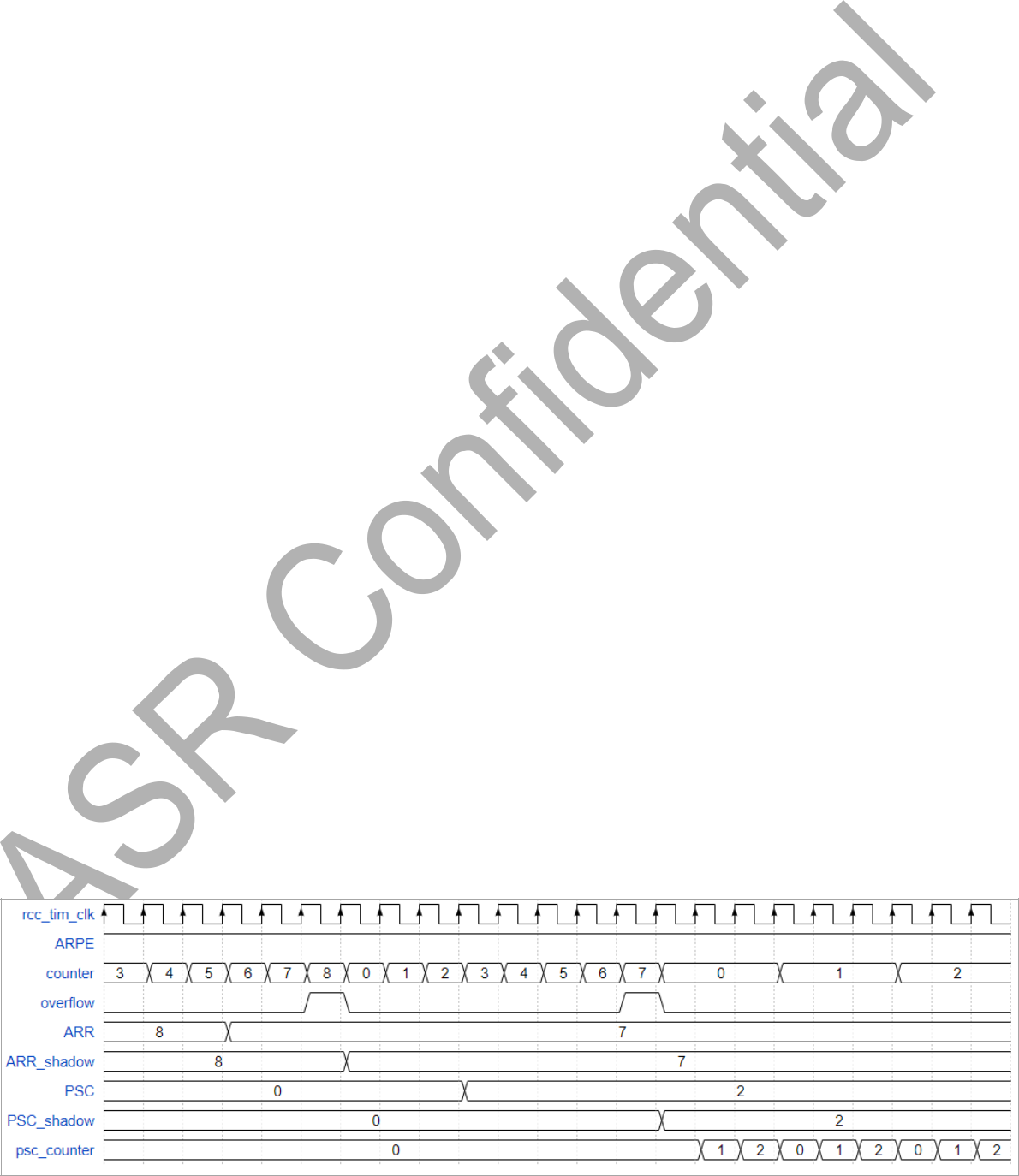
 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.3** **接口时钟**

BSTIMER 接口时钟源为 PCLK，不能设置为其它时钟源。时钟使能和复Bit配置可以参考 RCC 章节。

**17.4** **计数器**



计数器仅支持向上计数，计数到 ARR，这样计数器的值会从 ARR 变为 0，然后继续计数，同时状态标记Bit UIF 置Bit，如果更新事件中断请求使能即 UIE 置Bit，则也会产生中断，此时表示一个计数周期完成。下个计数周期计数器继续从 0 开始计数，如此循环往复。

**17.5** **自动重加载**

可软件配置register BSTIM\_CR1 的 ARPE Bit来设置是否启用 ARR 影子register，如果 ARPE=0，则禁用影子register，软件写入的值直接同步更新到 ARR 供计数器使用，如果 ARPE=1，则软件写入的值不会立即生效，直到更新事件到来，才会将该值更新到 ARR 供计数器使用。

**17.6** **分频计数器**

BSTIMER 支持 16-bit（1~65535）可编程分频，此功能通过分频计数器 BSTIM\_PSC 实现。接

口时钟作为分频计数器的时钟，register BSTIM\_CR1 的 CEN 作为分频计数器的计数使能，当分频计数器计数到预先加载的分频值后，输出一个脉冲，作为下一级计数器的计数使能，然后分频计数器归零重新计数，依次类推。

分频计数器的分频值默认启用影子register，即软件的写操作不会立即生效，而是直到更新事件（UG 事件置Bit、计数溢出）到来，才会将新的分频值写入影子register，此时该分频值才正式生效。软件读操作读取的是写入的register值，而不是影子register，如果在更新事件到来前有多次写操作，则会覆盖之前写入的值。计数和分频波形如下：

**图 17-2 计数和分频波形**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 182 / 302

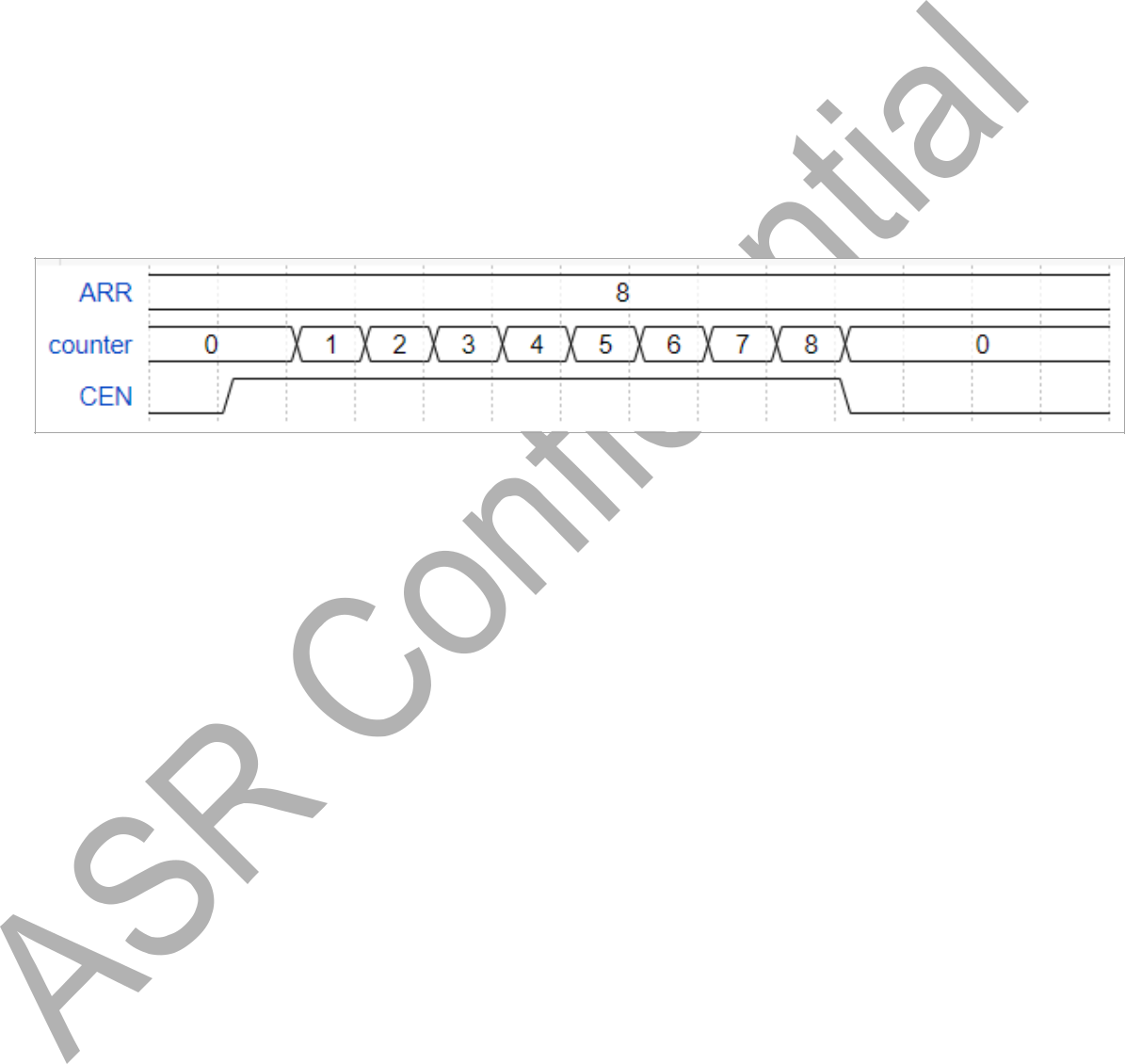
 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.7** **DMA Control**

BSTIMER 支持 DMA 功能，使能 DMA 功能后，其所有register除 BSTIM\_SR、BSTIM\_EGR 外

与 memory 之间可以相互传递数据，BSTIM\_SR 只能被读取数据，BSTIM\_EGR 只能被写入数据。通过register BSTIM\_DIER 的 UDE Bit使能 DMA，当有更新事件时则会产生 DMA 请求， DMA 返回的 ACK 信号会清除模块的 DMA 请求信号。



**17.8** **支持单脉冲**

BSTIMER 支持单脉冲计数模式，通过置Bitregister BSTIM\_CR1 的 OPM Bit使能该模式，在该模式下，当计数器计数到 ARR 值后会归零并停止计数（CEN 硬件自动清零），除非再次初始化才会重新计数，如下图所示：

**图 17-3 单脉冲波形**

**17.9** **支持主模式选择**

BSTIMER 可以与其他内部模块级联，并作为主机使用，通过产生触发输出信号（TRGO）来Control DAC。可通过软件配置 BSTIM\_CR2 register的 MMS Bit来选择 TRGO 信号的来源，具体如下：

* MMS=3’b000：复Bit模式，此时 UG 标志Bit将作为 TRGO 信号输出给外部从机。
* MMS=3’b001：使能模式，此时计数器的计数使能 CEN 将作为 TRGO 信号输出给外部从机。
* MMS=3’b010：更新模式，此时将更新事件作为 TRGO 信号输出给外部从机。
* MMS 的其它值为保留值。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 183 / 302

 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.10 更新事件管理**

更新事件主要有以下事件源：

1. 计数器的溢出事件（overflow），即计数器的值从 ARR 变为 0。
2. UG 置Bit（软件置Bit），即配置register BSTIM\_EGR 的 UG Bit。

与更新事件管理相关的Control信号主要是register BSTIM\_CR1 的 URS 和 UDIS，具体Control如下：

* 若 UDIS=0，URS=0，则 overflow、UG 置Bit会初始化计数器和分频计数器，如果启用影子register，更新事件则会把写入的值更新到影子register中（ARR 取决于 ARPE）， UIF 会置Bit，如果使能了中断或 DMA，则会产生中断或 DMA 请求。
* 若 UDIS=0，URS=1，则 overflow、UG 置Bit会初始化计数器和分频计数器，如果启用影子register，更新事件将会把写入的值更新到影子register中（ARR 取决于 ARPE）， UIF 只会在 overflow 情况下置Bit，如果使能了中断或 DMA，则会产生中断或 DMA 请求。
* 若 UDIS=1（忽略 URS），则只有 UG 置Bit仍会初始化计数器和分频计数器，但是影子register不会被更新，且 UIF 不会置Bit，因此也不会产生相应中断或 DMA 请求。

**17.11 Debug 模式Control**

BSTIMER 可由软件配置 debug 下是否停止计数，通过 SYSCFG 的 CR2 register来实现 BSTIMER0 和 BSTIMER1 的 DEBUG 模式计数Control，如果使能该功能，则进入系统 debug 模式时，BSTIMER 停止计数（计数器不会被初始化）。

**17.12 中断信号**

BSTIMER 的中断信号如下：

**表 17-1 BSTIMER 中断信号**

|  |  |
| --- | --- |
| 中断名称 | Description |
|  |  |
| 更新事件中断 | 计数器溢出、UG 置Bit均可以产生更新事件中断 |
|  |  |

上述中断的使能通过配置register BSTIM\_DIER 的 UIE Bit实现，中断状态可以通过register BSTIM\_SR 获得。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 184 / 302

 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.13 BSTIMER 相关registerDescription**

BSTIMER0 Base address：0x4000C000

BSTIMER1 Base address：0x4001C000

**表 17-2 BSTIMER register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| BSTIM\_CR1 | 0x00 | Controlregister 1 |
|  |  |  |
| BSTIM\_CR2 | 0x04 | Controlregister 2 |
|  |  |  |
| BSTIM\_DIER | 0x0c | DMA/中断使能register |
|  |  |  |
| BSTIM\_SR | 0x10 | 状态register |
|  |  |  |
| BSTIM\_EGR | 0x14 | 事件register |
|  |  |  |
| BSTIM\_CNT | 0x24 | 计数器register |
|  |  |  |
| BSTIM\_PSC | 0x28 | 计数器分频值 |
|  |  |  |
| BSTIM\_ARR | 0x2c | 计数器重装载值 |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 185 / 302

 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.13.1** **BSTIM\_CR1**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **31-8** | **7** | **6-4** | **3** | **2** | **1** | **0** |
| RESERVED | ARPE | RESERVED | OPM | URS | UDIS | CEN |
|  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |

**Bit 31-8 RESERVED：**reserved.

**Bit 7 ARPE：**重装载影子register使能。

* + 0：BSTIM\_ARR 影子register除能
  + 1：BSTIM\_ARR 影子register使能

**Bit 6-4 RESERVED：**reserved.

**Bit 3 OPM：**单脉冲模式使能。

* + 0：单脉冲模式除能
  + 1：单脉冲模式使能，计数器在下一次更新事件停止计数

**Bit 2 URS：**更新事件源选择，该Bit仅影响中断（UIF）和 DMA 标志Bit，不影响内部逻辑。

* + 0：计数器溢出、UG Bit置Bit，均可以置Bit UIF
  + 1：只有计数器溢出事件可以置Bit UIF

**Bit 1 UDIS：**更新事件除能。

* + 0：更新事件使能，可以产生更新事件。
  + 1：更新事件除能，影子register和 UIF 均不会被更新，但是此时计数器和分频计数器仍可以被 UG 置Bit事件初始化。

**Bit 0 CEN：**计数器使能，单脉冲模式下 CEN 由硬件清零。

* + 0：计数器除能
  + 1：计数器使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 186 / 302

 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.13.2** **BSTIM\_CR2**

Offset：0x00

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-7** | **6-4** | **3-0** |
| RESERVED | MMS | RESERVED |
|  |  |  |
| rw-0h | rw-0h | rw-0h |
|  |  |  |

**Bit 31-7 RESERVED：**reserved.

**Bit 6-4 MMS：**主模式选择，可以配置 TRGO 输出。

* + 000：复Bit模式，UG 将作为 TRGO 信号输出
  + 001：使能模式，CEN 将作为 TRGO 信号输出
  + 010：更新模式，更新事件（内部信号）将作为 TRGO 信号输出
  + 其它值：保留

**Bit 3-0 RESERVED：**reserved.

**17.13.3 BSTIM\_DIER**

Offset：0x0c

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-9** | **8** | **7-1** | **0** |
| RESERVED | UDE | RESERVED | UIE |
|  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h |

**Bit 31-9 RESERVED：**reserved.

**Bit 8 UDE：**更新事件 DMA 请求使能。

* + 0：禁用更新事件 DMA 请求
  + 1：使能更新事件 DMA 请求

**Bit 7-1 RESERVED：**reserved.

**Bit 0 UIE：**更新事件中断请求使能。

* + 0：禁用更新事件中断请求
  + 1：使能更新事件中断请求

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 187 / 302

 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.13.4 BSTIM\_SR**

Offset：0x10

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
|  | **31-1** | **0** |
|  | RESERVED | UIF |
|  |  |  |
|  | r-0h | r-0h |
|  | |  |
| **Bit 31-1 RESERVED：**reserved. | |  |
| **Bit 0 UIF：**更新事件标志。 | |  |
|  | 0：无事件 |  |
|  | 1：更新事件发生 |  |

**17.13.5** **BSTIM\_EGR**

Offset：0x14

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
|  | **31-1** | **0** |
|  | RESERVED | UG |
|  |  |  |
|  | w-0h | w-0h |
|  | |  |
| **Bit 31-1 RESERVED：**reserved. | |  |
| **Bit 0 UG：**更新事件产生。 | |  |
|  | 0：无动作 |  |
|  | 1：产生一次更新事件 |  |

**17.13.6 BSTIM\_CNT**

Offset：0x24

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | CNT |
|  |  |
| rw-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**reserved.

**Bit 15-0 CNT：**计数器计数值。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 188 / 302

 17. 基本定时器 (BSTIM) ASR6601 Reference Manual



**17.13.7 BSTIM\_PSC**

Offset：0x28

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | PSC |
|  |  |
| rw-0h | rw-0h |
|  |  |
| **Bit 31-16 RESERVED：**reserved. |  |
| **Bit 15-0 PSC：**时钟分频值为 PSC+1。 |  |

**17.13.8 BSTIM\_ARR**

Offset：0x2c

Reset value：0x0000ffff

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | ARR |
|  |  |
| rw-0h | rw-ffffh |
|  |  |

**Bit 31-16 RESERVED：**reserved.

**Bit 15-0 ARR：**计数器重装载值。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 189 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.** **实时时钟 (RTC)**

**18.1** **简介**

RTC（Real Time Clock）是一个独立的 BCD 计时器/计数器，有两个 32 Bitregister包含秒、分、小时（12 或 24 小时格式）、星期、日期（月的日期）、月和年，用二进制编码的十进制格式表示（BCD），还有一个 32 Bitregister表示亚秒值。RTC 支持在低功耗模式运行。

**18.2** **主要特性**

RTC 包括如下功能：

* 日历计数功能，采用 BCD 格式，支持秒、分、小时、日、星期、月、年、
* 支持 ppm 调整，调整步长 0.5ppm，支持+/-1024 ppm 调整
* 支持低功耗唤醒
* tamper/wakeup IO 检测功能，支持有效电平选择，滤波拍数可配置
* 周期计数功能，32 Bit计数器
* 闹钟功能，支持两个闹钟，支持 Mask 选择与日历匹配
* tamper/wakeup alarm清除 retention sram 功能
* 内部信号 IO 输出，包括 alarm0 匹配脉冲，alarm1 匹配脉冲，周期计数匹配脉冲，秒信号输出
* 支持日历计数值读取
* 支持 sub-second 计数值读取
* 支持周期计数的计数值读取
* 支持中断信号产生

**18.3** **接口时钟**

RTC 接口时钟源有 XO32K 和 RCO32K，XO32K 的时钟精度一般比 RCO32K 要高。

时钟配置和选择可以参考 [*RCC*](#page59) 章节。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 190 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.4** **日历**

RTC 日历时间和日期可以通过两种类型的registeraccess获取，一种是异步的，一种是同步的，两种register分别如下：

* **异步register** RTC\_SYNDATA 和 RTC\_SYNDATA\_H，RTC\_SYNDATA 表示时分秒， RTC\_SYNDATA\_H 表示年月日星期。
* **同步register** RTC\_CALENDAR\_R 和 RTC\_CALENDAR\_R\_H，RTC\_CALENDAR\_R 表示时分秒，RTC\_CALENDAR\_R\_H 表示年月日星期。

**18.4.1** **读取日历**

只介绍通过同步register读取日历，由于采用打拍同步，需要多次读到同一值，才可以使用，不能仅读取一次。读取顺序如下：

1. 先读取 RTC\_SUB\_SECOND register的值，获取 SUBSECOND\_COUNT 拍数。
2. 连续两次读取 RTC\_CALENDAR\_R 的值，如果两次的值不等，则继续读取，直到连续两次的值相等。
3. 连续两次读取 RTC\_CALENDAR\_R\_H 的值，如果两次的值不等，则继续读取，直到连续两次的值相等。
4. 最后再读一次 RTC\_SUB\_SECOND register的值，如果与步骤(1) 的值不一致，则重新从步骤(1) 开始读取register的值。
5. 由于 SUBSECOND\_COUNT 从最大值变为 0 时，register RTC\_CALENDAR\_R 或 RTC\_CALENDAR\_R\_H 的值可能没有产生变化，因此如果 SUBSECOND\_COUNT 为 0

时，则继续重新从步骤(1) 开始读取register的值，如果 SUBSECOND\_COUNT 不为 0，则完整的日历时间读取完成。

SUBSECOND\_COUNT 拍数转换为微秒 sub-second，先要通过 RCC 获知 RTC 的接口时钟fRTCCLK，则计算 sub-second 的公式如下：

***sub-second=(1000000\*SUBSECOND\_COUNT)/fRTCCLK***

**18.4.2** **设置日历**

设置日历需要配置两个 RTC register：RTC\_CALENDAR\_H 和 RTC\_CALENDAR。RTC\_ CALENDAR\_H 为年月日星期信息，RTC\_CALENDAR 为时分秒信息，RTC\_SUB\_SECOND

register不能配置，所以 sub-second 不能配置。日历配置顺序如下：

1. 读 RTC\_SR1 register，等待register中全部的 WRITE\_XXX\_DONE Bit为 1 后，即

RTC\_SR1 register的 bit1 至 bit11 全为 1，才允许对register进行写操作。

1. 配置 RTC\_CALENDAR\_H register，即配置年月日星期。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 191 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



1. 读 RTC\_SR1 register，等待register中全部的 WRITE\_XXX\_DONE Bit为 1 后，即

RTC\_SR1 register的 bit1 至 bit11 全为 1，才允许对register进行写操作。

1. 配置 RTC\_CALENDAR register，即配置时分秒。

**18.5** **RTC PPM 调整**

RTC 频率的校准分辨率约为 0.5ppm 范围从 -1024ppm 到 +1024ppm，为 0 时表示不调整，通过配置register RTC\_PPMADJUST 的值来设置 PPM 的调整值，0 ppm 对应 RTC\_PPMADJUST register的值应该为 0x7FFF。设置 PPM 调整的流程如下：

1. 读 RTC\_SR1 register，等待register中全部的 WRITE\_XXX\_DONE Bit为 1 后，即

RTC\_SR1 register的 bit1 至 bit11 全为 1，才允许对register进行写操作。

1. 配置 RTC\_PPMADJUST register的值。

**18.6** **低功耗唤醒**

RTC 可以通过中断或唤醒信号将 MCU 从 Sleep、Stop、Standby 中唤醒。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  | **表 18-1 RTC Wake-up source** |  |
|  |  |  |  |  |  |
|  | 休眠模式 |  |  | 唤醒Description |  |
|  |  |  |  |  |  |
|  | Sleep |  |  | RTC 所有中断可以使设备从 sleep 模式中唤醒 |  |
|  |  |  |  |  |  |
|  |  | |  |  |  |
|  | Stop0 、 Stop1 、 Stop2 、 |  |  | Wakeup/tamper IO、alarm、cyc 的唤醒信号可以使设备从 stop 模式中 |  |
|  | Stop3 |  |  | 唤醒 |  |
|  |  |  |  |  |  |
|  | Standby |  |  | Wakeup/tamper IO、alarm、cyc 的唤醒信号可以使设备从 standby 模式 |  |
|  |  |  |  |
|  |  |  | 中唤醒 |  |
|  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

设置 wakeup/tamper IO、alarm、cyc 的唤醒信号是通过register RTC\_CR，对应register中的 bit 名称分别如下表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | **表 18-2** | **配置唤醒信号使能的 bit 信息** |  |
|  |  |  |  |  |
|  |  | 功能 | RTC\_CR register bit 信息 |  |
|  |  |  |  |  |
|  |  | WAKEUP\_IO0 | WAKEUP0\_WKEN1 |  |
|  |  |  |  |  |
|  |  | WAKEUP\_IO1 | WAKEUP1\_WKEN1 |  |
|  |  |  |  |  |
|  |  | WAKEUP\_IO2 | WAKEUP2\_WKEN1 |  |
|  |  |  |  |  |
|  |  | TAMPER | TAMPER\_WKEN1 |  |
|  |  |  |  |  |
|  |  | ALARM0 | RTC\_ALARM0\_WKEN |  |
|  |  |  |  |  |
|  |  | ALARM1 | RTC\_ALARM1\_WKEN |  |
|  |  |  |  |  |
|  |  | CYC | CYC\_WKEN |  |
|  |  |  |  |  |
| Document version 1.5.0 | | 版权所有 © | 翱捷科技股份有限公司 | 192 / 302 |

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.7** **tamper/wakeup IO 检测**

tamper/wakeup IO 的输入事件可以配置为边沿检测，也可以配置为电平检测，电平检测时可以配置滤波。边沿检测表示检测 GPIO 的上升沿或下降沿，电平检测表示检测 GPIO 的高电平或低电平，如果高电平有效，GPIO 输入高电平则会检测到输入事件，如果低电平有效，GPIO 输入低电平则会检测到输入事件。当检测到输入事件可以配置产生如下操作：

* 清除保留 SRAM 的内容
* 产生一个中断，并且能够从 sleep 模式中唤醒
* 产生唤醒信号，能够从 stop、standby 模式中唤醒

**18.7.1** **初始化和配置流程**

在 tamper/wakeup 初始化之前需要配置对应的 GPIO 为 tamper/wakeup 功能。如果是电平检测，需要配置 GPIO 的上下拉，高电平有效则配置下拉，低电平有效则配置上拉。以 tamper 为例，其初始化和配置流程如下：

* 1. 如果是电平检测，则通过 RTC\_CR register的 TAMPER\_FILTER\_CFG Bit配置滤波拍数，并且配置有效电平即低电平有效还是高电平有效，此 bit Bit为 RTC\_CR register的

TAMPER\_LEVEL\_SEL，最后使能电平唤醒，即配置 RTC\_CR register的 TAMPER\_ WKEN0。***如果是边沿检测，则忽略此步骤。***

* 1. 如果需要从 stop、standby 模式中唤醒，则配置唤醒使能，即配置 RTC\_CR register的

TAMPER\_WKEN1，***否则忽略此步骤***。

* 1. 置Bit RTC\_CR register的 TAMPER\_EN 来使能 tamper 功能。

**18.7.2** **清除保留 SRAM**

当检测到 tamper/wakeup IO 的输入事件时可以配置清除保留 SRAM 的内容，置Bit RTC\_CR2 register的 RTC\_RET\_SRAM\_ERASE\_EN 的对应的 bit Bit可以配置该功能。bit0 对应 wakeupio0， bit1 对应 wakeupio1，bit2 对应 wakeupio2，bit3 对应 tamper。

**18.8** **周期计数功能**

周期计数功能可以定时产生中断或唤醒事件。定时时间通过配置register RTC\_CYC\_MAX\_ VALUE 的值进行设置，计算定时时间 time 先要通过 RCC 获知 RTC 的接口时钟 fRTCCLK，寄

存器 RTC\_CYC\_MAX\_VALUE 的值为 CYC\_MAX\_VALUE，则计算 time 的公式如下，单Bit为微秒：

***Regular interval= (1000000 \* CYC\_MAX\_VALUE) / fRTCCLK***

周期计数过程中可以读取已经经过的拍数，就可以得到本轮计数开始到当前时刻的时间间隔

interval，已经经过的拍数通过读取 RTC\_CYC\_CNT\_VALUE 的值 CYC\_CNT\_VALUE 获得，

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 193 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



计算 interval 的公式如下，单Bit为微秒：

***Interval= (1000000 \* CYC\_CNT\_VALUE) / fRTCCLK***

周期计数功能的配置流程如下：

1. 已知 time，根据上述公式计算得到 CYC\_MAX\_VALUE 的值，把此值配置到register

RTC\_CYC\_MAX\_VALUE 中。

1. 如果需要从 stop、standby 模式中唤醒，则配置唤醒使能，即配置 RTC\_CR register的

CYC\_WKEN，否则无需配置。

1. 使能周期计数功能，即置Bit RTC\_CR register的 CYC\_START\_COUNTER。

**18.9** **闹钟功能**

RTC 提供两个闹钟为闹钟 0 和闹钟 1，两个闹钟都支持 Mask 选择与日历匹配，Mask 配置可以选择匹配 sub-second、秒、分钟、小时、日期、星期，日期和星期匹配只能二选一。

如果register RTC\_ALARMx 中的 Bit Bit ALARMx\_WEEK\_SEL 为 0，则只能选择是否匹配日期，如果 ALARMx\_WEEK\_SEL 为 1，则只能选择是否匹配星期，x 表示 0 或 1。当没有配置秒和 sub-second 匹配而配置了分钟匹配，则闹钟定时时间到了后，在当前一分钟内会以一秒为间隔产生 60 次中断或/和唤醒事件，如果使能了闹钟中断则会产生中断，如果使能了闹钟唤醒功能则会产生唤醒事件，当没有配置秒、sub-second 和分钟的匹配而配置了小时匹配，则闹钟定时时间到了后，在当前一小时内会以一秒为间隔产生 3600 次中断或/和唤醒事件。

闹钟的秒、分钟、小时、日期、星期 Mask 通过配置 RTC\_ALARMx register中的 ALARMx\_MASK 字段实现，sub-second 的 Mask 设置通过配置 RTC\_ALARMx\_SUB register的 RTC\_ALARMx\_SUB\_MASK 实现，sub-second 的定时值设置通过配置 RTC\_ALARMx\_SUB register的 RTC\_ALARMx\_SUB\_VALUE 实现，RTC\_ALARMx\_SUB\_VALUE 的值表示拍数，拍数转换成时间的公式与周期计数的拍数转换成时间的一样，x 表示 0 或 1，分别对应闹钟 0 和闹

钟 1。以闹钟 0 为例Description闹钟配置流程如下：

* 1. 设置日历。
  2. 配置闹钟 0 定时值，配置register RTC\_ALARM0 的 ALARM0\_VALUE 字段，即配置定时时间的小时、分钟、秒、日期或星期。
  3. 配 置 闹 钟 0 的 sub-second 定 时 值 ， 即 配 置 寄 存 器 RTC\_ALARM0\_SUB 的RTC\_ALARM0\_SUB\_VALUE。
  4. 配置闹钟 0 的小时、分钟、秒、日期或星期的 Mask。
  5. 配置闹钟 0 的 sub-second 的 Mask。
  6. 如果需要闹钟的中断，则使能中断，如果需要唤醒事件，则使能闹钟 0 的唤醒功能，即配置register RTC\_CR 的 bit Bit RTC\_ALARM0\_WKEN。
  7. 使能闹钟 0 功能，通过配置register RTC\_ALARM0 的 ALARM0\_EN。
  8. 使能日历功能，即置Bitregister RTC\_CR 的 bit Bit RTC\_START\_RTC。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 194 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.10 内部信号 IO 输出**

内部的能通过 IO 输出的信号包括闹钟 0 脉冲，闹钟 1 脉冲，周期计数脉冲，秒信号输出。闹钟、周期计数脉冲是宽度为一拍的脉冲，alarm 脉冲是在定时时间到的时候输出，周期计数脉冲是在每次计数满一个周期后输出，是周期输出的，秒信号是占空比为 50%的方波，周期为 1 秒。IO 输出的电平可以被取反，配置register RTC\_CR2 的 RTC\_OUT\_POL Bit为 0 时表示原电平，为 1 是表示电平取反。配置register RTC\_CR2 的 RTC\_OUT\_SEL 进行输出信号的选择。

**18.11 中断**

RTC 的中断信号如下：

|  |  |
| --- | --- |
|  | **表 18-3 RTC 中断信号** |
|  |  |
| 中断名称 | Description |
|  |  |
| 闹钟0中断 | 闹钟 0 定时时间到产生的中断 |
|  |  |
| 闹钟1中断 | 闹钟 1 定时时间到产生的中断 |
|  |  |
| 周期计数中断 | 计数满一个周期时产生的中断 |
|  |  |
| Tamper 中断 | Tamper 检测到输入事件时产生的中断 |
|  |  |
| Wakeupio0 中断 | Wakeupio0 检测到输入事件时产生的中断 |
|  |  |
| Wakeupio1 中断 | Wakeupio1 检测到输入事件时产生的中断 |
|  |  |
| Wakeupio2 中断 | Wakeupio2 检测到输入事件时产生的中断 |
|  |  |
| 秒中断 | 秒信号在每一秒产生的中断 |
|  |  |

上述中断的使能通过配置register RTC\_CR1 实现，除秒中断的中断状态外，其它所有中断的中断状态都可以通过register RTC\_SR 获得，秒中断的中断状态通过register RTC\_SR1 的 SECOND\_SR Bit获得。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 195 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12 RTC 相关registerDescription**

Base address：0x4000E000

**表 18-4 RTC register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| RTC\_CR | 0x00 | Controlregister |
|  |  |  |
| RTC\_ALARM0 | 0x04 | 闹钟 0 register |
|  |  |  |
| RTC\_ALARM1 | 0x08 | 闹钟 1 register |
|  |  |  |
| RTC\_PPMADJUST | 0x0c | PPM 调整register |
|  |  |  |
| RTC\_CALENDAR | 0x10 | 日历配置时分秒register |
|  |  |  |
| RTC\_CALENDAR\_H | 0x14 | 日历配置年月日星期register |
|  |  |  |
| RTC\_CYC\_MAX\_VALUE | 0x18 | 周期计数值配置register |
|  |  |  |
| RTC\_SR | 0x1c | 中断状态register |
|  |  |  |
| RTC\_ASYNDATA | 0x20 | 日历异步读取时分秒register |
|  |  |  |
| RTC\_ASYNDATA\_H | 0x24 | 日历异步读取年月日星期register |
|  |  |  |
| RTC\_CR1 | 0x28 | 中断使能register |
|  |  |  |
| RTC\_SR1 | 0x2c | 操作状态register |
|  |  |  |
| RTC\_CR2 | 0x30 | Controlregister 2 |
|  |  |  |
| RTC\_SUB\_SECOND | 0x34 | 读取 sub-second register |
|  |  |  |
| RTC\_CYC\_CNT\_VALUE | 0x38 | 只读周期计数值register |
|  |  |  |
| RTC\_ALARM0\_SUB | 0x3c | 闹钟 0 的 sub-second register |
|  |  |  |
| RTC\_ALARM1\_SUB | 0x40 | 闹钟 1 的 sub-second register |
|  |  |  |
| RTC\_CALENDAR\_R | 0x44 | 日历同步读取时分秒register |
|  |  |  |
| RTC\_CALENDAR\_R\_H | 0x48 | 日历同步读取年月日星期register |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 196 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.1** **RTC\_CR**

Offset：0x00

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-29** | |  | |  | | **28** | |  | |  | |  | |  | | **27** | | |  | | **26** | | | | |  | | **25** | | | |  |
|  | RESERVED | | | |  | | RTC\_START\_RT | | | | | | RTC\_ALARM0\_W | | | | | | | RTC\_ALARM1\_W | | | | | | |  | |  | | CYC\_WKEN | |  |
|  |  | | C | | | |  | |  | | KEN | | | | |  | |  | | KEN | | |  | |  | |  |
|  |  |  | |  | |  | | | |  | |  | |  | | | | |  | |  | |  | | |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | r-0h | | |  | | rw-0h | | | |  | |  | | rw-0h | | | | |  | |  | | rw-0h | | |  | |  | |  | | rw-0h |  |
|  | |  | |  | | | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | **24** | |  | |  | | **23** | |  | |  | |  | |  | | **22** | | |  | | **21** | | | | |  | | **20** | | | |  |
|  | CYC\_START\_CO | | | |  | | TAMPER\_EN | | | |  | |  | | TAMPER\_LEVEL\_ | | | | |  | | TAMPER\_WKEN0 | | | | | TAMPER\_WKEN1 | | | | | |  |
|  | UNTER | | | |  | |  | |  | | SEL | | | | |  | |  |
|  |  | |  | |  | |  | |  | |  | | | | |  | |  | |  | |  |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | rw-0h | | |  | | rw-0h | | | |  | |  | | rw-0h | | | | |  | |  | | rw-0h | | |  | |  | |  | | rw-0h |  |
|  | |  | |  | | | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | **19-18** | |  | |  | | **17** | |  | |  | |  | |  | | **16** | | |  | | **15** | | | | |  | | **14** | | | |  |
|  | TAMPER\_FILTER | | | |  | | WAKEUP0\_EN | | | |  | |  | | WAKEUP0\_LEVE | | | | |  | | WAKEUP0\_WKE | | | | |  | | WAKEUP0\_WKE | | | |  |
|  | \_CFG | | |  | |  | | | |  | |  | | L\_SEL | | | | |  | |  | |  | | N0 |  | |  | |  | | N1 |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | rw-0h | | |  | | rw-0h | | | |  | |  | | rw-0h | | | | |  | |  | | rw-0h | | |  | |  | |  | | rw-0h |  |
|  | |  | |  | | | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | **13-12** | |  | |  | | **11** | |  | |  | |  | |  | | **10** | | |  | | **9** | | | | |  | | **8** | | | |  |
|  | WAKEUP0\_FILTE | | | |  | | WAKEUP1\_EN | | | |  | |  | | WAKEUP1\_LEVE | | | | |  | | WAKEUP1\_WKE | | | | |  | | WAKEUP1\_WKE | | | |  |
|  | R\_CFG | | |  | |  | | | |  | |  | | L\_SEL | | | | |  | |  | |  | | N0 |  | |  | |  | | N1 |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | rw-0h | | |  | | rw-0h | | | |  | |  | | rw-0h | | | | |  | |  | | rw-0h | | |  | |  | |  | | rw-0h |  |
|  | |  | |  | | | |  | |  | |  | | | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  | **7-6** |  | | **5** | | | |  | | **4** | | | | | |  | | **3** |  | |  | |  | | **2** |  | |  | |  | | **1-0** |  |
|  | WAKEUP1\_FI | WAKEUP2\_E | | | | | | WAKEUP2\_LE | | | | | | | |  | | WAKEUP2\_W | | | | | WAKEUP2\_W | | | | |  | |  | | WAKEUP2\_FI |  |
|  | LTER\_CFG |  | |  | | N | |  | | VEL\_SEL | | | | | |  | | KEN0 | | |  | |  | | KEN1 | | |  | |  | | LTER\_CFG |  |
|  |  |  | |  | |  | |  | |  | | | | | |  | |  | | |  | |  | |  | | |  | |  | |  |  |
|  | rw-0h |  | |  | | rw-0h | |  | | rw-0h | | | | | |  | | rw-0h | | |  | |  | | rw-0h | | |  | |  | | rw-0h |  |
|  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |

**Bit 31-29 RESERVED：**reserved.

**Bit 28 RTC\_START\_RTC：**RTC 日历使能Control。

* + 0：不使能
  + 1：使能

**Bit 27 RTC\_ALARM0\_WKEN：**ALARM0\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 26 RTC\_ALARM1\_WKEN：**ALARM1\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 25 CYC\_WKEN：**CYC\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 24 CYC\_START\_COUNTER：**定时功能使能Control。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 197 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**Bit 23 TAMPER\_EN：**TAMPER 功能使能。

* + 0：不使能
  + 1：使能

**Bit 22 TAMPER\_LEVEL\_SEL：**TAMPER 有效电平选择。

* + 0：低电平有效
  + 1：高电平有效

**Bit 21 TAMPER\_WKEN0：**TAMPER 电平唤醒使能。

* + 0：不使能
  + 1：使能

TAMPER\_EN 为 0 时，仍可用于唤醒。

**Bit 20 TAMPER\_WKEN1：**TAMPER\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 19-18 TAMPER\_FILTER\_CFG：**TAMPER 的滤波Control。

* + 0：不滤波
  + 1：滤波 1 拍 rtc 接口时钟
  + 2：滤波 3 拍 rtc 接口时钟
  + 3：滤波 7 拍 rtc 接口时钟

**Bit 17 WAKEUP0\_EN：**WAKEUP0 功能使能。

* + 0：不使能
  + 1：使能

**Bit 16 WAKEUP0\_LEVEL\_SEL：**WAKEUP0 有效电平选择。

* + 0：低电平有效
  + 1：高电平有效

**Bit 15 WAKEUP0\_WKEN0：**WAKEUP0 电平唤醒使能。

* + 0：不使能
  + 1：使能

WAKEUP0\_EN 为 0 时，仍可用于唤醒。

**Bit 14 WAKEUP0\_WKEN1：**WAKEUP0\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 13-12 WAKEUP0\_FILTER\_CFG：**WAKEUP0 的滤波Control。

* + 0：不滤波
  + 1：滤波 1 拍 rtc 接口时钟
  + 2：滤波 3 拍 rtc 接口时钟
  + 3：滤波 7 拍 rtc 接口时钟

**Bit 11 WAKEUP1\_EN：**WAKEUP1 功能使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 198 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**Bit 10 WAKEUP1\_LEVEL\_SEL：**WAKEUP1 有效电平选择。

* + 0：低电平有效
  + 1：高电平有效

**Bit 9 WAKEUP1\_WKEN0：**WAKEUP1 电平唤醒使能。

* + 0：不使能
  + 1：使能

WAKEUP1\_EN 为 0 时，仍可用于唤醒。

**Bit 8 WAKEUP1\_WKEN1：**WAKEUP1\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 7-6 WAKEUP1\_FILTER\_CFG：**WAKEUP1 的滤波Control。

* + 0：不滤波
  + 1：滤波 1 拍 rtc 接口时钟
  + 2：滤波 3 拍 rtc 接口时钟
  + 3：滤波 7 拍 rtc 接口时钟

**Bit 5 WAKEUP2\_EN：**WAKEUP2 功能使能。

* + 0：不使能
  + 1：使能

**Bit 4 WAKEUP2\_LEVEL\_SEL：**WAKEUP2 有效电平选择。

* + 0：低电平有效
  + 1：高电平有效

**Bit 3 WAKEUP2\_WKEN0：**WAKEUP2 电平唤醒使能。

* + 0：不使能
  + 1：使能

WAKEUP2\_EN 为 0 时，仍可用于唤醒。

**Bit 2 WAKEUP2\_WKEN1：**WAKEUP2\_SR 唤醒使能。

* + 0：不使能
  + 1：使能

**Bit 1-0 WAKEUP2\_FILTER\_CFG：**WAKEUP2 的滤波Control。

* + 0：不滤波
  + 1：滤波 1 拍 rtc 接口时钟
  + 2：滤波 3 拍 rtc 接口时钟
  + 3：滤波 7 拍 rtc 接口时钟

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 199 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.2** **RTC\_ALARM0**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31** | **30** | **29-26** | **25-0** |
| ALARM0\_EN | ALARM0\_WEEK\_SEL | ALARM0\_MASK | ALARM0\_VALUE |
|  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 31 ALARM0\_EN：**闹钟 0 使能Control。

* + - 0：不使能
    - 1：使能

**Bit 30 ALARM0\_WEEK\_SEL：**闹钟 0 星期与日期选择。

* + - 0：匹配日期
    - 1：匹配星期，星期为日期个Bit的低 3bit

**Bit 29-26 ALARM0\_MASK：**闹钟 0 的 Mask 配置。

* 1. Control是否匹配秒。
     + - 0：匹配
       - 1：不匹配
  2. Control是否匹配分钟。
     + - 0：匹配
       - 1：不匹配
  3. Control是否匹配小时。
     + - 0：匹配
       - 1：不匹配
  4. Control是否匹配日期或星期。
     + - 0：匹配
       - 1：不匹配

**Bit 25-0 ALARM0\_VALUE：**闹钟 0 定时值配置。当 rtc 日历与闹钟 0 配置匹配时，可以产生

ALARM0\_SR。

[3:0]：秒个Bit

[6:4]：秒十Bit

[10:7]：分钟个Bit

[13:11]：分钟十Bit

[17:14]：小时个Bit

[19:18]：小时十Bit

[23:20]：日期个Bit，其中 [22:20] 也可代表星期

[25:24]：日期十Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 200 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.3** **RTC\_ALARM1**

Offset：0x08

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31** | **30** | **29-26** | **25-0** |
| ALARM1\_EN | ALARM1\_WEEK\_SEL | ALARM1\_MASK | ALARM1\_VALUE |
|  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 31 ALARM1\_EN：**闹钟 1 使能Control。

* + - 0：不使能
    - 1：使能

**Bit 30 ALARM1\_WEEK\_SEL：**闹钟 1 星期与日期选择。

* + - 0：匹配日期
    - 1：匹配星期，星期为日期个Bit的低 3bit

**Bit 29-26 ALARM1\_MASK：**闹钟 1 的 Mask 配置。

* 1. Control是否匹配秒。
     + - 0：匹配
       - 1：不匹配
  2. Control是否匹配分钟。
     + - 0：匹配
       - 1：不匹配
  3. Control是否匹配小时。
     + - 0：匹配
       - 1：不匹配
  4. Control是否匹配日期或星期。
     + - 0：匹配
       - 1：不匹配

**Bit 25:0 ALARM1\_VALUE：**闹钟 1 定时值配置。当 rtc 日历与闹钟 1 配置匹配时，可以产生

ALARM1\_SR。

[3:0]：秒个Bit

[6:4]：秒十Bit

[10:7]：分钟个Bit

[13:11]：分钟十Bit

[17:14]：小时个Bit

[19:18]：小时十Bit

[23:20]：日期个Bit，其中 [22:20] 也可代表星期

[25:24]：日期十Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 201 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.4** **RTC\_PPMADJUST**

Offset：0x0c

Reset value：0x00007fff

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | PPMADJUST\_VALUE |
|  |  |
| r-0h | rw-7fffh |
|  |  |

**Bit 31-16 RESERVED：**reserved.

**Bit 15-0 PPMADJUST\_VALUE：**32k 时钟频率 ppm 调整配置。1 代表 0.5ppm。可配置范围为 77ff

到 87ff。

* + 77ff：调整+1024 ppm
  + 7800：调整+1023.5 ppm
  + ...
  + 7ffd：调整+1 ppm
  + 7ffe：调整+0.5 ppm
  + 7fff：调整 0 ppm，即不调整
  + 8000：调整-0.5 ppm
  + 8001：调整-1 ppm
  + …
  + 87fe：调整-1023.5ppm
  + 87ff：调整-1024ppm

**18.12.5** **RTC\_CALENDAR**

Offset：0x10

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-20** |  | **19-0** |
| RESERVED |  | CALENDAR\_VALUE |
|  |  |  |
| r-0h |  | w-0h |
|  |  |  |
| **Bit 31-20 RESERVED：**reserved. | |  |
| **Bit 19-0 CALENDAR\_VALUE：**RTC 日历数据低Bit。 | |  |
| [3:0]：秒个Bit | |  |
| [6:4]：秒十Bit | |  |
| [10:7]：分钟个Bit | |  |
| [13:11]：分钟十Bit | |  |
| [17:14]：小时个Bit | |  |
| [19:18]：小时十Bit | |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 202 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.6** **RTC\_CALENDAR\_H**

Offset：0x14

Reset value：0x00000841

|  |  |  |
| --- | --- | --- |
| **31-22** |  | **21-0** |
| RESERVED |  | CALENDAR\_H\_VALUE |
|  |  |  |
| r-0h |  | w-841h |
|  |  |  |
| **Bit 31-22 RESERVED：**reserved. | |  |
| **Bit 21-0 CALENDAR\_H\_VALUE：**RTC 日历数据高Bit。 | |  |
| [3:0]：日期个Bit | |  |
| [5:4]：日期十Bit | |  |
| [9:6]：月份个Bit | |  |
| [10]：月份十Bit | |  |
| [13:11]：星期 | |  |
| [17:14]：年个Bit | |  |
| [21:18]：年十Bit | |  |



**18.12.7** **RTC\_CYC\_MAX\_VALUE**

Offset：0x18

Reset value：0x00008000

**31-0**

CYC\_MAX\_VALUE

rw-8000h

**Bit 31-0 CYC\_MAX\_VALUE：**周期计数值配置，当周期计数器的计数值等于 CYC\_MAX\_VALUE 时，触发周期唤醒状态Bit，周期计数使用 RTC 接口时钟进行计数。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 203 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.8** **RTC\_SR**

Offset：0x1c

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-7** | **6** | **5** | **4** |
| RESERVED | ALARM0\_SR | ALARM1\_SR | CYC\_SR |
|  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |
| **3** | **2** | **1** | **0** |
| TAMPER\_SR | WAKEUP0\_SR | WAKEUP1\_SR | WAKEUP2\_SR |
|  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 31-7 RESERVED：**reserved.

**Bit 6 ALARM0\_SR：**闹钟 0 触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 5 ALARM1\_SR：**闹钟 1 触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 4 CYC\_SR：**周期唤醒触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 3 TAMPER\_SR：**tamper 触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 2 WAKEUP0\_SR：**wakeup0 触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 1 WAKEUP1\_SR：**wakeup1 触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 0 WAKEUP2\_SR：**wakeup2 触发状态Bit。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 204 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.9** **RTC\_ASYNDATA**

Offset：0x20

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-20** |  | **19-0** |
| RESERVED |  | SYN\_DATA |
|  |  |  |
| r-0h |  | r-0h |
|  |  |  |
| **Bit 31-20 RESERVED：**reserved. | |  |
| **Bit 19-0 SYN\_DATA：**RTC 日历数据低Bit。软件只读。 | |  |
| [3:0]：秒个Bit | |  |
| [6:4]：秒十Bit | |  |
| [10:7]：分钟个Bit | |  |
| [13:11]：分钟十Bit | |  |
| [17:14]：小时个Bit | |  |
| [19:18]：小时十Bit | |  |

**18.12.10 RTC\_ASYNDATA\_H**

Offset：0x24

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-22** |  | **21-0** |
| RESERVED |  | SYN\_DATA\_H |
|  |  |  |
| r-0h |  | r-0h |
|  |  |  |
| **Bit 31-22 RESERVED：**reserved. | |  |
| **Bit 21-0 SYN\_DATA\_H：**RTC 日历数据高Bit。软件只读。 | |  |
| [3:0]：日期个Bit | |  |
| [5:4]：日期十Bit | |  |
| [9:6]：月份个Bit | |  |
| [10]：月份十Bit | |  |
| [13:11]：星期 | |  |
| [17:14]：年个Bit | |  |
| [21:18]：年十Bit | |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 205 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.11 RTC\_CR1**

Offset：0x28

Reset value：0x00000000

|  |  |  |
| --- | --- | --- |
| **31-8** | **7** | **6** |
| RESERVED | SECOND\_SR\_INT\_EN | ALARM0\_SR\_INT\_EN |
|  |  |  |
| r-0h | rw-0h | rw-0h |
|  |  |  |
| **5** | **4** | **3** |
| ALARM1\_SR\_INT\_EN | CYC\_SR\_INT\_EN | TAMPER\_SR\_INT\_EN |
|  |  |  |
| rw-0h | rw-0h | rw-0h |
|  |  |  |
| **2** | **1** | **0** |
| WAKEUP0\_SR\_INT\_EN | WAKEUP1\_SR\_INT\_EN | WAKEUP2\_SR\_INT\_EN |
|  |  |  |
| rw-0h | rw-0h | rw-0h |
|  |  |  |

**Bit 31-8 RESERVED：**reserved.

**Bit 7 SECOND\_SR\_INT\_EN：**秒中断使能。

* + 0：不使能
  + 1：使能

**Bit 6 ALARM0\_SR\_INT\_EN：**ALARM0\_SR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 5 ALARM1\_SR\_INT\_EN：**ALARM1\_SR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 4 CYC\_SR\_INT\_EN：**CYC\_SR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 3 TAMPER\_SR\_INT\_EN：**TAMPER\_SR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 2 WAKEUP0\_SR\_INT\_EN：**WAKEUP0\_SR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 1 WAKEUP1\_SR\_INT\_EN：**WAKEUP1\_SR 中断使能。

* + 0：不使能
  + 1：使能

**Bit 0 WAKEUP2\_SR\_INT\_EN：**WAKEUP2\_SR 中断使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 206 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.12 RTC\_SR1**

Offset：0x2c

Reset value：0x00000dff

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-12** | **11** |  | | **10** |  | | **9** |
| RESERVED | WRITE\_ALARM0\_SUB\_DONE | | | WRITE\_ALARM1\_SUB\_DONE | | | SECOND\_SR |
|  |  |  | |  |  | |  |
| r-0h | r-1h |  | | r-1h |  | | rw-0h |
|  |  |  | |  |  | |  |
|  | **8** |  | | **7** |  | | **6** |
| WRITE\_RTCCR2\_DONE | | | WRITE\_RTCCR\_DONE | | | WRITE\_ALARM0\_DONE | |
|  |  |  | |  |  | |  |
|  | r-1h |  | | r-1h |  | | r-1h |
|  |  |  | |  |  | |  |
|  | **5** |  | | **4** |  | | **3** |
| WRITE\_ALARM1\_DONE | | | WRITE\_PPMADJUST\_DONE | | | WRITE\_CALENDAR\_DONE | |
|  |  |  | |  |  | |  |
|  | r-1h |  | | r-1h |  | | r-1h |
|  |  |  | |  |  | |  |
|  | **2** |  | | **1** |  | | **0** |
| WRITE\_CYC\_MAX\_VALUE\_DONE | | | WRITE\_RTCSR\_DONE | | | READ\_CALENDAR\_DONE | |
|  |  |  | |  |  | |  |
|  | r-1h |  | | r-1h |  | | r-1h |
|  |  |  | |  |  | |  |

**Bit 31-12 RESERVED：**reserved.

**Bit 11 WRITE\_ALARM0\_SUB\_DONE：**对 [*RTC\_ALARM0\_SUB*](#page229) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 10 WRITE\_ALARM1\_SUB\_DONE：**对 [*RTC\_ALARM1\_SUB*](#page229) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 9 SECOND\_SR：**秒中断状态。硬件置 1，软件写 1 清 0。

* + 0：无中断发生
  + 1：有中断发生

**Bit 8 WRITE\_RTCCR2\_DONE：**对 [*RTC\_CR2*](#page227) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 7 WRITE\_RTCCR\_DONE：**对 [*RTC\_CR*](#page216) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 6 WRITE\_ALARM0\_DONE：**对 [*RTC\_ALARM0*](#page219) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 5 WRITE\_ALARM1\_DONE：**对 [*RTC\_ALARM1*](#page220) register的写操作的完成状态。硬件Control置 1 与清 0。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 207 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



* + 0：操作正在进行中
  + 1：操作已完成

**Bit 4 WRITE\_PPMADJUST\_DONE：**对 [*RTC\_PPMADJUST*](#page221) register的写操作的完成状态。硬件Control置1与清0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 3 WRITE\_CALENDAR\_DONE：**对 [*RTC\_CALENDAR*](#page221) 和 [*RTC\_CALENDAR\_H*](#page222) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 2 WRITE\_CYC\_MAX\_VALUE\_DONE：**对 [*RTC\_CYC\_MAX\_VALUE*](#page222) 的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 1 WRITE\_RTCSR\_DONE：**对 [*RTC\_SR*](#page223) register的写操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 0 READ\_CALENDAR\_DONE：**对 [*RTC\_CALENDAR\_R*](#page230) 和 [*RTC\_CALENDAR\_R\_H*](#page230) register的读操作的完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**18.12.13 RTC\_CR2**

Offset：0x30

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-8** | **7** | **6-4** | **3-0** |
| RESERVED | RTC\_OUT\_POL | RTC\_OUT\_SEL | RTC\_RET\_SRAM\_ERASE\_EN |
|  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 31-8 RESERVED：**reserved.

**Bit 7 RTC\_OUT\_POL：**RTC IO 输出电平选择。

* + 0：原电平
  + 1：取反电平

**Bit 6-4 RTC\_OUT\_SEL：**RTC IO 输出选择。

* + 0-3：输出 0
  + 4：alarm0 脉冲
  + 5：alarm1 脉冲
  + 6：cyc 脉冲
  + 7：秒信号，占空比 50%

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 208 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**Bit 3-0 RTC\_RET\_SRAM\_ERASE\_EN：**tamper 与 wakeup alarm触发 Retention SRAM 清除的功能使能。[0] 对应 wakeup0，[1] 对应 wakeup1，[2] 对应 wakeup2，[3] 对应 tamper。

* + 0：不使能
  + 1：使能

**18.12.14 RTC\_SUB\_SECOND**

Offset：0x34



Reset value：0x00000000

|  |  |
| --- | --- |
| **31-15** | **14-0** |
| RESERVED | RTC\_SUB\_SECOND\_VALUE |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-15 RESERVED：**reserved.

**Bit 14-0 RTC\_SUB\_SECOND\_VALUE：**rtc 日历计数中的秒以下部分的计数器值，由于采用打拍同步，需要多次读到同一值，才可以使用，不能仅读取一次（可能由于同步而读错）。

**18.12.15 RTC\_CYC\_CNT\_VALUE**

Offset：0x38

Reset value：0x00000000

**31-0**

CYC\_CNT\_VALUE

r-0h

**Bit 31-0 CYC\_CNT\_VALUE：**周期计数器值，由于采用打拍同步，需要多次读到同一值，才可以使用，不能仅读取一次（可能由于同步而读错）。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 209 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.16 RTC\_ALARM0\_SUB**

Offset：0x3c

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-20** | **19-16** | **15** | **14-0** |
| RESERVED | RTC\_ALARM0\_SUB\_MASK | RESERVED | RTC\_ALARM0\_SUB\_VALUE |
|  |  |  |  |
| r-0h | rw-0h | r-0h | rw-0h |
|  |  |  |  |

**Bit 31-20 RESERVED：**reserved.

**Bit 19-16 RTC\_ALARM0\_SUB\_MASK：**闹钟 0 的 sub-second Mask 配置，使用 alarm0 的 sub-second 功能时，ppm 调整功能建议不使用。

* + 0：sub-second 定时值配置不生效，仅在每秒考虑 rtc\_alarm0 是否匹配。
  + 1：匹配 sub-second 计数的[0]，其它 sub-second 计数Bit不生效。
  + 2：匹配 sub-second 计数的[1:0]，其它 sub-second 计数Bit不生效。
  + N：匹配 sub-second 计数的[N-1:0]，其它 sub-second 计数Bit不生效。

**Bit 15 RESERVED：**reserved.

**Bit 14-0 RTC\_ALARM0\_SUB\_VALUE：**闹钟 0 sub-second 定时值配置。当 rtc 日历计数值与闹钟

0 配置匹配时，产生 ALARM0\_SR。

**18.12.17 RTC\_ALARM1\_SUB**

Offset：0x40

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-20** | **19-16** | **15** | **14-0** |
| RESERVED | RTC\_ALARM1\_SUB\_MASK | RESERVED | RTC\_ALARM1\_SUB\_VALUE |
|  |  |  |  |
| r-0h | rw-0h | r-0h | rw-0h |
|  |  |  |  |

**Bit 31-20 RESERVED：**reserved.

**Bit 19-16 RTC\_ALARM1\_SUB\_MASK：**闹钟 1 的 sub-second Mask 配置，使用 alarm1 的 sub-second 功能时，ppm 调整功能建议不使用。

* + 0：sub-second 定时值配置不生效，仅在每秒考虑 rtc\_alarm1 是否匹配。
  + 1：匹配 sub-second 计数的[0]，其它 sub-second 计数Bit不生效。
  + 2：匹配 sub-second 计数的[1:0]，其它 sub-second 计数Bit不生效。
  + N：匹配 sub-second 计数的[N-1:0]，其它 sub-second 计数Bit不生效。

**Bit 15 RESERVED：**reserved.

**Bit 14-0 RTC\_ALARM1\_SUB\_VALUE：**闹钟 1 sub-second 定时值配置。当 rtc 日历计数值与闹钟

1 配置匹配时，产生 ALARM1\_SR。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 210 / 302

 18. 实时时钟 (RTC) ASR6601 Reference Manual



**18.12.18 RTC\_CALENDAR\_R**

Offset：0x44

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-20** | **19-0** |
| RESERVED | CALENDAR\_SYNC |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-20 RESERVED：**reserved.

**Bit 19-0 CALENDAR\_SYNC：**RTC 日历计数中的时分秒的计数器值，由于采用打拍同步，需要多次读到同一值，才可以使用，不能仅读取一次（可能由于同步而读错）。

**18.12.19 RTC\_CALENDAR\_R\_H**

Offset：0x48

Reset value：0x00000841

|  |  |
| --- | --- |
| **31-22** | **21-0** |
| RESERVED | CALENDAR\_H\_SYNC |
|  |  |
| r-0h | r-841h |
|  |  |

**Bit 31-22 RESERVED：**reserved.

**Bit 21-0 CALENDAR\_H\_SYNC：**RTC 日历计数中的年月日星期的计数器值，由于采用打拍同步，需要多次读到同一值，才可以使用，不能仅读取一次（可能由于同步而读错）。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 211 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



1. **低功耗通用异步接收器 (LPUART)**

**19.1** **简介**

LPUART（Low Power Universal Asynchronous Receiver/Transmitter）是一种低功耗的串口外设，32K 时钟下波特率最高支持 9600。在极低功耗模式下，LPUART 也可以被接收到的数据唤醒。

LPUART 支持 CTS/RTS 流量Control。



LPUART 支持 DMA 请求。

**19.2** **主要特性**

* 波特率可配置
* 数据格式可配置（5-8 Bit数据，1-2 Bit停止Bit，0-1 Bit奇偶校验Bit）
* 支持 DMA 请求
* TX/RX FIFO 深度为 1
* 支持 CTS/RTS 流控
* 支持中断请求
* 支持低功耗唤醒

**19.3** **Functional description**

**19.3.1** **数据格式**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |
| START |  | DATA |  | PARITY STOP |



**图 19-1 LPUART 的数据传输格式**

在空闲时，LPUART 的数据线应该保持在高电平。

在数据传输时，依次传输起始Bit（START）, 数据Bit（DATA），奇偶校验Bit（PARITY）和停止Bit（STOP）。各个Bit的含义如下：

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 212 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



1. **起始Bit：**先发送一个 0 信号，表示数据传输开始。
2. **数据Bit：**根据配置，依次传输 5-8 个 bit。
3. **奇偶校验Bit：**数据Bit后，传输一个 bit 的奇偶校验Bit，也可以配置为无奇偶校验Bit。
4. **停止Bit：**数据传输结束的标志，可以是 1 或者 2 个 bit。

**19.3.2** **波特率产生**

LPUART 波特率的配置支持小数分频，其主要通过 LPUART\_BAUD\_RATE\_INT 和 LPUART\_ BAUD\_RATE\_FRA 两个register来配置。



以 LPUART 接口时钟频率为 32.768KHz，波特率为 9600 为例，分频系数为 32768/9600=3.413，则register LPUART\_BAUD\_RATE\_INT 配置为 3，register LPUART\_BAUD\_RATE\_FRA 配置为7（0.413\*16=6.608，四舍五入为 7）。

**19.3.3** **CTS/RTS 流控**

两个 LPUART 之间的连接如下图：

|  |  |  |  |
| --- | --- | --- | --- |
|  | TX | RX |  |
|  | RX | TX |  |
| LPUART1 | RTS | CTS |  |
|  |  |
|  | CTS | RTS |  |
|  |  |  |  |

LPUART2

**图 19-2 两个 LPUART 设备之间的连接**

**RTS（Require To Send，发送请求）**为输出信号，用于指示本设备准备好可接收数据，低电平有效，低电平说明本设备可以接收数据。

**CTS（Clear To Send，发送允许）**为输入信号，用于判断是否可以向对方发送数据，低电平有效，低电平说明本设备可以向对方发送数据。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 213 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



**19.3.4** **DMA 请求**

**LPUART DMA 发送过程：**

* 1. 将register LPUART\_CR1 中的 DMA\_TX\_EN Bit配置为使能；
  2. 将register LPUART\_DATA 地址配置为 DMA 的目的地址；
  3. 将发送数据的内存地址配置为 DMA 的源地址；
  4. 配置 DMA 的 SRC\_TR\_WIDTH 和 DES\_TR\_WIDTH 为 0（数据Bit宽为 8bit）；
  5. 配置 DMA 的 SRC\_MSIZE 和 DEST\_MSIZE 为 0（burst length 为 1）；
  6. 配置 DMA 的数据传输总长度；
  7. 配置 DMA 的 handshake 类型为 DMA\_HANDSHAKE\_LPUART\_TX；
  8. 激活 DMA Channel。

当 DMA 传输完成后，会将 DMA\_CHENREG register的 CH\_EN\_x Bit清 0。

**LPUART DMA 接收过程：**

* 1. 将register LPUART\_CR1 中的 DMA\_RX\_EN Bit配置为使能；
  2. 将register LPUART\_DATA 地址配置为 DMA 的源地址；
  3. 将数据接收的内存地址配置为 DMA 的目的地址；
  4. 配置 DMA 的 SRC\_TR\_WIDTH 和 DES\_TR\_WIDTH 为 0（数据Bit宽为 8bit）；
  5. 配置 DMA 的 SRC\_MSIZE 和 DEST\_MSIZE 为 0（burst length 为 1）；
  6. 配置 DMA 的数据传输总长度；
  7. 配置 DMA 的 handshake 类型为 DMA\_HANDSHAKE\_LPUART\_RX；
  8. 激活 DMA Channel。

当 DMA 传输完成后，会将 DMA\_CHENREG register的 CH\_EN\_x Bit清 0。

**19.3.5** **中断信号**

LPUART 的中断信号主要有：

* TX\_DONE 中断
* TXFIFO\_EMPTY 中断
* RXFIFO\_NOT\_EMPTY 中断
* RX\_OVERFLOW 中断
* STOP\_ERR 中断
* PARITY\_ERR 中断
* START\_INVALID 中断
* RX\_DONE 中断
* START\_VALID 中断

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 214 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



**19.3.6** **低功耗唤醒**

LPUART 的低功耗唤醒包括 RX 低电平唤醒，有效 START 唤醒，RX\_DONE 唤醒。

通过配置 LPUART\_CR0 register的 LPUART\_WAKEUP\_EN Bit来使能唤醒方式。

**19.4** **LPUART 相关registerDescription**

registerBase address：0x40005000

**表 19-1 LPUART register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| LPUART\_CR0 | 0x00 | Controlregister 0 |
|  |  |  |
| LPUART\_CR1 | 0x04 | Controlregister 1 |
|  |  |  |
| LPUART\_SR0 | 0x08 | 状态register 0 |
|  |  |  |
| LPUART\_SR1 | 0x0C | 状态register 1 |
|  |  |  |
| LPUART\_DATA | 0x10 | 数据register |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 215 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



**19.4.1** **LPUART\_CR0**

Offset：0x00

Reset value：0x00000E13

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-27** |  | |  | | **26** |  | |  | | **25** |  | | **24-22** | |  | | **21-10** |  |
|  | RESERVED |  | |  | | LPUART\_RTS\_EN | | |  | | LPUART\_RX\_EN |  | | LPUART\_WAKEUP\_EN | |  | | LPUART\_BAUD\_RA |  |
|  |  | |  | |  | |  | |  | | TE\_INT |  |
|  |  |  | |  | |  |  | |  | |  |  | |  | |  | |  |
|  |  |  | |  | |  |  | |  | |  |  | |  | |  | |  |  |
|  | r |  | |  | | r/w | | |  | | r/w |  | | r/w | |  | | r/w |  |
|  |  | |  | |  | | |  | |  | | |  | | | |  | |  |
|  |  | **9-6** | | | | |  | | **5** | | |  | | **4-2** | |  | | **1-0** |  |
|  | LPUART\_BAUD\_RATE\_FRA | | | | | | | LPUART\_STOP\_LEN | | | | |  | | LPUART\_PARITY\_CFG | | LPUART\_DATA\_LEN | |  |
|  |  |  | | | | |  | |  | |  |  | |  | |  | |  |  |
|  |  | r/w | | | | |  | |  | | r/w |  | | r/w | |  | | r/w |  |
|  |  |  | |  | |  |  | |  | |  |  | |  | |  | |  |  |

**Bit 31-27 RESERVED：**Reserved and cannot be modified.

**Bit 26 LPUART\_RTS\_EN：**lpuart rts 流控使能。

* + - 0：不使能
    - 1：使能

**Bit 25 LPUART\_RX\_EN：**lpuart 接收使能。

* + - 0：不使能
    - 1：使能

**Bit 24-22 LPUART\_WAKEUP\_EN：**lpuart 唤醒使能。

* 1. 为 rx 低电平唤醒使能。
     + 0：不使能
     + 1：使能
  2. 为有效 start 唤醒使能。
     + 0：不使能
     + 1：使能
  3. 为接收数据完成唤醒使能。
     + 0：不使能
     + 1：使能

**Bit 21-10 LPUART\_BAUD\_RATE\_INT：**波特率分频系数的整数部分。

分频系数等于 UART 接口时钟频率/波特率；

以 UART 接口时钟频率为 32.768KHz，波特率为 9600 为例，分频系数为 32768/9600=3.413，lpuart\_baud\_ rate\_int 配置为 3，lpuart\_baud\_rate\_fra 配置为 0.413\*16=6 或 7。

**Bit 9-6 LPUART\_BAUD\_RATE\_FRA：**波特率分频系数的小数部分，支持 4 Bit小数分频。

**Bit 5 LPUART\_STOP\_LEN：**LPUART stop Bit长度。

* + - 0：1 Bit stop
    - 1：2 Bit stop

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 216 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



**Bit 4-2 LPUART\_PARITY\_CFG：**LPUART 奇偶校验配置。

* + 0：偶校验
  + 1：奇校验
  + 2：校验Bit固定为 0
  + 3：校验Bit固定为 1
  + >3：无奇偶校验Bit

**Bit 1-0 LPUART\_DATA\_LEN：**LPUART 数据宽度。

数据宽度等于 LPUART\_DATA\_LEN+5。

**19.4.2** **LPUART\_CR1**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-13** | **12** | | |  | **11** | | |  |  | **10** |  | | **9** |
| RESERVED | LPUART\_CTS\_EN | | |  | DMA\_TX\_EN | | |  |  | DMA\_RX\_EN | | | LPUART\_TX\_EN |
|  |  |  | |  |  |  | |  |  |  |  | |  |
| r |  | r/w | |  | r/w | | |  |  | r/w | | | r/w |
|  |  |  | |  |  |  | |  |  | |  | |  |
| **8** | **7** | | |  | **6** |  | |  |  | **5** |  | | **4** |
| TX\_DONE\_INT | TXFIFO\_EMPTY\_INT | | |  | RXFIFO\_NOT\_EMPTY | | |  |  | RX\_OVERFLOW | | | STOP\_ERR\_INT |
| \_EN |  | \_EN | |  | \_INT\_EN | | |  |  | \_INT\_EN | | | \_EN |
|  |  |  | |  |  |  | |  |  |  |  | |  |
| r/w |  | r/w | |  | r/w | | |  |  | r/w | | | r/w |
|  |  |  | |  |  |  | |  |  |  |  | |  |
| **3** |  | **2** | |  |  |  | | **1** | |  |  | | **0** |
| PARITY\_ERR\_INT\_EN | | | START\_INVALID\_INT\_EN | | | | RX\_DONE\_INT\_EN | | | | | START\_VALID\_INT\_EN | |
|  |  |  | | |  |  | |  | | |  | |  |
| r/w |  | r/w | | |  |  | | r/w | | |  | | r/w |
|  |  |  | |  |  |  | |  |  |  |  | |  |

**Bit 31:13 RESERVED：**Reserved and cannot be modified.

**Bit 12 LPUART\_CTS\_EN：**lpuart cts 流控使能。

* + 0：不使能
  + 1：使能

**Bit 11 DMA\_TX\_EN：**dma tx 请求使能。

* + 0：不使能
  + 1：使能

**Bit 10 DMA\_RX\_EN：**dma rx 请求使能。

* + 0：不使能
  + 1：使能

**Bit 9 LPUART\_TX\_EN：**lpuart 发送使能。

* + 0：不使能
  + 1：使能

**Bit 8 TX\_DONE\_INT\_EN：**tx\_done 中断使能。

* + 0：不使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 217 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



**Bit 7 TXFIFO\_EMPTY\_INT\_EN：**txfifo\_empty 中断使能。

* + 0：不使能
  + 1：使能

**Bit 6 RXFIFO\_NOT\_EMPTY\_INT\_EN：**rxfifo\_not\_empty 中断使能。

* + 0：不使能
  + 1：使能

**Bit 5 RX\_OVERFLOW\_INT\_EN：**rx\_overflow 中断使能。

* + 0：不使能
  + 1：使能

**Bit 4 STOP\_ERR\_INT\_EN：**stop\_err 中断使能。

* + 0：不使能
  + 1：使能

**Bit 3 PARITY\_ERR\_INT\_EN：**parity\_err 中断使能。

* + 0：不使能
  + 1：使能

**Bit 2 START\_INVALID\_INT\_EN：**start\_invalid 中断使能。

* + 0：不使能
  + 1：使能

**Bit 1 RX\_DONE\_INT\_EN：**rx\_done 中断使能。

* + 0：不使能
  + 1：使能

**Bit 0 START\_VALID\_INT\_EN：**start\_valid 中断使能。

* + 0：不使能
  + 1：使能

**19.4.3** **LPUART\_SR0**

Offset：0x08

Reset value：0x00000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **31-6** | | **5** | **4** |
| RESERVED | | | RX\_OVERFLOW\_SR | STOP\_ERR\_SR |
|  |  |  |  |  |
|  |  | r | r/w | r/w |
|  |  |  |  |  |
| **3** |  | **2** | **1** | **0** |
| PARITY\_ERR\_SR |  | START\_INVALID\_SR | RX\_DONE\_SR | START\_VALID\_SR |
|  |  |  |  |  |
| r/w |  | r/w | r/w | r/w |

**Bit 31-6 RESERVED：**Reserved and cannot be modified.

**Bit 5 RX\_OVERFLOW\_SR：**rx\_overflow 状态Bit，用于指示是否发生接收数据 Buffer 溢出。硬件置1，软件写 1 清 0。

* + 0：未发生

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 218 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



* + 1：发生

**Bit 4 STOP\_ERR\_SR：**stop\_err 状态Bit，用于指示是否发生 stop 电平错误。硬件置 1，软件写 1 清0。

* + 0：未发生
  + 1：发生

**Bit 3 PARITY\_ERR\_SR：**parity\_err 状态Bit，用于指示是否发生 parity 校验错误。硬件置 1，软件写

1清0。

* + 0：未发生
  + 1：发生

**Bit 2 START\_INVALID\_SR：**start\_invalid 状态Bit，用于指示是否收到错误的 start Bit。硬件置 1，软件写1清0。

* + 0：未发生
  + 1：发生

**Bit 1 RX\_DONE\_SR：**rx\_done 状态Bit，用于指示是否接收完数据。硬件置 1，软件写 1 清 0。

* + 0：未发生
  + 1：发生

**Bit 0 START\_VALID\_SR：**start\_valid 状态Bit，用于指示是否收到有效的 start Bit。硬件置 1，软件写1清0。

* + 0：未发生
  + 1：发生

**19.4.4** **LPUART\_SR1**

Offset：0x0C

Reset value：0x00000016

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **31-6** | | |  | **5** | **4** |
| RESERVED | | | | TX\_DONE | TXFIFO\_EMPTY |
|  |  |  |  |  |  |
|  | r | |  | r/w | r |
|  |  |  |  |  |  |
| **3** |  |  | **2** | **1** | **0** |
| RXFIFO\_NOT\_EMPTY | |  | WRITE\_CR0\_DONE | WRITE\_SR0\_DONE | RESERVED |
|  | |  |  |  |  |
| r | |  | r | r | r |

**Bit 31-6 RESERVED：**Reserved and cannot be modified.

**Bit 5 TX\_DONE：**tx\_done 状态Bit。硬件置 1，软件写 1 清 0。

* + 0：发送未完成
  + 1：发送完成

**Bit 4 TXFIFO\_EMPTY：**txfifo\_empty 状态Bit。硬件置 1，软件写 LPUART\_DATA 来清 0 此Bit。

* + 0：非空
  + 1：空

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 219 / 302

 19. 低功耗通用异步接收器 (LPUART) ASR6601 Reference Manual



**Bit 3 RXFIFO\_NOT\_EMPTY：**rxfifo\_not\_empty 状态Bit。硬件置 1，软件读 LPUART\_DATA 来清 0

此Bit。

* + 0：空
  + 1：非空

**Bit 2 WRITE\_CR0\_DONE：**write cr0 操作完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 1 WRITE\_SR0\_DONE：**write sr0 操作完成状态。硬件Control置 1 与清 0。

* + 0：操作正在进行中
  + 1：操作已完成

**Bit 0 RESERVED：**Reserved and cannot be modified.

**19.4.5** **LPUART\_DATA**

Offset：0x10

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-8** | **7-0** |
| RESERVED | LPUART\_DATA |
|  |  |
| r | r/w |
|  |  |

**Bit 31-8 RESERVED：**Reserved and cannot be modified.

**Bit 7-0 LPUART\_DATA：**fifo 接口，读操作返回 rx data，写操作写入 tx data。

***Note：***

1. *如果数据Bit宽小于 8 时，LPUART\_DATA 的低Bit有效。*
2. *读之前要查询 RXFIFO\_NOT\_EMPTY 状态Bit，保证 rxfifo 中有数据；写之前要查询 txfifo\_ empty 状*

*态Bit，保证 txfifo 中可写入。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 220 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.** **低功耗定时器 (LPTIM)**

**20.1** **简介**

LPTIMER（Low Power Timer）是一个 16 Bit的计时器，由于其有多种时钟源，LPTIMER 能够

在除 standby 模式外的所有Operating modes下运行，并且支持从所有低功耗Operating modes中唤醒。有两个

LPTIMER，分别为 LPTIMER0 和 LPTIMER1。

**20.2** **主要特性**

LPTIMER 包括如下功能：

* 支持选择内部时钟与外部时钟作为计数时钟
* 16bits 计数器，加法计数，支持自动加载
* 支持两种计数模式，单次计数和连续计数
* 支持软件触发和外部触发源触发计数
* 分频计数器
* 支持产生 PWM
* 支持单脉冲、Set-once、Timeout 模式输出
* 支持 DEBUG 模式Control
* 支持产生Channel输出事件、匹配事件、溢出事件、触发事件、DOWN 事件、UP 事件作为唤醒信号输出
* 正交解码
* 中断信号产生

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 221 / 302

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 20. 低功耗定时器 (LPTIM) |  |  |  |  | ASR6601 Reference Manual |  |
| LPTIMER 的框图如下： |  |  |  |  |  |  |
|  |  |  | APB Bus |  |  |  |
| **lptimer\_main** |  |  |  |  |  |  |
|  | REG Config | |  | Interrupt |  |  |
|  |  | Gen |  |  |
|  |  |  |  |  |  |
| **lptimer\_aon** |  |  |  |  | lptim\_wkup |  |
|  |  |  | REG Config |  |  |
|  |  |  |  |  |  |
| lptim\_trig0~7 |  |  |  |  |  |  |
| Filter |  |  |  |  |  |  |
| lptim\_in2 |  |  | Operate mode |  |  |  |
| Filter |  |  |  |  |  |
|  |  |  |  |  |  |
| lptim\_in1 |  | Encoder |  |  |  |  |
| Filter |  |  |  |  |  |
|  |  |  |  |  |  |
| rcc |  |  |  |  |  |  |
|  |  | Prescale | Counter | Output | lptim\_out |  |
|  |  |  |  |
|  |  | Stage |  |  |
|  |  | counter |  |  |
|  | lptim\_clk |  |  |  |
|  |  |  |  |  |
| lptim\_inter\_clk |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  | **图 20-1 LPTIMER 框图** | |  |  |  |



* **lptim\_trig0~7：**LPTIMER 的外部触发源
* **lptim\_in2：**LPTIMER 的 IN2 pin 脚
* **lptim\_in1：**LPTIMER 的 IN1 pin 脚
* **lptim\_wkup：**LPTIMER 的唤醒信号
* **lptim\_out：**LPTIMER 的 OUT pin 脚

**20.3** **接口时钟**

LPTIMER 接口时钟源分内部时钟和外部时钟，内部时钟源有 PCLK0、RCO3.6M、XO32K、RCO32K，外部时钟源通过 IN1 的 GPIO 输入。时钟配置和选择可以参考 RCC 章节。

**20.4** **计数时钟选择**

LPTIMER 除了接口时钟有内部和外部之分外，计数时钟也有内部和外部之分，其内部与外部的时钟源与接口时钟的一致。Control计数时钟选择的register bit Bit为register LPTIM\_CFGR 的COUNTMODE，值为 0 表示计数器由内部时钟Control，值为 1 表示计数器由外部时钟Control，如

果 RCC 模块的register RCC\_CR1 的 LPTIM1\_EXT\_CLK\_SEL Bit或 LPTIM\_EXT\_CLK\_SEL Bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 222 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual

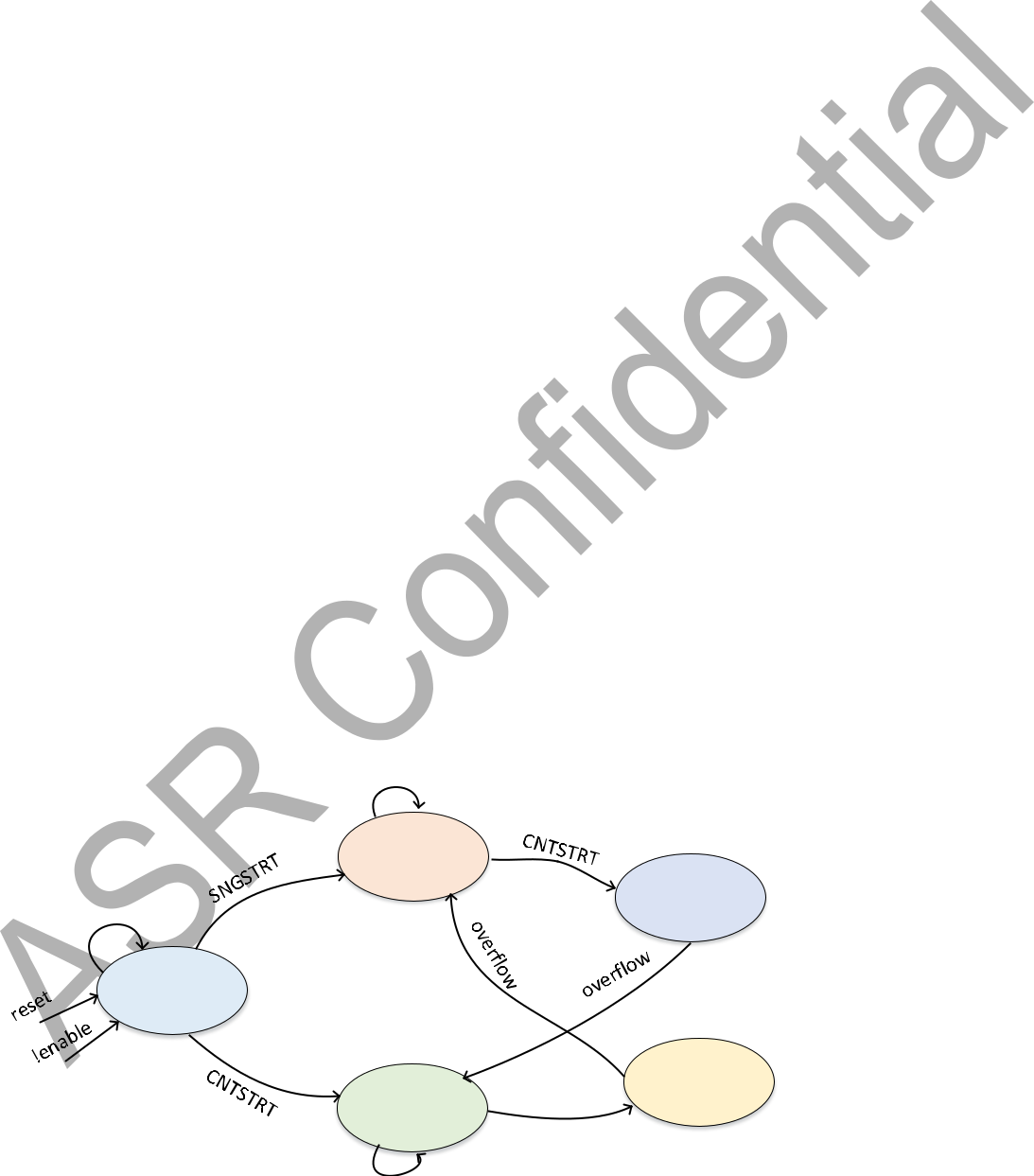


为 0，即表示 LPTIMER0 或 LPTIMER1 的接口时钟为内部时钟，则 COUNTMODE 的值可以为

0 或 1，即计数时钟既可以为内部时钟也可以为外部时钟；如果 LPTIM1\_EXT\_CLK\_SEL Bit或

LPTIM\_EXT\_CLK\_SEL Bit为 1，则 LPTIMER0 或 LPTIMER1 的register LPTIM\_CFGR 的 COUNTMODE Bit只能设置为 0，这时 0 不是表示计数时钟为内部时钟，是表示 COUNTMODE 值需要清零，计数时钟只能为外部时钟。

**20.5** **计数器**



除编码模式外，计数器仅支持向上计数，计数到 ARR 时产生 ARRM 中断，计数器回到 0 重新计数。若使能 timeout 模式，则除了计数器值增加到 ARR 时清零外，触发信号也可以清零计数器重新计数。若使能编码模式，则计数器的计数方向由硬件Control，向上计数到 ARR 时产生 ARRM 事件并清零计数器，向下计数到 0 时则重新加载 ARR 到计数器。

**20.6** **计数模式**

LPTIMER 支持两种计数模式，单次计数和连续计数。单次计数模式下，计数器停止阶段第一个到来的触发信号（硬件或软件）会触发计数器开始计数，计数过程中的触发信号将会被忽略，计数到 ARR 时计数器会停止计数，直到下一次触发信号到来才会再次开始计数，依次类推。连续计数模式下，一旦触发（硬件或软件），计数器会一直计数下去，从 0 到 ARR，然后回到

1. 再次计数，如此循环往复。

两种计数模式可以在任意时刻切换（前提是 enable 置Bit），例如，配置 LPTIMER 为单次计数模式，若置Bitregister LPTIM\_CR 的 CNTSTRT，则计数器计数到 ARR 值将不会停止计数；配

置 LPTIMER 为连续计数模式，若置Bitregister LPTIM\_CR 的 SNGSTRT，则计数器计数到 ARR

时将会停止计数，直到下一次触发信号到来。因此状态图如下：

SNG

WAIT\_CONT

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | SNG：单次计数模式 |  |
| IDLE |  | CONT：连续计数模式 |  |
|  | WAIT\_SNG：等待进入单次计数模式 |  |

 WAIT\_CONT：等待进入连续计数模式

WAIT\_SNG

CONT

SNGSTRT

**图 20-2 计数模式转换图**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 223 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.7** **软件触发和外部触发**

触发 LPTIMER 计数有两种方式，一种是软件触发，另一种是外部触发源触发。通过register LPTIM\_CFGR 的 TRIGEN Bit段进行Control，当值为 0 时为软件触发，非零时为外部触发，当为外部触发时，可以设置外部触发信号上升沿有效、下降沿有效或双沿有效。LPTIMER 有 8 种触发输入源可以选择使用，**LPTIMER0** 的外部触发源如下表：

**表 20-1 LPTIMER0 的外部触发源**

|  |  |  |
| --- | --- | --- |
| TRIGSEL | External Trigger | Comment |
|  |  |  |
| lptim\_ext\_trig0 | lptim\_etr | Lptimer etr pin input |
|  |  |  |
| lptim\_ext\_trig1 | comp0 | Comp0 output |
|  |  |  |
| lptim\_ext\_trig2 | comp1 | Comp1 output |
|  |  |  |
| lptim\_ext\_trig3 | rtc\_cyc\_counter | RTC cyc counter output pulse |
|  |  |  |
| lptim\_ext\_trig4 | rtc\_alarm0 | RTC alarm0 output pulse |
|  |  |  |
| lptim\_ext\_trig5 | rtc\_alarm1 | RTC alarm1 output pulse |
|  |  |  |
| lptim\_ext\_trig6 | gpio | GPIO58 |
|  |  |  |
| lptim\_ext\_trig7 | gpio | GPIO59 |
|  |  |  |

**LPTIMER1** 的外部触发源如下表：

**表 20-2 LPTIMER1 的外部触发源**

|  |  |  |
| --- | --- | --- |
| TRIGSEL | External Trigger | Comment |
|  |  |  |
| lptim\_ext\_trig0 | lptim\_etr | Lptimer etr pin input |
|  |  |  |
| lptim\_ext\_trig1 | comp0 | Comp0 output |
|  |  |  |
| lptim\_ext\_trig2 | comp1 | Comp1 output |
|  |  |  |
| lptim\_ext\_trig3 | rtc\_cyc\_counter | RTC cyc counter output pulse |
|  |  |  |
| lptim\_ext\_trig4 | rtc\_alarm0 | RTC alarm0 output pulse |
|  |  |  |
| lptim\_ext\_trig5 | rtc\_alarm1 | RTC alarm1 output pulse |
|  |  |  |
| lptim\_ext\_trig6 | gpio | GPIO60 |
|  |  |  |
| lptim\_ext\_trig7 | gpio | GPIO61 |
|  |  |  |

**20.8** **分频计数器**

计数使能信号可以被软件配置分频，支持 1、2、4、8、16、32、64、128 分频，通过配置register LPTIM\_CFGR 的 PRESC Bit段进行分频配置。该分频通过计数器实现，即上一级电路产生的计数使能信号将作为该分频计数器的计数使能，当分频计数器计数到预先加载的分频值后，输出一个脉冲，作为下一级计数器的计数使能，然后分频计数器归零重新计数，依次类推。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 224 / 302

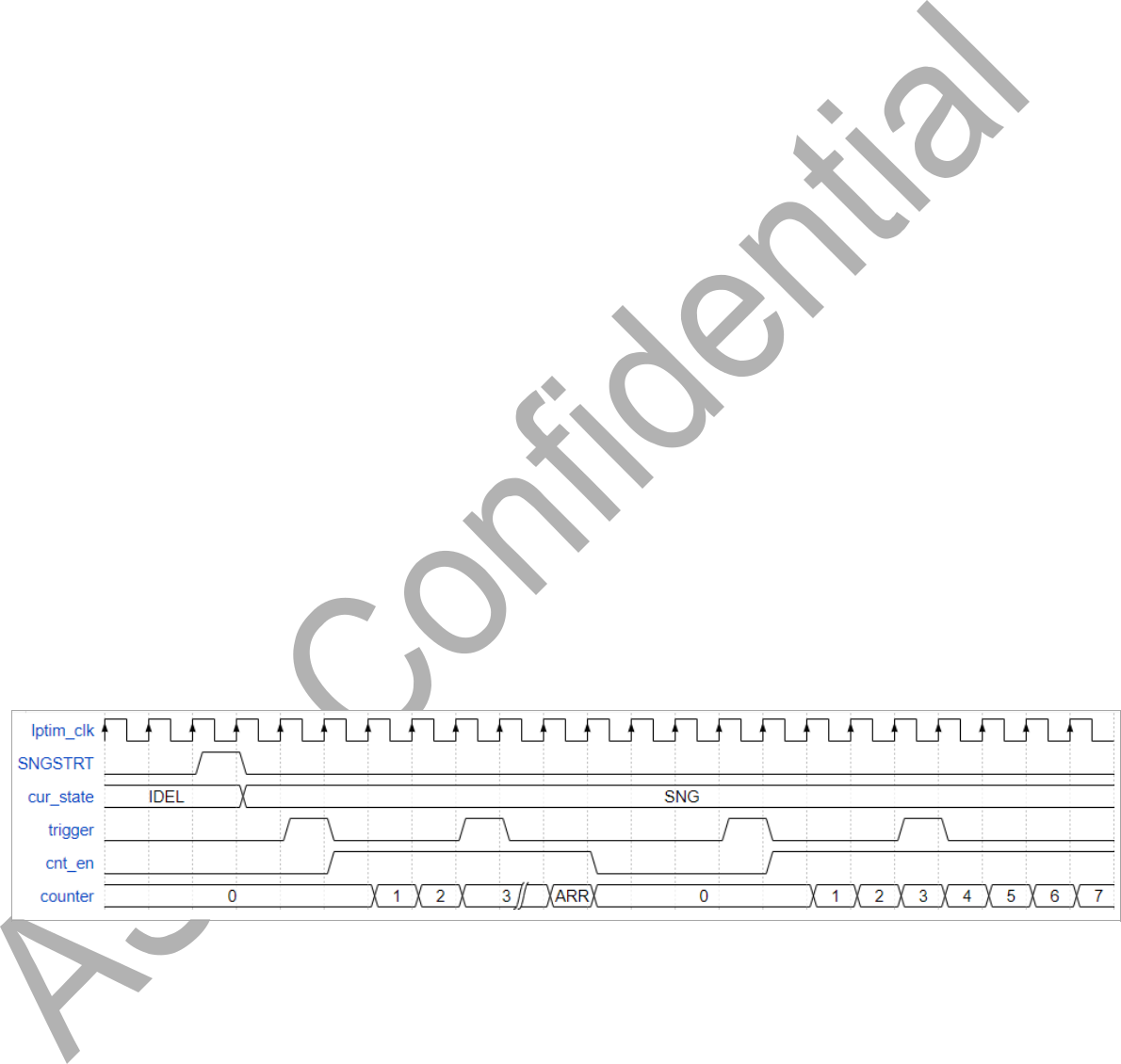
 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.9** **PWM**

LPTIMER 可以产生 PWM 波形，波形的极性可以通过register LPTIM\_CFGR 的 WAVPOL 比特Control，占空比可以通过register LPTIM\_CMP 和 LPTIM\_ARR 的值进行Control。以软件触发和内部时钟计数为例，配置 PWM 的流程如下：

1. 配置register LPTIM\_CFGR 的 COUNTMODE 为 0，即设置内部时钟计数。
2. register LPTIM\_CFGR 的 PRESC 为默认值，即不设置计数器分频。
3. 配置register LPTIM\_CFGR 的 PRELOAD 的值为 0，即不使能register LPTIM\_CMP 和 LPTIM\_ARR 的缓存功能。如果需要也可以使能。
4. 配置register LPTIM\_CFGR 的 WAVPOL 为 0，即波形输出不反相。
5. 配置register LPTIM\_CFGR 的 WAVE 为 0。
6. register LPTIM\_CFGR 的 TRIGEN Bit段的值为 0，即软件触发。
7. 使能 LPTIMER，就是置Bitregister LPTIM\_CR 的 ENABLE。
8. 设置register LPTIM\_ARR 和 LPTIM\_CMP 的值。
9. 使能连续计数功能，通过置Bitregister LPTIM\_CR 的 CNTSTRT 实现。



**20.10 支持单脉冲、Set-once、Timeout 模式输出**

单脉冲模式下，计数器未计数时，检测到第一个触发信号，则计数使能置Bit，若计数到 ARR 或 enable 清零或模块复Bit，则计数使能清零，计数过程中的触发信号将会被忽略，如下图：

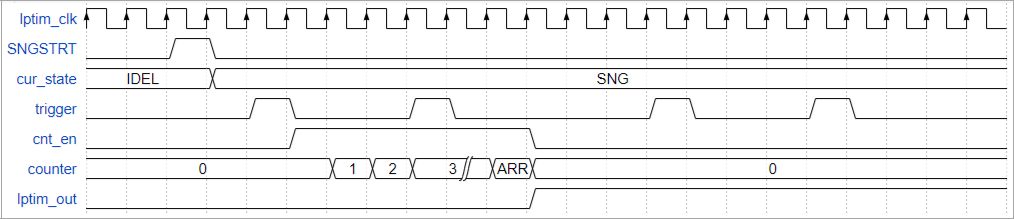
**图 20-3 单脉冲计数**

单脉冲模式通过配置register LPTIM\_CFGR 的 WAVE 为 0 以及register LPTIM\_CR 的 SNGSTRT 为1实现。

Set-once 模式下，检测到第一个触发信号后，计数使能置Bit，若计数到 ARR，则计数使能清零，计数过程中的触发信号将会被屏蔽，屏蔽信号通过 mask 实现，即检测到第一个触发信号后，mask 有效，屏蔽之后的所有触发信号，如下图：

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 225 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**图 20-4 Set-once 计数**



Set-once 模式通过配置register LPTIM\_CFGR 的 WAVE 为 1 以及register LPTIM\_CR 的 SNGSTRT 为 1 实现。

Timeout 模式与连续计数模式类似，一旦被触发，计数使能一直有效，区别是，计数过程中的触发信号会让计数器从 0 开始重新计数，且输出波形也会被清除，如下图：

**图 20-5 Timeout 计数**

Timeout 模式通过配置register LPTIM\_CFGR 的 WAVE 为 0 以及register LPTIM\_CR 的 CNTSTRT 为1实现。

**20.11 正交编码**

LPTIMER 支持正交编码计数功能，可以通过 IN1 和 IN2 输入正交信号，进行计数和方向检测。编码模式共有三种，仅在上升沿计数、下降沿计数以及双边沿计数，编码模式的使能通过寄存

器 LPTIM\_CFGR 的 ENC Control，编码模式的边沿Control通过register LPTIM\_CFGR 的 CKPOL 来

实现。在此功能下，两个Channel输入可以配置number滤波功能，滤波使能通过register

LPTIM\_CFGR 的 CKFLT\_ENABLE Control，滤波值通过register LPTIM\_CFGR 的 CKFLT 进行配置。通过两个Channel信号的组合，可以产生计数使能和方向Control信号，Control计数器加减。具体的组合方式见下表：

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 226 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**表 20-3 正交编码Channel信号**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 编码模式 |  | |  | | IN1/IN2 电平 | |  |  | |  | | IN1 | | | | | |  |  | |  | | IN2 | | | | | |  |  |
|  |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | |  |  | | 上升沿 | |  | |  | | 下降沿 | |  |  | | 上升沿 | |  | |  | | 下降沿 | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  |  | |  | |  | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |
|  | 上升沿计数 |  | |  | | 高电平 | | |  | | 向下计数 | |  | | - | | | |  |  | | 向上计数 | |  | | - | | | |  |  |
|  |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | | 低电平 | | |  | | 向上计数 | |  | | - | | | |  |  | | 向下计数 | |  | | - | | | |  |  |
|  |  |  | |  | |  | |  | |  |  | |  | |  |  |
|  |  | |  | |  | |  | | |  | | | |  | |  | |  | | |  | | | |  | |  | |  | |  |
|  | 下降沿计数 | |  | |  | | 高电平 | | | - | | | |  | |  | | 向上计数 | | | - | | | |  | |  | | 向下计数 | |  |
|  |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | | 低电平 | | | - | | | |  | |  | | 向下计数 | | | - | | | |  | |  | | 向上计数 | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  | | |  | |  | |  | |  | |  | | |  | |  | |  | |  | |  | |  |
|  | 双沿计数 | |  | |  | | 高电平 | | |  | | 向下计数 | |  | |  | | 向上计数 | | |  | | 向上计数 | |  | |  | | 向下计数 | |  |
|  |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |
|  |  | |  | | 低电平 | | |  | | 向上计数 | |  | |  | | 向下计数 | | |  | | 向下计数 | |  | |  | | 向上计数 | |  |
|  |  | |  | |  | |  | |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  |

IN1 和 IN2 输入信号频率必须小于 LPTIMER 时钟频率的 1/4。

**20.12 支持 DEBUG 模式Control**

LPTIMER 可由软件配置 debug 下是否停止计数，通过 SYSCFG 的 CR2 register来实现 LPTIMER0 和 LPTIMER1 的 DEBUG 模式计数Control，如果使能该功能，则进入系统 debug 模式时，LPTIMER 停止计数（计数器不会被初始化）。

**20.13 唤醒信号**

LPTIMER 有 6 种唤醒信号输出，分别是，

* **Channel输出信号**，此时Channel输出将作为唤醒信号输出。
* **匹配事件（CMPM）**，此时计数器与register LPTIM\_CMP 的匹配事件将作为唤醒信号输出。
* **溢出事件（ARRM）**，此时 overflow 事件将作为唤醒信号输出。
* **触发事件（EXTTRIG）**，此时有效的触发事件将作为唤醒信号输出。
* **DOWN 事件**，若计数方向由向上计数变为向下计数，DOWN 事件会置Bit，此时 DOWN 事件会作为唤醒信号输出。
* **UP 事件**，若计数方向由向下计数变为向上计数，UP 事件会置Bit，此时 UP 事件会作为唤醒信号输出。

以上唤醒信号除了Channel输出信号，均为 LPTIM\_ISR register的标志Bit，且有独立的使能Bit，使能Bit分别为register LPTIM\_CFGR 的 *OUT\_WKUP\_EN*、*CMPM\_WKUP\_EN*、*ARRM\_WKUP\_ EN*、*EXTTRIG\_WKUP\_EN*、*DOWN\_WKUP\_EN*、*UP\_WKUP\_EN* 比特Bit，唤醒信号与相应使能Bit是 AND 的关系，各Wake-up source之间是 OR 的关系。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 227 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.14 中断信号**

LPTIMER 的中断信号如下：

**表 20-4 LPTIMER 中断信号**

|  |  |
| --- | --- |
| 中断名称 | Description |
|  |  |
| DOWN 中断 | 编码模式下，表示计数方向由向上变为向下 |
|  |  |
| UP 中断 | 编码模式下，表示计数方向由向下变为向上 |
|  |  |
| ARROK 中断 | 表示 ARR 值加载完成 |
|  |  |
| CMPOK 中断 | 表示 CMP 值加载完成 |
|  |  |
| EXTTRIG 中断 | 表示检测到有效触发边沿 |
|  |  |
| ARRM 中断 | 表示计数器值到达 ARR |
|  |  |
| CMPM 中断 | 表示计数器值与 CMP 匹配 |
|  |  |

上述中断的使能通过配置register LPTIM\_IER 实现，所有中断的中断状态都可以通过register LPTIM\_SR1 获得。

**20.15 LPTIMER 相关registerDescription**

LPTIMER0 Base address：0x4000D000

LPTIMER1 Base address：0x4000D800

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  | **表 20-5 LPTIMER register列表** |  |
|  |  |  |  |  |  |  |  |
|  | register |  |  | Offset |  | Description |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_ISR |  |  | 0x00 |  | 状态register |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_ICR |  |  | 0x04 |  | 状态清除register |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_IER |  |  | 0x08 |  | 中断使能register |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_CFGR |  |  | 0x0c |  | 配置register，该register需在 LPTIM\_CR register的 ENABLE 清零时修 |  |
|  |  |  |  | 改 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_CR |  |  | 0x10 |  | Controlregister |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_CMP |  |  | 0x14 |  | 比较register |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_ARR |  |  | 0x18 |  | 重装载register |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_CNT |  |  | 0x1c |  | 计数器register |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_CSR |  |  | 0x20 |  | 清除状态标志register，表示使用register LPTIM\_ICR 清除 LPTIM\_ISR |  |
|  |  |  |  | 某些状态Bit时的是否清除完成标志 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  | LPTIM\_SR1 |  |  | 0x24 |  | 中断标志register，中断标志Bit会被register LPTIM\_ICR 立即清零 |  |
|  |  |  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 228 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.15.1 LPTIM\_ISR**

Offset：0x00

Reset value：0x00000180

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **31-9** | **8** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | CROK | CFGROK | DOWN | UP | ARROK | CMPOK | EXTTRIG | ARRM | CMPM |
|  |  |  |  |  |  |  |  |  |  |
| r-0h | r-1h | r-1h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 31-9 RESERVED：**reserved.

**Bit 8 CROK：**上一次对register LPTIM\_CR 的写操作状态。该Bit由硬件Control，写操作前需要检查上一次写操作是否完成。

* + 0：正在进行写操作
  + 1：上一次对 LPTIM\_CR 的写操作已经完成

**Bit 7 CFGROK：**上一次对 LPTIM\_CFGR 的写操作状态。该Bit由硬件Control，写操作前需要检查上一次写操作是否完成。

* + 0：正在进行写操作
  + 1：上一次对 LPTIM\_CFGR 的写操作已经完成

**Bit 6 DOWN：**编码模式下计数方向由向上变为向下。

* + 0：计数方向未发生由上向下的变化
  + 1：计数方向由向上变为向下

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

**Bit 5 UP：**编码模式下计数方向由向下变为向上。

* + 0：计数方向未发生由下向上的变化
  + 1：计数方向由向下变为向上

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

**Bit 4 ARROK：**ARR 值加载状态。

* + 0：未加载完成
  + 1：加载完成

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

**Bit 3 CMPOK：**CMP 值加载状态。

* + 0：未加载完成
  + 1：加载完成

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

**Bit 2 EXTTRIG：**是否检测到有效触发边沿。

* + 0：未检测到有效触发边沿
  + 1：检测到有效触发边沿

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 229 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**Bit 1 ARRM：**计数器值是否到达 ARR 值。

* + 0：计数器值未到达 ARR
  + 1：计数器值到达 ARR

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

**Bit 0 CMPM：**计数器值与 CMP 值匹配状态。

* + 0：计数器值与 CMP 值未匹配
  + 1：计数器值与 CMP 值匹配

可以通过写 LPTIM\_ICR register清零，但是需要时间同步清零脉冲，因此无法立即清除。

**20.15.2** **LPTIM\_ICR**

Offset：0x04

Reset value：0x00000000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | DOWNCF | UPCF | ARROKCF | CMPOKCF | EXTTRIGCF | ARRMCF | CMPMCF |
|  |  |  |  |  |  |  |  |
| w-0h | w-0h | w-0h | w-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-7 RESERVED：**reserved.

**Bit 6 DOWNCF：**清除 DOWN 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

**Bit 5 UPCF：**清除 UP 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

**Bit 4 ARROKCF：**清除 ARROK 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

**Bit 3 CMPOKCF：**清除 CMPOK 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

**Bit 2 EXTTRIGCF：**清除 EXTTRIG 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

**Bit 1 ARRMCF：**清除 ARRM 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

**Bit 0 CMPMCF：**清除 CMPM 标志Bit。软件写 1 清除标记Bit，该Bit由硬件清零。

* + 0：无操作
  + 1：清除操作

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 230 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.15.3 LPTIM\_IER**

Offset：0x08

Reset value：0x00000000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | DOWNIE | UPIE | ARROKIE | CMPOKIE | EXTTRIGIE | ARRMIE | CMPMIE |
|  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-7 RESERVED：**reserved.

**Bit 6 DOWNIE：**DOWN 中断使能。

* + 0：禁用中断
  + 1：使能中断

**Bit 5 UPIE：**UP 中断使能。

* + 0：禁用中断
  + 1：使能中断

**Bit 4 ARROKIE：**ARROK 中断使能。

* + 0：禁用中断
  + 1：使能中断

**Bit 3 CMPOKIE：**CMPOK 中断使能。

* + 0：禁用中断
  + 1：使能中断

**Bit 2 EXTTRIGIE：**EXTTRIG 中断使能。

* + 0：禁用中断
  + 1：使能中断

**Bit 1 ARRMIE：**ARRM 中断使能。

* + 0：禁用中断
  + 1：使能中断

**Bit 0 CMPMIE：**CMPM 中断使能。

* + 0：禁用中断
  + 1：使能中断

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 231 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.15.4 LPTIM\_CFGR**

Offset：0x0c

Reset value：0x00000000

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31** |  | | **30** | |  | | **29** |  | | **28** |  | | **27** |  | | **26** |  |
|  | RESERVED | |  | | OUT\_WKUP\_ | | DOWN\_WKUP | | | UP\_WKUP\_E | | | EXTTRIG\_WK | | | ARRM\_WKUP | |  |
|  |  | | EN | |  | | \_EN |  | | N |  | | UP\_EN |  | | \_EN |  |
|  |  |  | |  | |  | |  | |  | |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  | rw-0h |  | | rw-0h | |  | | rw-0h |  | | rw-0h |  | | rw-0h |  | | rw-0h |  |
|  | | |  | | | |  | | |  | | |  | | |  | |  |
|  | **25** |  | | **24** | |  | | **23** |  | | **22** |  | | **21** |  | | **20** |  |
|  | CMPM\_WKUP |  | | ENC | |  | | COUNTMODE |  | | PRELOAD |  | | WAVPOL |  | | WAVE |  |
|  | \_EN |  | |  | |  | |  | |  | |  |
|  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  | rw-0h |  | | rw-0h | |  | | rw-0h |  | | rw-0h |  | | rw-0h |  | | rw-0h |  |
|  | | |  | | | |  | | |  | | |  | | |  | |  |
|  | **19** |  | | **18-17** | |  | | **16** |  | | **15-13** |  | | **12** |  | | **11-9** |  |
|  | TIMEOUT |  | | TRIGEN | |  | | RESERVED |  | | TRIGSEL |  | | RESERVED |  | | PRESC |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  | rw-0h |  | | rw-0h | |  | | rw-0h |  | | rw-0h |  | | rw-0h |  | | rw-0h |  |
|  | | |  | | | |  | | |  | | |  | | |  | |  |
|  | **8** |  | | **7-6** | |  | | **5** |  | | **4-3** |  | | **2-1** |  | | **0** |  |
|  | TRGLT\_ENAB |  | | TRGFLT | |  | | CKFLT\_ENAB |  | | CKFLT |  | | CKPOL |  | | RESERVED |  |
|  | LE |  | |  | | LE |  | |  | |  | |  |
|  |  | |  | |  | |  | |  |  | |  |  | |  |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |
|  | rw-0h |  | | rw-0h | |  | | rw-0h |  | | rw-0h |  | | rw-0h |  | | rw-0h |  |
|  |  |  | |  | |  | |  |  | |  |  | |  |  | |  |  |

**Bit 31 RESERVED：**reserved.

**Bit 30 OUT\_WKUP\_EN：**LPTIM\_OUT 唤醒使能。

* + 0：LPTIM\_OUT 不能触发唤醒信号
  + 1：LPTIM\_OUT 可以触发唤醒信号

**Bit 29 DOWN\_WKUP\_EN：**DOWN 事件唤醒使能。

* + 0：DOWN 事件不能触发唤醒信号
  + 1：DOWN 事件可以触发唤醒信号

**Bit 28 UP\_WKUP\_EN：**UP 事件唤醒使能。

* + 0：UP 事件不能触发唤醒信号
  + 1：UP 事件可以触发唤醒信号

**Bit 27 EXTTRIG\_WKUP\_EN：**外部触发事件唤醒使能。

* + 0：外部触发事件不能触发唤醒信号
  + 1：外部触发事件可以触发唤醒信号

**Bit 26 ARRM\_WKUP\_EN：**计数溢出事件唤醒使能（ENC 模式除外）。

* + 0：计数溢出不能触发唤醒信号
  + 1：计数溢出事件触发唤醒信号

**Bit 25 CMPM\_WKUP\_EN：**计数匹配事件唤醒使能。

* + 0：计数匹配不能触发唤醒信号
  + 1：计数匹配事件触发唤醒信号

**Bit 24 ENC：**编码模式使能。

* + 0：禁用编码模式

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 232 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



* + 1：使能编码模式

**Bit 23 COUNTMODE：**计数模式选择。

* + 0：计数器由内部时钟Control
  + 1：计数器由外部时钟Control

**Bit 22 PRELOAD：**register缓存使能。

* + 0：ARR 和 CMP 直接由软件操作
  + 1：ARR 和 CMP 由更新事件更新

**Bit 21 WAVPOL：**输出波形极性。

* + 0：输出不反相
  + 1：输出反相

**Bit 20 WAVE：**波形形状。

* + 0：禁用 Set-once，选择 PWM 或单脉冲模式
  + 1：使能 Set-once 模式

**Bit 19 TIMEOUT：**Timeout 模式使能。

* + 0：禁用 Timeout 模式
  + 1：使能 Timeout 模式

**Bit 18-17 TRIGEN：**外部触发使能及极性选择。

* + 00：软件触发
  + 01：外部触发上升沿有效
  + 10：外部触发下降沿有效
  + 11：外部触发双沿有效

**Bit 16 RESERVED：**reserved.

**Bit 15-13 TRIGSEL：**外部触发源选择。

* + 000：lptim\_ext\_trig0
  + 001：lptim\_ext\_trig1
  + 010：lptim\_ext\_trig2
  + 011：lptim\_ext\_trig3
  + 100：lptim\_ext\_trig4
  + 101：lptim\_ext\_trig5
  + 110：lptim\_ext\_trig6
  + 111：lptim\_ext\_trig7

**Bit 12 RESERVED：**reserved.

**Bit 11-9 PRESC：**时钟分频。

* + 000：/1
  + 001：/2
  + 010：/4
  + 011：/8
  + 100：/16
  + 101：/32
  + 110：/64
  + 111：/128

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 233 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**Bit 8 TRGLT\_ENABLE：**触发输入滤波器使能，必须先配置滤波器长度，再使能。

* + 0：禁用触发输入滤波器
  + 1：使能触发输入滤波器

**Bit 7-6 TRGFLT：**触发输入滤波器配置。

* + 00：无操作
  + 01：使能滤波器，滤波器长度 N=2
  + 10：使能滤波器，滤波器长度 N=4
  + 11：使能滤波器，滤波器长度 N=8

**Bit 5 CKFLT\_ENABLE：**外部时钟滤波器使能，必须先配置滤波器长度，再使能。

* + 0：禁用外部时钟滤波器
  + 1：使能外部时钟滤波器

**Bit 4-3 CKFLT：**外部时钟滤波器配置。

* + 00：无操作
  + 01：使能滤波器，滤波器长度 N=2
  + 10：使能滤波器，滤波器长度 N=4
  + 11：使能滤波器，滤波器长度 N=8

**Bit 2-1 CKPOL：**Encoder 模式Control。

* + 00：选择 Encoder 模式 1，上升沿计数
  + 01：选择 Encoder 模式 2，下降沿计数
  + 10：选择 Encoder 模式 3，双沿计数
  + 11：保留

**Bit 0 RESERVED：**reserved.

**20.15.5 LPTIM\_CR**

Offset：0x10

Reset value：0x00000000

|  |  |  |  |
| --- | --- | --- | --- |
| **31-3** | **2** | **1** | **0** |
| RESERVED | CNTSTRT | SNGSTRT | ENABLE |
|  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h |

**Bit 31-7 RESERVED：**reserved.

**Bit 2 CNTSTRT：**连续计数模式使能。

* + 0：不使能
  + 1：使能连续计数模式，写 1 开始连续计数模式，若在连续计数模式过程中置Bit SNGSTRT，则在下一次计数到 ARR 时停止计数（切换到单次计数模式）。该比特Bit需在 ENABLE 置Bit后修改。

**Bit 1 SNGSTRT：**单次计数模式使能。

* + 0：不使能
  + 1：使能单次计数模式，写 1 开始单次计数模式，若在单次计数模式过程中置Bit CNTSTRT，则在下一次计数到 ARR 时继续计数（切换到连续计数模式）。该比特Bit需在 ENABLE 置Bit后修改。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 234 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**Bit 0 ENABLE：**LPTIMER 使能。

 0：禁用 LPTIMER

 1：使能 LPTIMER

**20.15.6** **LPTIM\_CMP**

Offset：0x14

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | CMP |
|  |  |
| rw-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**reserved.

**Bit 15-0 CMP：**比较值，需在register LPTIM\_CR 的 ENABLE 置Bit后才能修改。

**20.15.7 LPTIM\_ARR**

Offset：0x18

Reset value：0x00000001

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | ARR |
|  |  |
| rw-0h | rw-0h |
|  |  |

**Bit 31-16 RESERVED：**reserved.

**Bit 15-0 ARR：**重装载值，需在register LPTIM\_CR 的 ENABLE 置Bit后才能修改。

**20.15.8** **LPTIM\_CNT**

Offset：0x1c

Reset value：0x00000000

|  |  |
| --- | --- |
| **31-16** | **15-0** |
| RESERVED | CNT |
|  |  |
| r-0h | r-0h |
|  |  |

**Bit 31-16 RESERVED：**reserved.

**Bit 15-0 CNT：**计数结果，读该值时，连续两次读到的结果一致才算有效。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 235 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.15.9** **LPTIM\_CSR**

Offset：0x20

Reset value：0x0000001f

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **31-5** |  | **4** |  | **3** |  | **2** |  | **1** |  | **0** |  |
|  | RESERVED |  | DOWN\_CLR\_DONE |  | UP\_CLR\_DONE |  | EXTTRIG\_CLR |  | ARRM\_CLR |  | CMPM\_CLR |  |
|  |  |  |  | \_DONE |  | \_DONE |  | \_DONE |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | r-0h |  | r-0h |  | r-0h |  | r-0h |  | r-0h |  | r-0h |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |

**Bit 31-5 RESERVED：**reserved.

**Bit 4 DOWN\_CLR\_DONE：**DOWN 清除完成。

* + 0：正在清除 DOWN 标志Bit
  + 1：清除成功

**Bit 3 UP\_CLR\_DONE：**UP 清除完成。

* + 0：正在清除 UP 标志Bit
  + 1：清除成功

**Bit 2 EXTTRIG\_CLR\_DONE：**EXTTRIG 清除完成。

* + 0：正在清除 EXTTRIG 标志Bit
  + 1：清除成功

**Bit 1 ARRM\_CLR\_DONE：**ARRM 清除完成。

* + 0：正在清除 ARRM 标志Bit
  + 1：清除成功

**Bit 0 CMPM \_CLR\_DONE：**CMPM 清除完成。

* + 0：正在清除 CMPM 标志Bit
  + 1：清除成功

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 236 / 302

 20. 低功耗定时器 (LPTIM) ASR6601 Reference Manual



**20.15.10 LPTIM\_SR1**

Offset：0x24

Reset value：0x00000000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **31-7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | DOWN | UP | ARROK | CMPOK | EXTTRIG | ARRM | CMPM |
|  |  |  |  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |  |  |  |

**Bit 31-7 RESERVED：**reserved.

**Bit 6 DOWN：**编码模式下计数方向由向上变为向下。

* + 0：计数方向未发生由上向下的变化
  + 1：计数方向由向上变为向下

**Bit 5 UP：**编码模式下计数方向由向下变为向上。

* + 0：计数方向未发生由下向上的变化
  + 1：计数方向由向下变为向上

**Bit 4 ARROK：**ARR 值加载状态。

* + 0：未加载完成
  + 1：加载完成

**Bit 3 CMPOK：**CMP 值加载状态。

* + 0：未加载完成
  + 1：加载完成

**Bit 2 EXTTRIG：**是否检测到有效触发边沿。

* + 0：未检测到有效触发边沿
  + 1：检测到有效触发边沿

**Bit 1 ARRM：**计数器值是否到达 ARR 值。

* + 0：计数器值未到达 ARR
  + 1：计数器值到达 ARR

**Bit 0 CMPM：**计数器值与 CMP 值匹配状态。

* + 0：计数器值与 CMP 值未匹配
  + 1：计数器值与 CMP 值匹配

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 237 / 302

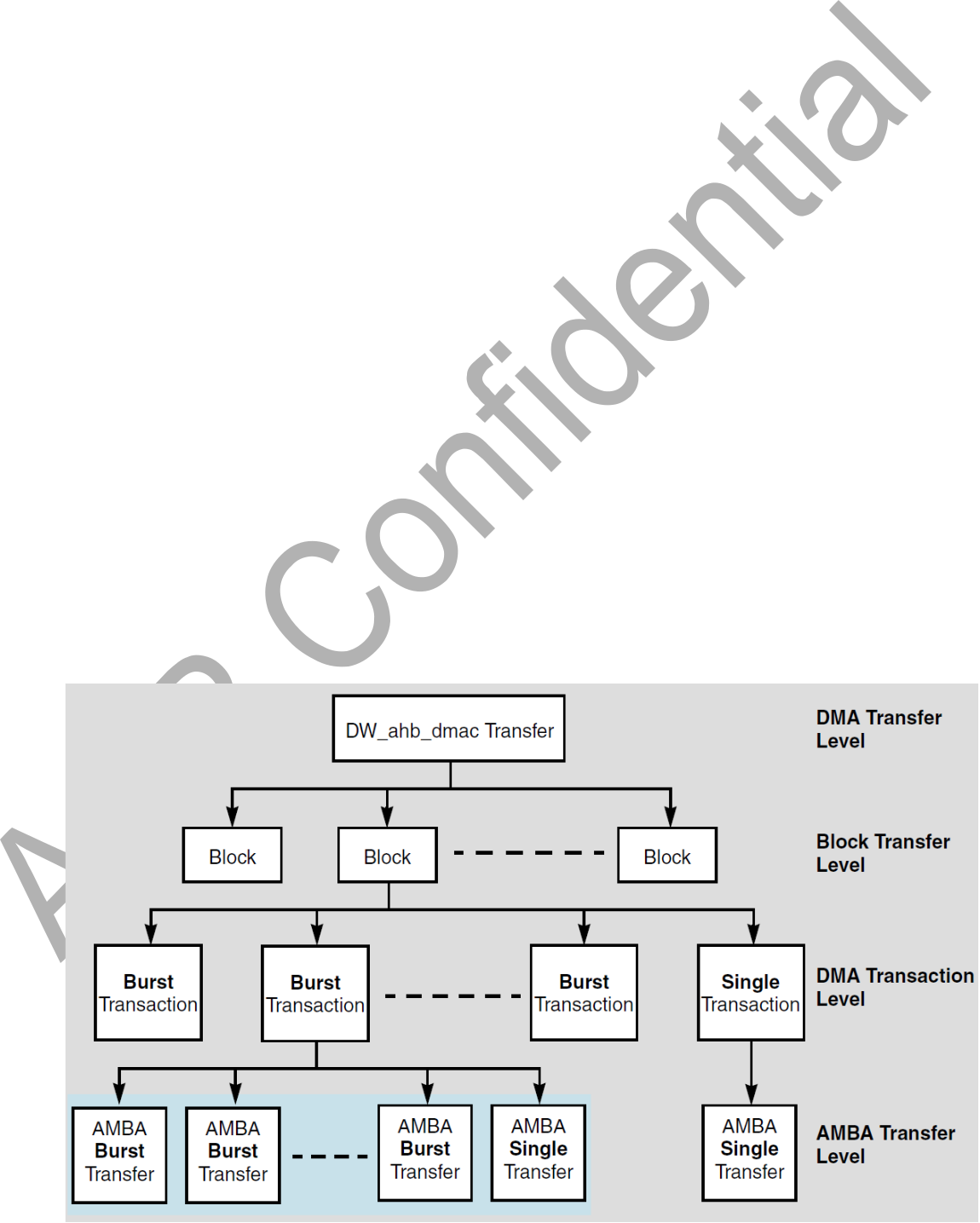
 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.** **直接存储器accessControl器 (DMA)**

**21.1** **简介**

DMA 支持外设到外设，外设到 memory，memory 到外设，memory 到 memory 这四种数据搬移方式，支持数据Bit宽为 8 Bit、16 Bit或 32 Bit，并支持数据的 Auto-reloading 以及数据的链表（LLI）。共有两个 DMA，分别为 DMA0 和 DMA1，每个 DMA 有 4 个 channel。两个 DMA 相互独立，可以同时工作，每个 DMA 中的 4 个 channel 也是相互独立的，可以同时运行。



**21.2** **主要特性**

* 传输数据长度的配置
* 支持数据搬移方式的配置
* 支持 Auto-reloading
* 支持 LLI

**21.3** **配置传输数据长度**

DMA 可以传输多个 block 的数据，传输每个 block 的数据时先以 burst 方式传送，后面有不够 burst 的数据长度的数据时再以 single 方式发送。外设的数据传输如下图：

**图 21-1 数据传输**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 238 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



DMA 的源和目的数据Bit宽通过 [*DMA\_CTLx*](#page264) register的 *SRC\_TR\_WIDTH* 和 *DST\_TR\_WIDTH* Bit段进行配置（x 为 0、1、2 或 3），此Bit段值为 000 时表示 8bit，为 001 表示 16bit，为 002

表示 32bit。

DMA 的源和目的 burst 数据长度通过 [*DMA\_CTLx*](#page264) register的 *SRC\_MSIZE* 和 *DEST\_MSIZE* Bit段进行配置，此Bit段值为 000 时表示 1，为 001 表示 4，为 002 表示 8，那么转化为 Bytes 就是 *SRC\_MSIZE (DEST\_MSIZE) \* (数据Bit宽的 bit 数 / 8)*。DMA 的 burst 数据长度 Bytes 需要与外设的输入或输出 FIFO 长度一致，否则可能导致数据丢失。

DMA 的 block size 通过 [*DMA\_CTLx*](#page264) register的 *BLOCK\_TS* Bit进行配置，最多为 12 个 bit，那

么 block size 最大为 4095，转换为 Bytes 时为 *BLOCK\_TS \* (数据Bit宽的 bit 数 / 8)*。

**21.4** **数据搬移方式**

DMA 支持外设到外设，外设到 memory，memory 到外设，memory 到 memory 四种数据搬移方式。外设到外设指数据的源和目的都为外设；外设到 memory 指源为外设，目的为 memory； memory 到外设指源为 memory，目的为外设；memory 到 memory 指源和目的都为 memory。数据搬移方式通过 [*DMA\_CTLx*](#page264) register的 *TT\_FC* Bit段进行配置。除了 memory 到 memory 的搬移方式，其他几种方式都要配置外设与 DMA 之间的握手信号即 handshake。 外设的 handshake 的值如下表所示：

**表 21-1 Handshake 值**

|  |  |  |
| --- | --- | --- |
| Handshake 值 | 外设信号 | 外设信号Description |
|  |  |  |
| 4 | lorac\_tx | LORA 的 tx |
|  |  |  |
| 5 | lorac\_rx | LORA 的 rx |
|  |  |  |
| 6 | dacctrl | DAC |
|  |  |  |
| 7 | adcctrl | ADC |
|  |  |  |
| 10 | i2c2\_tx | I2C2 的 tx |
|  |  |  |
| 11 | i2c2\_rx | I2C2 的 rx |
|  |  |  |
| 12 | i2c1\_tx | I2C1 的 tx |
|  |  |  |
| 13 | i2c1\_rx | I2C1 的 rx |
|  |  |  |
| 14 | i2c0\_tx | I2C0 的 tx |
|  |  |  |
| 15 | i2c0\_rx | I2C0 的 rx |
|  |  |  |
| 16 | ssp2\_tx | SSP2 的 tx |
|  |  |  |
| 17 | ssp2\_rx | SSP2 的 rx |
|  |  |  |
| 18 | ssp1\_tx | SSP1 的 tx |
|  |  |  |
| 19 | ssp1\_rx | SSP1 的 rx |
|  |  |  |
| 20 | ssp0\_tx | SSP0 的 tx |
|  |  |  |
| 21 | ssp0\_rx | SSP0 的 rx |
|  |  |  |
| 22 | lpuart\_tx | LPUAR 的 tx |
|  |  |  |
| 23 | lpuart\_rx | LPUAR 的 rx |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 239 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



|  |  |  |
| --- | --- | --- |
| Handshake 值 | 外设信号 | 外设信号Description |
|  |  |  |
| 24 | uart3\_tx | UART3 的 tx |
|  |  |  |
| 25 | uart3\_rx | UART3 的 rx |
|  |  |  |
| 26 | uart2\_tx | UART2 的 tx |
|  |  |  |
| 27 | uart2\_rx | UART2 的 rx |
|  |  |  |
| 28 | uart1\_tx | UART1 的 tx |
|  |  |  |
| 29 | uart1\_rx | UART1 的 rx |
|  |  |  |
| 30 | uart0\_tx | UART0 的 tx |
|  |  |  |
| 31 | uart0\_rx | UART0 的 rx |
|  |  |  |
| 32 | gptim0\_ch3 | GPTIMER0 的 channel3 |
|  |  |  |
| 33 | gptim0\_ch2 | GPTIMER0 的 channel2 |
|  |  |  |
| 34 | gptim0\_ch1 | GPTIMER0 的 channel1 |
|  |  |  |
| 35 | gptim0\_ch0 | GPTIMER0 的 channel0 |
|  |  |  |
| 36 | gptim0\_trg | GPTIMER0 的 trigger |
|  |  |  |
| 37 | gptim0\_up | GPTIMER0 的 update |
|  |  |  |
| 38 | Gptim1\_ch3 | GPTIMER1 的 channel3 |
|  |  |  |
| 39 | Gptim1\_ch2 | GPTIMER1 的 channel2 |
|  |  |  |
| 40 | Gptim1\_ch1 | GPTIMER1 的 channel1 |
|  |  |  |
| 41 | Gptim1\_ch0 | GPTIMER1 的 channel0 |
|  |  |  |
| 42 | Gptim1\_trg | GPTIMER1 的 trigger |
|  |  |  |
| 43 | Gptim1\_up | GPTIMER1 的 update |
|  |  |  |
| 44 | gptim2\_ch1 | GPTIMER2 的 channel1 |
|  |  |  |
| 45 | gptim2\_ch0 | GPTIMER2 的 channel0 |
|  |  |  |
| 46 | gptim2\_trg | GPTIMER2 的 trigger |
|  |  |  |
| 47 | gptim2\_up | GPTIMER2 的 update |
|  |  |  |
| 48 | Gptim3\_ch1 | GPTIMER3 的 channel1 |
|  |  |  |
| 49 | Gptim3\_ch0 | GPTIMER3 的 channel0 |
|  |  |  |
| 50 | Gptim3\_trg | GPTIMER3 的 trigger |
|  |  |  |
| 51 | Gptim3\_up | GPTIMER3 的 update |
|  |  |  |
| 52 | basictim1\_up | BSTIMER1 的 update |
|  |  |  |
| 53 | basictim0\_up | BSTIMER0 的 update |
|  |  |  |

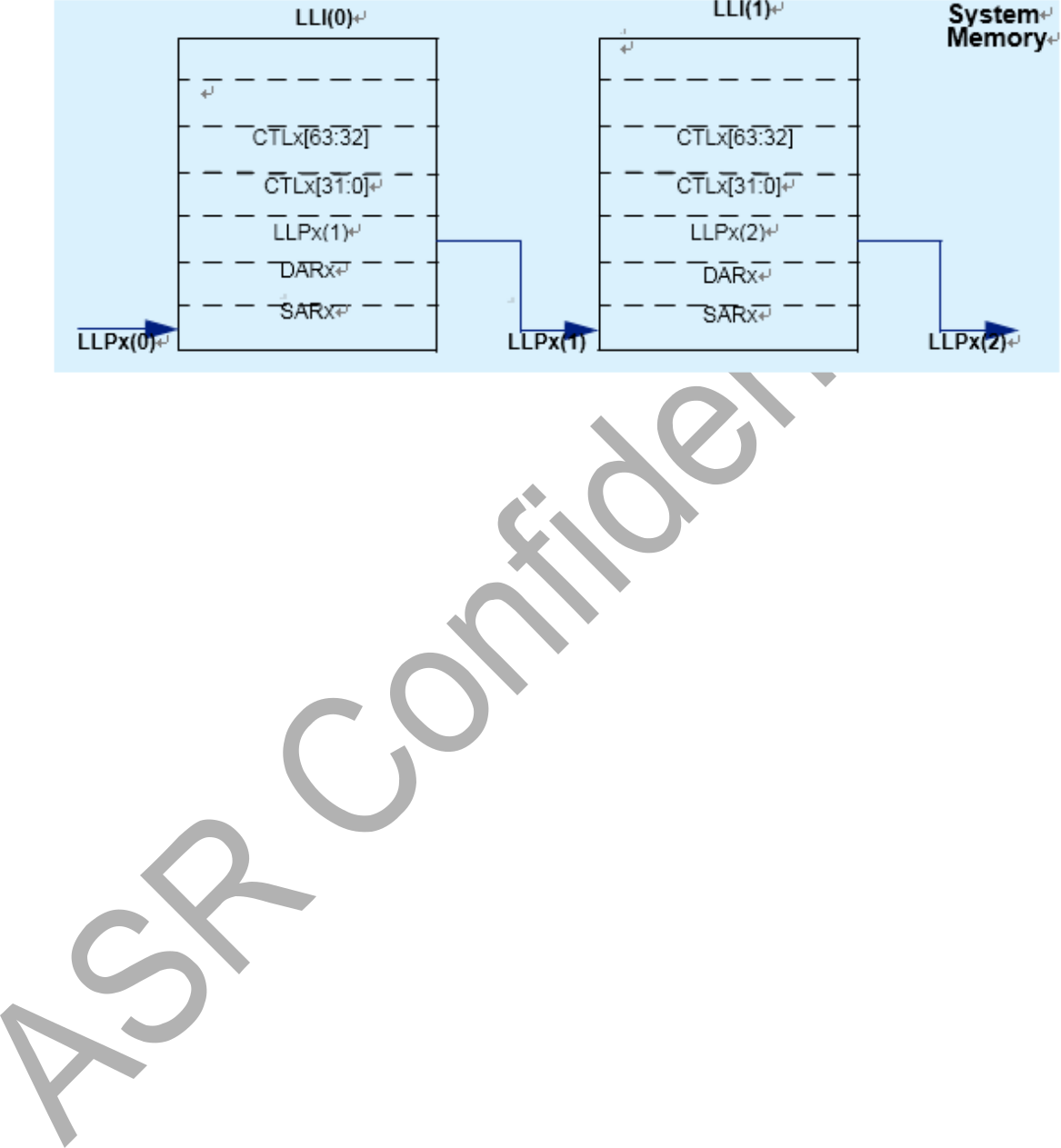
Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 240 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.5 LLI**

当有多块不连续的 memory 的数据需要搬移到外设或 memory 时，可以使用 LLI（即链表方式），如下图所示：



**图 21-2 LLI 链表**

LLI(0)、LLI(1)表示配置 block0、block1 的信息，包括源目的地址、数据Bit宽、burst 长度和 block 长度。LLPx 表示当前 block 指向下个 block 的地址，第一个 block 的 LLP 指向第二个 block 的地址即 LLI(1)的首地址，依次类推，最后一个 block 的 LLP 为 0。每个 block 长度是可以不一样的，并且 memory 的首地址也是不一样的。

**21.6** **Auto-reloading**

Auto-reloading 指 block 中的 memory 的数据被搬完或 memory 都被写入完成，然后重新从此 memory 的Base address开始搬送或写入数据，如此循环往复，直至把所用的 DMA 的 channel 去使能后才会停止。DMA 的源和目的都可以使用 Auto-reloading 功能，只要其为 memory 就可以。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 241 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.7** **中断**

DMA 的中断信号如下：

|  |  |
| --- | --- |
|  | **表 21-2 DMA 中断信号** |
|  |  |
| 中断名称 | Description |
|  |  |
| DMA 块传输完成中断 | DMA 块传输完成后产生的中断 |
|  |  |
| DMA 目的端处理完成中断 | DMA 目的端处理完成后产生的中断 |
|  |  |
| DMA 源端处理完成中断 | DMA 源端处理完成后产生的中断 |
|  |  |
| DMA 传输出错中断 | DMA 传输过程中产生错误时发生的中断 |
|  |  |
| DMA 完全传输完成中断 | DMA 完全传输完成后产生的中断 |
|  |  |

通过配置 [*DMA\_MaskBlock*](#page272)*，*[*DMA\_MaskDstTran*](#page274)*，*[*DMA\_MaskSrcTran*](#page273)*，*[*DMA\_MaskErr*](#page275) 和 [*DMA\_MaskTfr*](#page271) register来使能上述中断。

通过 [*DMA\_StatusBlock*](#page268) ， [*DMA\_StatusDstTran*](#page269) ， [*DMA\_StatusSrcTran*](#page269) ， [*DMA\_StatusErr*](#page270) 和 [*DMA\_StatusTfr*](#page268) register可以获得所有中断的状态。

通过配置 [*DMA\_ClearBlock*](#page276)、[*DMA\_ClearDstTran*](#page277)、[*DMA\_ClearSrcTran*](#page277)、[*DMA\_ClearErr*](#page278) 和 [*DMA\_ClearTfr*](#page276) register来清除中断状态。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 242 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8** **DMA 相关registerDescription**

DMA0 Base address：0x40023000

DMA1 Base address：0x40024000

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | |  | |  | |  | | **表 21-3 DMA register列表** | | |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | register |  | |  | | Offset | |  | |  | Description |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_SARx |  | |  | | 0x00 | |  | |  | 源地址register，x 表示 channel 0、1、2、3，对应的Offset分 |  |
|  |  | |  | |  | |  | 别为 0x00、0x58、0xb0、0x108 |  |
|  |  |  | |  | |  | |  | |  |  |
|  | DMA\_DARx |  | |  | | 0x08 | |  | |  | 目的地址register，x 表示 channel 0、1、2、3，对应的Offset |  |
|  |  | |  | |  | |  | 分别为 0x08、0x60、0xb8、0x110 |  |
|  |  |  | |  | |  | |  | |  |  |
|  | DMA\_LLPx |  | |  | | 0x10 | |  | |  | 链表指针register，x 表示 channel 0、1、2、3，对应的Offset |  |
|  |  | |  | |  | |  | 分别为 0x10、0x68、0xc0、0x118 |  |
|  |  |  | |  | |  | |  | |  |  |
|  | DMA\_CTLx |  | |  | | 0x18 | |  | |  | ChannelControlregister，x 表示 channel 0、1、2、3，对应的Offset |  |
|  |  | |  | |  | |  | 分别为 0x18、0x70、0xc8、0x120 |  |
|  |  |  | |  | |  | |  | |  |  |
|  | DMA\_CFGx |  | |  | | 0x40 | |  | |  | Channel配置register，x 表示 channel 0、1、2、3，对应的Offset |  |
|  |  | |  | |  | |  | 分别为 0x40、0x98、0xf0、0x148 |  |
|  |  |  | |  | |  | |  | |  |  |
|  | DMA\_StatusTfr |  | |  | | 0x2e8 | |  | |  | DMA 完全传输完成中断状态register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_StatusBlock |  | |  | | 0x2f0 | |  | |  | DMA 块传输完成中断状态register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_StatusSrcTran |  | |  | | 0x2f8 | |  | |  | DMA 源端处理完成中断状态register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_StatusDstTran |  | |  | | 0x300 | |  | |  | DMA 目的端处理完成中断状态register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_StatusErr |  | |  | | 0x308 | |  | |  | DMA 传输出错中断状态register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_MaskTfr |  | |  | | 0x310 | |  | |  | DMA 完全传输完成中断使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_MaskBlock |  | |  | | 0x318 | |  | |  | DMA 块传输完成中断使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_MaskSrcTran |  | |  | | 0x320 | |  | |  | DMA 源端处理完成中断使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_MaskDstTran |  | |  | | 0x328 | |  | |  | DMA 目的端处理完成中断使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_MaskErr |  | |  | | 0x330 | |  | |  | DMA 传输出错中断使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_ClearTfr |  | |  | | 0x338 | |  | |  | DMA 完全传输完成中断状态清除register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_ClearBlock |  | |  | | 0x340 | |  | |  | DMA 块传输完成中断状态清除register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_ClearSrcTran |  | |  | | 0x348 | |  | |  | DMA 源端处理完成中断状态清除register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_ClearDstTran |  | |  | | 0x350 | |  | |  | DMA 目的端处理完成中断状态清除register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_ClearErr |  | |  | | 0x358 | |  | |  | DMA 传输出错中断状态清除register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_DmaCfgReg |  | |  | | 0x398 | |  | |  | DMA 使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |
|  | DMA\_ChEnReg |  | |  | | 0x3a0 | |  | |  | DMA channel 使能register |  |
|  |  |  | |  | |  | |  | |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 243 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.1** **DMA\_SARx**

Offset：0x00、0x58、0xb0、0x108

Reset value：0x0000000000000000

|  |  |
| --- | --- |
| **63-32** | **31-0** |
| RESERVED | SAR |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 63-32 RESERVED：**reserved.

**Bit 31-0 SAR：**DMA 源地址register。

**21.8.2** **DMA\_DARx**

Offset：0x08、0x60、0xb8、0x110

Reset value：0x0000000000000000

|  |  |
| --- | --- |
| **63-32** | **31-0** |
| RESERVED | DAR |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 63-32 RESERVED：**reserved.

**Bit 31-0 DAR：**DMA 目的地址register。

**21.8.3** **DMA\_LLPx**

Offset：0x10、0x68、0xc0、0x118

Reset value：0x0000000000000000

|  |  |
| --- | --- |
| **63-32** | **31-0** |
| RESERVED | LOC |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 63-32 RESERVED：**reserved.

**Bit 31-0 LOC：**下一个 LLI 链表的首地址。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 244 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.4** **DMA\_CTLx**

Offset：0x18、0x70、0xc8、0x120

Reset value：0x0000000200308801

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **63-45** |  | **44** | **43-32** | | **31-29** | **28** |
| RESERVED | | DONE | BLOCK\_TS | | RESERVED | LLP\_SRC\_EN |
|  |  |  |  |  |  |  |
| r-0h | | rw-0h |  | rw-2h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |
| **27** |  | **26-25** | **24-23** | | **22-20** | **19** |
| LLP\_DST\_EN | | SMS |  | DMS | TT\_FC | RESERVED |
|  |  |  |  |  |  |  |
| rw-0h | | rw-0h |  | rw-0h | rw-3h | rw-0h |
|  |  |  |  |  |  |  |
| **18** |  | **17** | **16-14** | | **13-11** | **10-9** |
| DST\_SCATTER\_EN | | SRC\_GATHER\_EN | SRC\_MSIZE | | DEST\_MSIZE | SINC |
|  |  |  |  |  |  |  |
| rw-0h | | rw-0h |  | rw-1h | rw-1h | rw-0h |
|  |  |  |  |  |  |  |
| **8-7** |  | **6-4** |  |  | **3-1** | **0** |
| DINC |  | SRC\_TR\_WIDTH |  | DST\_TR\_WIDTH | | INT\_EN |
|  |  |  |  |  |  |  |
| rw-0h |  | rw-0h |  |  | rw-0h | rw-1h |
|  |  |  |  |  |  |  |

**Bit 63-45 RESERVED：**reserved.

**Bit 44 DONE：**LLI 链表中一个 block 是否传输完成。

* + 0：完成
  + 1：未完成

**Bit 43-32 BLOCK\_TS：**block 的长度。

**Bit 31-29 RESERVED：**reserved.

**Bit 28 LLP\_SRC\_EN：**DMA 源使能 LLI 链表。

* + 0：去使能
  + 1：使能

**Bit 27 LLP\_DST\_EN：**DMA 目的使能 LLI 链表。

* + 0：去使能
  + 1：使能

**Bit 26-25 SMS：**DMA 源的 AHB master 选择。

* + 00：AHB master 1
  + 01：AHB master 2
  + 10：AHB master 3
  + 11：AHB master 4

**Bit 24-23 SMS：**DMA 目的的 AHB master 选择。

* + 00：AHB master 1
  + 01：AHB master 2
  + 10：AHB master 3
  + 11：AHB master 4

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 245 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**Bit 22-20 TT\_FC：**DMA 数据搬移方式选择。

* + 000：DMA 流控的 Memory 到 Memory 方式
  + 001：DMA 流控的 Memory 到外设方式
  + 010：DMA 流控的外设到 Memory 方式
  + 011：DMA 流控的外设到外设方式
  + 其它值：无效

**Bit 19 RESERVED：**reserved.

**Bit 18 DST\_SCATTER\_EN：**DMA 目的使能 Scatter。

* + 0：去使能
  + 1：使能

**Bit 17 SRC\_GATHER\_EN：**DMA 源使能 Gather。

* + 0：去使能
  + 1：使能

**Bit 16-14 SRC\_MSIZE：**DMA 源的 Burst 长度配置。

* + 000：1
  + 001：4
  + 010：8
  + 其它值：无效

**Bit 13-11 DEST\_MSIZE：**DMA 目的的 Burst 长度配置。

* + 000：1
  + 001：4
  + 010：8
  + 其它值：无效

**Bit 10-9 SINC：**DMA 源地址Control。

* + 00：递增
  + 01：递减
  + 10：不变化
  + 11：不变化

**Bit 8-7 DINC：**DMA 目的地址Control。

* + 00：递增
  + 01：递减
  + 10：不变化
  + 11：不变化

**Bit 6-4 SRC\_TR\_WIDTH：**DMA 源数据Bit宽配置。

* + 000：8bit
  + 001：16bit
  + 010：32bit
  + 其它值：无效

**Bit 3-1 DST\_TR\_WIDTH：**DMA 目的数据Bit宽配置。

* + 000：8bit
  + 001：16bit

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 246 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



* + 010：32bit
  + 其它值：无效

**Bit 0 INT\_EN：**DMA 中断使能。

* + 0：去使能
  + 1：使能

**21.8.5** **DMA\_CFGx**

Offset：0x40、0x98、0xf0、0x148

Reset value：0x0000000400020e00

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **63-47** | **46-43** | | **42-39** | | **38** | | **37** | |  | | **36-34** |
| RESERVED | DEST\_PER | | SRC\_PER | | SS\_UPD\_EN | | DS\_UPD\_EN | |  | | PROTCTL |
|  |  | |  | |  | |  | |  | |  |
| r-0h | rw-0h | | rw-0h | | rw-0h | | rw-0h | |  | | rw-1h |
|  |  | |  | |  | |  | |  | |  |
| **33** | **32** | | **31** | | **30** | | **29-20** | |  | | **19** |
| FIFO\_MODE | FCMODE | | RELOAD\_DST | | RELOAD\_SRC | | RESERVED | |  | | SRC\_HS\_POL |
|  |  | |  | |  | |  | |  | |  |
| rw-0h | rw-0h | | rw-0h | | rw-0h | | r-0h | |  | | rw-0h |
|  |  | |  | |  | |  | |  | |  |
| **18** | **17** | | **16** | | **15-14** | | **13-12** | |  | | **11** |
| DST\_HS\_POL | LOCK\_B | | LOCK\_CH | | LOCK\_B\_L | | LOCK\_CH\_L | |  | | HS\_SEL\_SRC |
|  |  | |  | |  | |  | |  | |  |
| rw-0h | rw-1h | | rw-0h | | rw-0h | | rw-0h | |  | | rw-1h |
|  |  | |  | |  | |  | |  | |  |
| **10** | | **9** | | **8** | | **7-5** | |  | | **4-0** | |
| HS\_SEL\_DST | | FIFO\_EMPTY | | CH\_SUSP | | CH\_PRIOR | | RESERVED | | | |
|  |  | |  | |  | |  | |  | |  |
| rw-1h | r-1h | | rw-0h | | rw-0h | |  | |  | | r-0h |
|  |  | |  | |  | |  | |  | |  |

**Bit 63-47 RESERVED：**reserved.

**Bit 46-43 DEST\_PER：**DMA 目的握手接口，有效值为 0 至 3。

**Bit 42-39 SRC\_PER：**DMA 源握手接口，有效值为 0 至 3。

**Bit 38 SS\_UPD\_EN：**DMA 源状态更新使能。

* + 0：去使能
  + 1：使能

**Bit 37 DS\_UPD\_EN：**DMA 目的状态更新使能。

* + 0：去使能
  + 1：使能

**Bit 36-34 PROTCTL：**保护Control。

**Bit 33 FIFO\_MODE：**FIFO 模式选择。

* + 0：可以获取全部 FIFO
  + 1：只能获得一半 FIFO

**Bit 32 FCMODE：**源端流控模式选择。

* + 0：源端的请求发出就处理
  + 1：直到目的端有请求发生才会处理源端的请求

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 247 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**Bit 31 RELOAD\_DST：**DMA 目的使能 Auto-reloading。

* + 0：去使能
  + 1：使能

**Bit 30 RELOAD\_SRC：**DMA 源使能 Auto-reloading。

* + 0：去使能
  + 1：使能

**Bit 29-20 RESERVED：**reserved.

**Bit 19 SRC\_HS\_POL：**DMA 源握手接口信息极性。

* + 0：高有效
  + 1：低有效

**Bit 18 SRC\_HS\_POL：**DMA 目的握手接口信息极性。

* + 0：高有效
  + 1：低有效

**Bit 17 LOCK\_B：**总线锁定Control。

* + 0：不锁定
  + 1：锁定

**Bit 16 LOCK\_CH：**DMA channel 锁定Control。

* + 0：不锁定
  + 1：锁定

**Bit 15-14 LOCK\_B\_L：**总线锁定延时。

* + 00：等到 DMA 传输完成
  + 01：等到 block 传输完成
  + 10：等到 DMA 处理完成

**Bit 13-12 LOCK\_CH\_L：**DMA channel 锁定延时。

* + 00：等到 DMA 传输完成
  + 01：等到 block 传输完成
  + 10：等到 DMA 处理完成

**Bit 11 HS\_SEL\_SRC：**DMA 源握手信号选择。

* + 0：Hardware handshake
  + 1：软件握手

**Bit 10 HS\_SEL\_DST：**DMA 目的握手信号选择。

* + 0：Hardware handshake
  + 1：软件握手

**Bit 9 FIFO\_EMPTY：**DMA channel FIFO 是否为空。

* + 0：非空
  + 1：空

**Bit 8 CH\_SUSP：**DMA channel FIFO 是否暂停。

* + 0：非暂停
  + 1：暂停

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 248 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**Bit 7-5 CH\_PRIOR：**DMA channel 优先级配置，有效值为 0 至 3，0 为最低优先级，3 为最高优先级。

**Bit 4-0 RESERVED：**reserved.

**21.8.6** **DMA\_StatusTfr**

Offset：0x2e8

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_STATUS | CHAN2\_STATUS | CHAN1\_STATUS | CHAN0\_STATUS |
|  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_STATUS：**DMA channel3 的传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 2 CHAN2\_STATUS：**DMA channel2 的传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 1 CHAN1\_STATUS：**DMA channel1 的传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 0 CHAN0\_STATUS：**DMA channel0 的传输完成状态。

* + 0：未完成
  + 1：完成

**21.8.7** **DMA\_StatusBlock**

Offset：0x2f0

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_STATUS | CHAN2\_STATUS | CHAN1\_STATUS | CHAN0\_STATUS |
|  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_STATUS：**DMA channel3 的块传输完成状态。

* + 0：未完成
  + 1：完成

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 249 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**Bit 2 CHAN2\_STATUS：**DMA channel2 的块传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 1 CHAN1\_STATUS：**DMA channel1 的块传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 0 CHAN0\_STATUS：**DMA channel0 的块传输完成状态。

* + 0：未完成
  + 1：完成

**21.8.8** **DMA\_StatusSrcTran**

Offset：0x2f8

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_STATUS | CHAN2\_STATUS | CHAN1\_STATUS | CHAN0\_STATUS |
|  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_STATUS：**DMA channel3 的源端传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 2 CHAN2\_STATUS：**DMA channel2 的源端传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 1 CHAN1\_STATUS：**DMA channel1 的源端传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 0 CHAN0\_STATUS：**DMA channel0 的源端传输完成状态。

* + 0：未完成
  + 1：完成

**21.8.9** **DMA\_StatusDstTran**

Offset：0x300

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_STATUS | CHAN2\_STATUS | CHAN1\_STATUS | CHAN0\_STATUS |
|  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 250 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_STATUS：**DMA channel3 的目的端传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 2 CHAN2\_STATUS：**DMA channel2 的目的端传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 1 CHAN1\_STATUS：**DMA channel1 的目的端传输完成状态。

* + 0：未完成
  + 1：完成

**Bit 0 CHAN0\_STATUS：**DMA channel0 的目的端传输完成状态。

* + 0：未完成
  + 1：完成

**21.8.10** **DMA\_StatusErr**

Offset：0x308

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_STATUS | CHAN2\_STATUS | CHAN1\_STATUS | CHAN0\_STATUS |
|  |  |  |  |  |
| r-0h | r-0h | r-0h | r-0h | r-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_STATUS：**DMA channel3 的传输错误状态。

* + 0：未出错
  + 1：出错

**Bit 2 CHAN2\_STATUS：**DMA channel2 的传输错误状态。

* + 0：未出错
  + 1：出错

**Bit 1 CHAN1\_STATUS：**DMA channel1 的传输错误状态。

* + 0：未出错
  + 1：出错

**Bit 0 CHAN0\_STATUS：**DMA channel0 的传输错误状态。

* + 0：未出错
  + 1：出错

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 251 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.11** **DMA\_MaskTfr**

Offset：0x310

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-12** | **11** | **10** | **9** | **8** |
| RESERVED | INT\_MASK\_WE\_3 | INT\_MASK\_WE\_2 | INT\_MASK\_WE\_1 | INT\_MASK\_WE\_0 |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |
| **7-4** | **3** | **2** | **1** | **0** |
| RESERVED | INT\_MASK\_3 | INT\_MASK\_2 | INT\_MASK\_1 | INT\_MASK\_0 |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 63-12 RESERVED：**reserved.

**Bit 11 INT\_MASK\_WE\_3：**DMA channel3 的传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 10 INT\_MASK\_WE\_2：**DMA channel2 的传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 9 INT\_MASK\_WE\_1：**DMA channel1 的传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 8 INT\_MASK\_WE\_0：**DMA channel0 的传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 7-4 RESERVED：**reserved.

**Bit 3 INT\_MASK\_3：**DMA channel3 的传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 2 INT\_MASK\_2：**DMA channel2 的传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 1 INT\_MASK\_1：**DMA channel1 的传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 0 INT\_MASK\_0：**DMA channel0 的传输完成中断使能。

* + 0：去使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 252 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.12 DMA\_MaskBlock**

Offset：0x318

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-12** | **11** | **10** | **9** | **8** |
| RESERVED | INT\_MASK\_WE\_3 | INT\_MASK\_WE\_2 | INT\_MASK\_WE\_1 | INT\_MASK\_WE\_0 |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |
| **7-4** | **3** | **2** | **1** | **0** |
| RESERVED | INT\_MASK\_3 | INT\_MASK\_2 | INT\_MASK\_1 | INT\_MASK\_0 |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 63-12 RESERVED：**reserved.

**Bit 11 INT\_MASK\_WE\_3：**DMA channel3 的块传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 10 INT\_MASK\_WE\_2：**DMA channel2 的块传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 9 INT\_MASK\_WE\_1：**DMA channel1 的块传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 8 INT\_MASK\_WE\_0：**DMA channel0 的块传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 7-4 RESERVED：**reserved.

**Bit 3 INT\_MASK\_3：**DMA channel3 的块传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 2 INT\_MASK\_2：**DMA channel2 的块传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 1 INT\_MASK\_1：**DMA channel1 的块传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 0 INT\_MASK\_0：**DMA channel0 的块传输完成中断使能。

* + 0：去使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 253 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.13** **DMA\_MaskSrcTran**

Offset：0x320

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-12** | **11** | **10** | **9** | **8** |
| RESERVED | INT\_MASK\_WE\_3 | INT\_MASK\_WE\_2 | INT\_MASK\_WE\_1 | INT\_MASK\_WE\_0 |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |
| **7-4** | **3** | **2** | **1** | **0** |
| RESERVED | INT\_MASK\_3 | INT\_MASK\_2 | INT\_MASK\_1 | INT\_MASK\_0 |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 63-12 RESERVED：**reserved.

**Bit 11 INT\_MASK\_WE\_3：**DMA channel3 的源端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 10 INT\_MASK\_WE\_2：**DMA channel2 的源端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 9 INT\_MASK\_WE\_1：**DMA channel1 的源端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 8 INT\_MASK\_WE\_0：**DMA channel0 的源端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 7-4 RESERVED：**reserved.

**Bit 3 INT\_MASK\_3：**DMA channel3 的源端传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 2 INT\_MASK\_2：**DMA channel2 的源端传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 1 INT\_MASK\_1：**DMA channel1 的源端传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 0 INT\_MASK\_0：**DMA channel0 的源端传输完成中断使能。

* + 0：去使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 254 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.14** **DMA\_MaskDstTran**

Offset：0x328

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-12** | **11** | **10** | **9** | **8** |
| RESERVED | INT\_MASK\_WE\_3 | INT\_MASK\_WE\_2 | INT\_MASK\_WE\_1 | INT\_MASK\_WE\_0 |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |
| **7-4** | **3** | **2** | **1** | **0** |
| RESERVED | INT\_MASK\_3 | INT\_MASK\_2 | INT\_MASK\_1 | INT\_MASK\_0 |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 63-12 RESERVED：**reserved.

**Bit 11 INT\_MASK\_WE\_3：**DMA channel3 的目的端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 10 INT\_MASK\_WE\_2：**DMA channel2 的目的端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 9 INT\_MASK\_WE\_1：**DMA channel1 的目的端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 8 INT\_MASK\_WE\_0：**DMA channel0 的目的端传输完成中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 7-4 RESERVED：**reserved.

**Bit 3 INT\_MASK\_3：**DMA channel3 的目的端传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 2 INT\_MASK\_2：**DMA channel2 的目的端传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 1 INT\_MASK\_1：**DMA channel1 的目的端传输完成中断使能。

* + 0：去使能
  + 1：使能

**Bit 0 INT\_MASK\_0：**DMA channel0 的目的端传输完成中断使能。

* + 0：去使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 255 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.15** **DMA\_MaskErr**

Offset：0x330

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-12** | **11** | **10** | **9** | **8** |
| RESERVED | INT\_MASK\_WE\_3 | INT\_MASK\_WE\_2 | INT\_MASK\_WE\_1 | INT\_MASK\_WE\_0 |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |
| **7-4** | **3** | **2** | **1** | **0** |
| RESERVED | INT\_MASK\_3 | INT\_MASK\_2 | INT\_MASK\_1 | INT\_MASK\_0 |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 63-12 RESERVED：**reserved.

**Bit 11 INT\_MASK\_WE\_3：**DMA channel3 的传输出错中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 10 INT\_MASK\_WE\_2：**DMA channel2 的传输出错中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 9 INT\_MASK\_WE\_1：**DMA channel1 的传输出错中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 8 INT\_MASK\_WE\_0：**DMA channel0 的传输出错中断掩码写使能。

* + 0：去使能
  + 1：使能

**Bit 7-4 RESERVED：**reserved.

**Bit 3 INT\_MASK\_3：**DMA channel3 的传输出错中断使能。

* + 0：去使能
  + 1：使能

**Bit 2 INT\_MASK\_2：**DMA channel2 的传输出错中断使能。

* + 0：去使能
  + 1：使能

**Bit 1 INT\_MASK\_1：**DMA channel1 的传输出错中断使能。

* + 0：去使能
  + 1：使能

**Bit 0 INT\_MASK\_0：**DMA channel0 的传输出错中断使能。

* + 0：去使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 256 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.16** **DMA\_ClearTfr**

Offset：0x338

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_CLEAR | CHAN2\_CLEAR | CHAN1\_CLEAR | CHAN0\_CLEAR |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_CLEAR：**DMA channel3 的传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 2 CHAN2\_CLEAR：**DMA channel2 的传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 1 CHAN1\_CLEAR：**DMA channel1 的传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 0 CHAN0\_CLEAR：**DMA channel0 的传输完成状态清除。

* + 0：不操作
  + 1：清除

**21.8.17 DMA\_ClearBlock**

Offset：0x340

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_CLEAR | CHAN2\_CLEAR | CHAN1\_CLEAR | CHAN0\_CLEAR |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_CLEAR：**DMA channel3 的块传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 2 CHAN2\_CLEAR：**DMA channel2 的块传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 1 CHAN1\_CLEAR：**DMA channel1 的块传输完成状态清除。

* + 0：不操作
  + 1：清除

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 257 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**Bit 0 CHAN0\_CLEAR：**DMA channel0 的块传输完成状态清除。

* + 0：不操作
  + 1：清除

**21.8.18** **DMA\_ClearSrcTran**

Offset：0x348

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_CLEAR | CHAN2\_CLEAR | CHAN1\_CLEAR | CHAN0\_CLEAR |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_CLEAR：**DMA channel3 的源端传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 2 CHAN2\_CLEAR：**DMA channel2 的源端传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 1 CHAN1\_CLEAR：**DMA channel1 的源端传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 0 CHAN0\_CLEAR：**DMA channel0 的源端传输完成状态清除。

* + 0：不操作
  + 1：清除

**21.8.19** **DMA\_ClearDstTran**

Offset：0x350

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_CLEAR | CHAN2\_CLEAR | CHAN1\_CLEAR | CHAN0\_CLEAR |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_CLEAR：**DMA channel3 的目的端传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 2 CHAN2\_CLEAR：**DMA channel2 的目的端传输完成状态清除。

* + 0：不操作

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 258 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



* + 1：清除

**Bit 1 CHAN1\_CLEAR：**DMA channel1 的目的端传输完成状态清除。

* + 0：不操作
  + 1：清除

**Bit 0 CHAN0\_CLEAR：**DMA channel0 的目的端传输完成状态清除。

* + 0：不操作
  + 1：清除

**21.8.20** **DMA\_ClearErr**

Offset：0x358

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-4** | **3** | **2** | **1** | **0** |
| RESERVED | CHAN3\_CLEAR | CHAN2\_CLEAR | CHAN1\_CLEAR | CHAN0\_CLEAR |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |

**Bit 63-4 RESERVED：**reserved.

**Bit 3 CHAN3\_CLEAR：**DMA channel3 的传输出错状态清除。

* + 0：不操作
  + 1：清除

**Bit 2 CHAN2\_CLEAR：**DMA channel2 的传输出错状态清除。

* + 0：不操作
  + 1：清除

**Bit 1 CHAN1\_CLEAR：**DMA channel1 的传输出错状态清除。

* + 0：不操作
  + 1：清除

**Bit 0 CHAN0\_CLEAR：**DMA channel0 的传输出错状态清除。

* + 0：不操作
  + 1：清除

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 259 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



**21.8.21 DMA\_DmaCfgReg**

Offset：0x398

Reset value：0x0000000000000000

|  |  |  |
| --- | --- | --- |
|  | **63-1** | **0** |
|  | RESERVED | DMA\_EN |
|  |  |  |
|  | r-0h | rw-0h |
|  | |  |
| **Bit 63-1 RESERVED：**reserved. | |  |
| **Bit 0 DMA\_EN：**DMA 使能Control。 | |  |
|  | 0：去使能 |  |
|  | 1：使能 |  |

**21.8.22 DMA\_ChEnReg**

Offset：0x3a0

Reset value：0x0000000000000000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **63-12** | **11** | **10** | **9** | **8** |
| RESERVED | CH\_EN\_WE\_3 | CH\_EN\_WE\_2 | CH\_EN\_WE\_1 | CH\_EN\_WE\_0 |
|  |  |  |  |  |
| r-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |
| **7-4** | **3** | **2** | **1** | **0** |
| RESERVED | CH\_EN\_3 | CH\_EN\_2 | CH\_EN\_1 | CH\_EN\_0 |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |

**Bit 63-12 RESERVED：**reserved.

**Bit 11 CH\_EN\_WE\_3：**DMA channel3 的使能Control信息的写使能。

* + 0：去使能
  + 1：使能

**Bit 10 CH\_EN\_WE\_2：**DMA channel2 的使能Control信息的写使能。

* + 0：去使能
  + 1：使能

**Bit 9 CH\_EN\_WE\_1：**DMA channel1 的使能Control信息的写使能。

* + 0：去使能
  + 1：使能

**Bit 8 CH\_EN\_WE\_0：**DMA channel0 的使能Control信息的写使能。

* + 0：去使能
  + 1：使能

**Bit 7-4 RESERVED：**reserved.

**Bit 3 CH\_EN\_3：**DMA channel3 的使能Control，当 DMA 传输完成后，硬件自动将此 channel 去使能。

* + 0：去使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 260 / 302

 21. 直接存储器accessControl器 (DMA) ASR6601 Reference Manual



* + 1：使能

**Bit 2 CH\_EN\_2：**DMA channel2 的使能Control，当 DMA 传输完成后，硬件自动将此 channel 去使能。

* + 0：去使能
  + 1：使能

**Bit 1 CH\_EN\_1：**DMA channel1 的使能Control，当 DMA 传输完成后，硬件自动将此 channel 去使能。

* + 0：去使能
  + 1：使能

**Bit 0 CH\_EN\_0：**DMA channel0 的使能Control，当 DMA 传输完成后，硬件自动将此 channel 去使能。

* + 0：去使能
  + 1：使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 261 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.** **General purpose timer (GPTIMER)**

**22.1** **简介**

ASR6601 共有 4 个General purpose timer（GPTIMER），其中 GPTIMER0 和 GPTIMER1 有 4 路Channel， GPTIMER2 和 GPTIMER3 有 2 路Channel，即 GPTIMER2 和 GPTIMER3 没有Channel 2 和 3。

GPTIMER 包含 16-bit 计数器，支持自动重装载功能，且支持最多 16-bit 可编程的分频计数器，

1. 路Channel可独立配置为输入或输出，支持输入捕获、输出比较等功能，计数时钟和计数模式可软件配置，支持连接霍尔器件即支持编码模式（仅适用于 GPTIMER0 和 GPTIMER1），支持 DMA 配置，有独立中断输出，支持编码功能等。基于丰富的Channel配置和功能，该 GPTIMER 可用于定时计数、测量输入脉冲宽度（us-ms 级）、产生 PWM 波形等应用。

**22.2** **主要特性**

* 16-bit 计数器，支持自动重装载，可配置边沿对齐（向上、向下）计数和中间对齐（向上/向下）计数
* 16-bit 可编程分频计数器（分频系数 1-65535），可在计数过程中配置
* 最多 4 路独立Channel，可完成输入捕获、输出比较、PWM 波形输出、单脉冲波形输出
* 支持Channel输出极性选择，和输入边沿配置
* 支持与外部输入或其他模块（GPTIMER、ADC、DAC）同步
* 独立的 DMA Channel，最多 6 组 DMA 请求，包括更新事件、触发事件以及 4 组Channel事件（捕获、比较）
* 支持正交编码功能
* 支持外部触发Channel输入时钟用于计数并且支持外部触发Channel输入触发信号，支持Channel输入时钟用于计数
* 支持Channel重映射，即把其它模块的 GPIO 信号或内部信号映射到Channel或外部Channel

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 262 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



GPTIMER 的架构框图如下：



|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | **itr\_input** |  |  |  |  |
| **etr\_input** | **u\_etr\_ctrl** | **pulse/level** | |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  | **pulse/level** | | **Slave** | **rst/enable/trigger** | **Master** | **trigger\_output** |  |
|  |  |  |  |  |  |
|  |  |  |  | **control** |  | **control** |  |
|  |  |  |  |  |  |  |
|  | **u\_sampling\_** |  |  |  |  |  |  |  |
|  | **clock** |  |  |  |  |  |  |  |
| **channel\_input** | **u\_channel\_in\_x** | **u\_icx\_div** |  | **u\_capture\_x** | **clk\_en** |  |  |  |
|  |  |  |  | **u\_counter** | **u\_psc\_counter** |  |  |  |
|  | **DMA** |  |  | **u\_compare\_x** | **ocxref** | **Output ocx** | **channel\_output** |  |
| **dma\_ack** |  |  |  | **Stage** |  |
| **control** |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
| **dma\_req** |  |  |  |  |  |  |  |  |
| **apb\_write** |  |  | **u\_reg\_model** | |  | **interrupt Control** | **interrupt** |  |
|  |  |  |  | **apb\_read** |  |  |  |  |
|  |  | **图 22-1 GPTIMER 框图** | | | |  |  |  |
|  |  | **表 22-1 GPTIMER 模块介绍** | | | |  |  |  |
| Module Name |  |  | Description | |  |  |  |  |
| slave control |  |  | 从模式Control器 | |  |  |  |  |
| master control |  |  | 主模式Control器 | |  |  |  |  |
| u\_etr\_ctrl |  |  | ETR ChannelControl，包括极性、分频、滤波等配置 | | | |  |  |
| u\_channel\_in\_x |  |  | 输入Channel x Control，包括极性、滤波及边沿配置 | | | |  |  |
| u\_icx\_div |  |  | 输入Channel x 事件分频器 | | |  |  |  |
| u\_sampling\_clock | |  | 产生滤波器的采样时钟 | | |  |  |  |
| u\_capture\_x |  |  | 输入Channel x 捕获功能 | | |  |  |  |
| u\_compare\_x |  |  | 输出Channel x 比较功能 | | |  |  |  |
| u\_psc\_counter |  |  | 16-bit 分频计数器 | |  |  |  |  |
| u\_counter |  |  | 16-bit 计数器 | |  |  |  |  |
| u\_reg\_model |  |  | register相关配置 | |  |  |  |  |
| output stage |  |  | 输出Control | |  |  |  |  |
| interrupt control |  |  | 中断Control | |  |  |  |  |
| dma control |  |  | DMA 功能Control | |  |  |  |  |
| itr\_input |  |  | 其它 GPTIMER 的内部输入 | | |  |  |  |
| etr\_input |  |  | 外部触发Channel的输入 | | |  |  |  |
| channel\_input |  |  | Channel输入 | |  |  |  |  |
| dma\_ack |  |  | DMA 回复的 ACK | |  |  |  |  |
| dma\_req |  |  | 向 DMA 发送的请求 | | |  |  |  |
| apb\_write |  |  | apb 总线写 | |  |  |  |  |
| Document version 1.5.0 | 版权所有 © | | 翱捷科技股份有限公司 | | |  | 263 / 302 |  |

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



|  |  |
| --- | --- |
| Module Name | Description |
| apb\_read | apb 总线读 |
| trigger\_output | 主模式下的信号输出，为内部信号，不会输出到外部 |
| channel\_output | Channel输出 |
|  |  |

**22.3** **计数器**



GPTIMER 的计数器共 16-bit，支持向上、向下、中间对齐计数，计数时钟可选，可软件配置计数使能与关闭，软件可随时读写（建议不要在计数过程中写入，以免发生未知错误）。

**22.3.1** **计数时钟选择**

GPTimer 共有四种计数时钟源，分别是内部时钟、外部时钟模式 1、外部时钟模式 2 以及内部触发信号Control计数。其中，内部时钟为默认方式（SMS==3’b000），时钟来自 RCC，只要 CEN 置Bit，则分频计数器和该计数器便开始计数，其他三种情况，均使用相应信号作为计数使能，并不是作为真正的时钟。

外部时钟模式 1（SMS==3’b111，TS==3’b100/101/110），该模式下，计数器由所选择的Channel输入的上升沿或下降沿或双沿作为计数器的计数使能Control计数，例如选择Channel 0 的上升沿Control计数，则每个上升沿都会让计数器加 1（向上计数、不分频），波形如下图：

**图 22-2 外部时钟模式 1 计数**

外部时钟模式 2（ECE==1），该模式下，计数器由 ETR 的上升沿或下降沿作为计数器的计数使能Control计数，例如配置 ETR 的上升沿有效，则波形如下图所示。

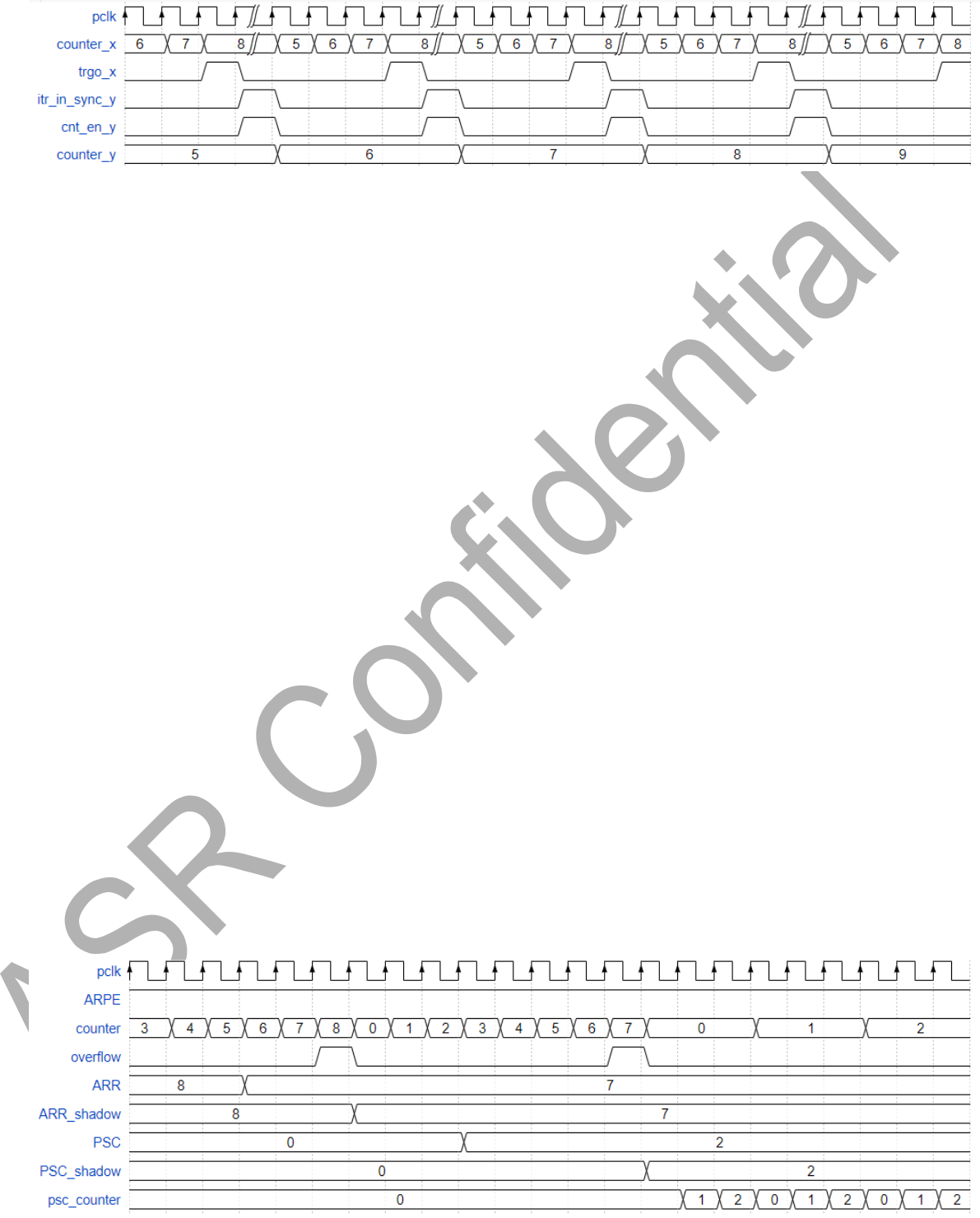
**图 22-3 外部时钟模式 2 计数**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 264 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



GPTIMER 还可以选择内部触发信号Control计数（SMS==3’b111，TS==3’b001/010/011），即可以由上一级 GPTIMER 的触发输出信号作为该 GPTIMER 的计数时钟，从而实现 GPTIMER 的级联，该情况下，上一级 GPTIMER 相当于一个分频计数器，波形如下图所示。



**图 22-4 内部触发信号做时钟计数**

当 ETR 做为计数时钟输入时可以有两种方式实现，一种是外部时钟模式 1，配置 SMS==3’b111，TS==3’b111，另一种是外部时钟模式 2，配置 ECE==1

**22.3.2** **自动重装载**

GPTIMER 支持自动重装载功能，向上计数时，计数到重装载值（ARR）后，将会归零重新计数，向下计数时，会从 ARR 开始计数，计数到 0 后回到 ARR 重新计数，中间对齐计数时，计数器从 0 开始计数到 ARR-1，接着从 ARR 计数到 0。

ARR 可软件配置（ARPE）是否使用启用影子register，如果 ARPE=0，则禁用影子register，软件写入的值同步更新到 ARR 供计数器使用，如果 ARPE=1，则软件写入的值不会立即生效，直到更新事件到来，才会将该值更新到影子register中供计数器使用。

**22.3.3** **向上计数**

若配置为向上计数模式，则计数器使能且有计数时钟后，会从 0 开始递加到 ARR，产生向上溢出事件（overflow），然后归零重新开始计数。计数过程中如果 UG 置Bit（软件或硬件），则计数器包括分频计数器会被初始化（归零）。时序上，overflow 标志将在最后一个计数值期间产生，如果启用影子register，则 ARR、PSC、CCRx 等register将会在下一轮计数开始时更新到相应的影子register，波形如下图所示。

**图 22-5 向上计数**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 265 / 302

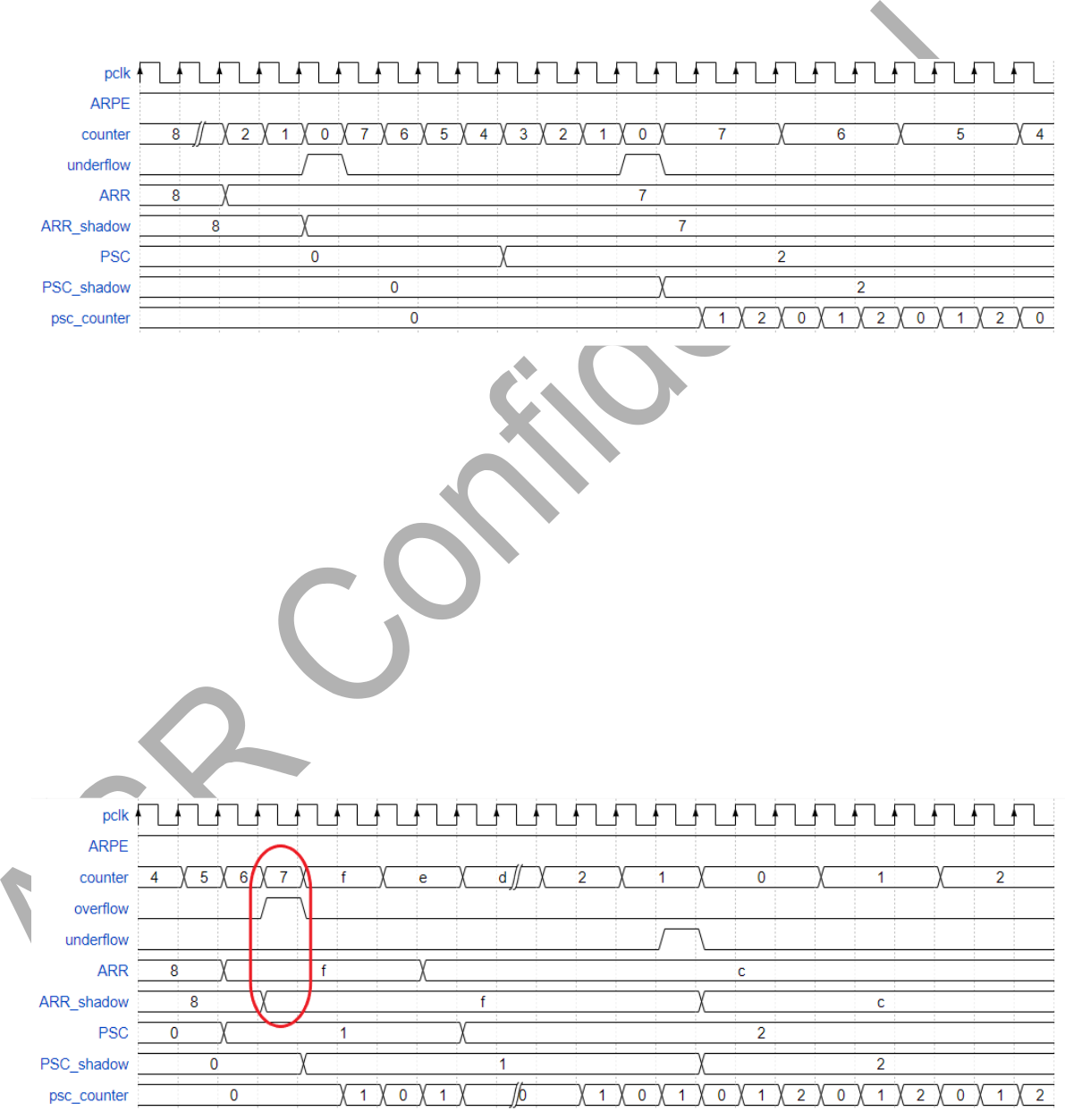
 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.3.4** **向下计数**

若配置为向下计数模式，则计数器使能且有计数时钟后，会从 ARR 开始递减到 0，产生向下溢出事件（underflow），然后回到 ARR 重新开始计数。计数过程中如果 UG 置Bit（软件或硬件），则计数器包括分频计数器会被初始化（计数器回到 ARR，分频计数器归零）。时序上， underflow 标志将在最后一个计数值（CNT=0）期间产生，但是请Note，如果启用影子register，

则 ARR register将会在下一轮计数开始之前（CNT=0）更新到相应的影子register，以保证下一轮计数过程可以使用最新的装载值和分频值，PSC 和 CCRx 则与之前相同，将在 underflow 下一时钟更新到影子register，波形如下图所示。



**图 22-6 向下计数**

**22.3.5** **中间对齐计数**

若配置为中间对齐计数模式，则计数器使能且有计数时钟后，会从 0 开始递增到 ARR-1，产生 overflow 事件，然后从 ARR 递减到 1，产生 underflow 事件，再从 0 开始重新计数。计数过程中如果 UG 置Bit（软件或硬件），则计数器包括分频计数器会被初始化（归零）。请Note，如果启用影子register，则 ARR 和 PSC register将会在向上计数到老的 ARR-1 时更新到相应的影子register，以保证在向下计数时可以使用新的 ARR 和新的 PSC，CCRx 的更新与之前情况相同。向下计数时，将会在产生 underflow 后更新 ARR、PSC 和 CCRx 的影子register。在该模式下，计数方向由硬件Control，软件配置无效。波形如图，

**图 22-7 中间对齐计数**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 266 / 302

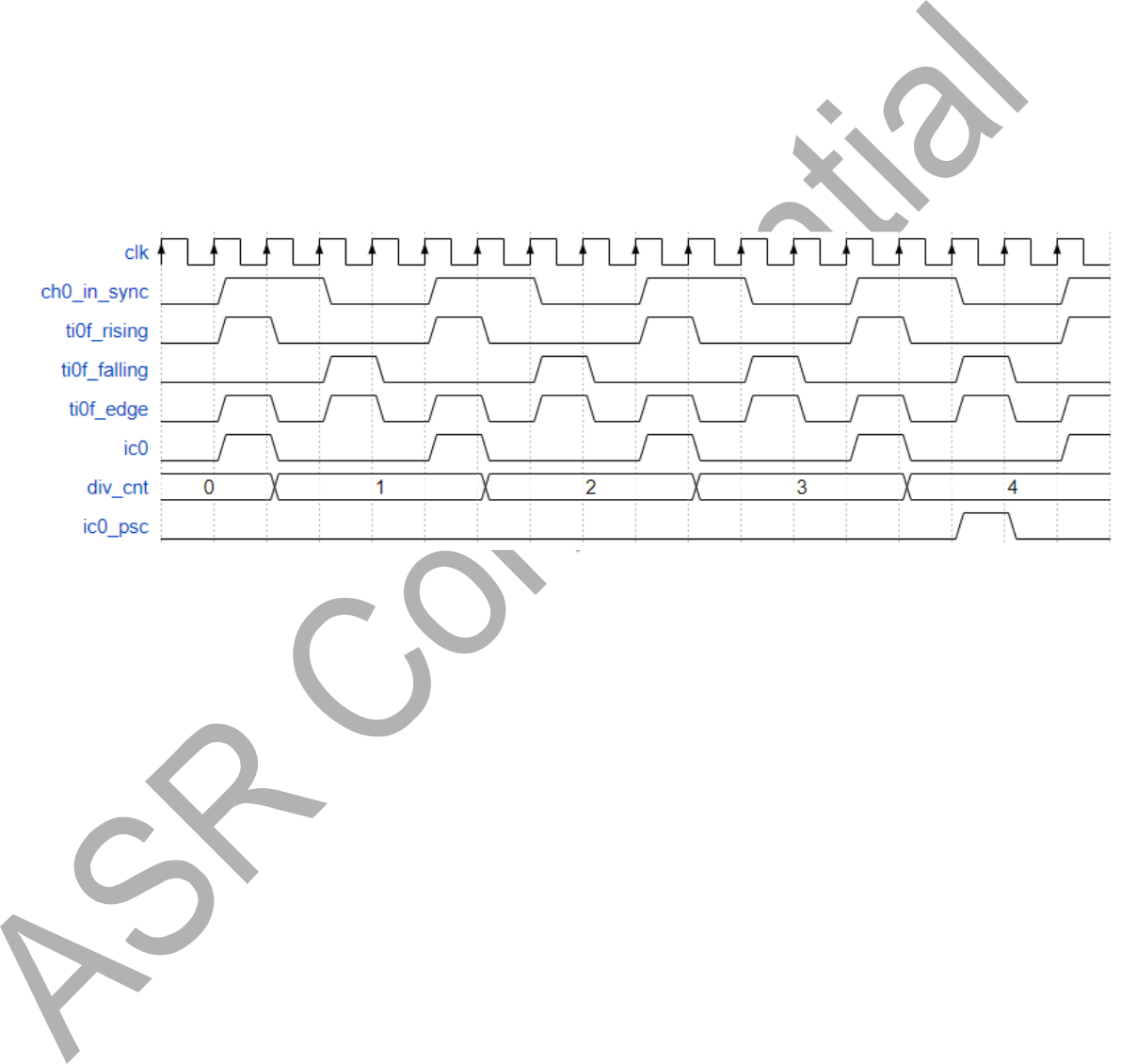
 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.4** **分频计数器**

GPTIMER 支持 16-bit（1~65535）可编程分频，这一功能通过该分频计数器实现。上一级电路产生的计数使能信号将作为该分频计数器的使能Control计数，当分频计数器计数到预先加载的分频值后，输出一个脉冲，作为下一级计数器的计数使能，然后分频计数器归零重新计数，如此循环。

分频计数器的分频值默认启用影子register，即软件的写操作不会立即生效，而是直到更新事件（UG 置Bit、计数溢出）到来，才会将新的分频值写入影子register，此时该分频值才正式生效。软件读操作读取的是写入的register值，而不是影子register，如果在更新事件到来前有多次写操作，则会覆盖之前写入的值。



举一个例子说明分频计数器，如配置为 4 分频，则输入 4 个高电平，才会输出一个有效的脉冲，波形如下图（Channel 0，无滤波，选择Channel 0 上升沿作为有效脉冲，配置 ic0 为 4 分频）。

**图 22-8 分频计数器**

**22.5** **采样时钟**

各输入Channel和外部触发Channel均可以选择number滤波功能，该number滤波功能通过使用高频的采样时钟（频率至少是输入信号的 4 倍）对输入信号采样。GPTIMER 内部所有 Flip-Flop 的时钟均由 pclk 提供。软件可以配置采样时钟的频率（CKD 分别为 pclk、pclk/2，pclk/4），通过采用计数器实现分频，如配置采样频率为 pclk 的 4 分频，则计数器由 pclk Control计数，每 4 个 pclk 周期产生一个脉冲（宽度为 pclk 的一个周期），用于后级计数器的使能信号。在各Channel内，用户还可以再次配置number滤波器的采样时钟分频，即配置 ETF 的值，滤波原理上述相同。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 267 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.6** **Channel**

每个 GPTIMER 的各个Channel有多路来源，这些信号来源与 GPTIMER 均为异步关系，因此在模块内部需要做同步处理。同步后的Channel输入信号，可以根据软件配置进行滤波处理，滤波的采样频率和窗口长度均可以软件配置（ICxF），滤波后的信号由一个边沿检测器产生边沿信号，可以由软件配置有效电平（或有效边沿）。处理后的Channel信号可以作为从模式Control器的Control信号，编码模式输入信号，也可以作为输入捕获使能信号（可配置分频）。每个输入Channel可映射到当前Channel、相邻Channel或内部触发信号 TRC（CCxS[1:0]配置），具体方案见表格（以Channel 0 为例），其中 ti0fp0 为映射到Channel 0 的输入信号，ti1fp0 为映射到Channel 1 的输入信号。



**表 22-2 输入Channel有效极性配置**

|  |  |  |  |
| --- | --- | --- | --- |
|  | 有效脉冲（应用于输入捕获、复Bit模式、触发模 | | 有效电平（应用于 Gate |
| {CC0NP, CC0P} | 式、外部时钟模式） | | 模式、编码模式） |
|  |  |  |  |
|  | ti0fp0 | ti1fp0 | ti0fp |
|  |  |  |  |
| 2’b00 | Channel 0 上升沿 | Channel 1 上升沿 | Channel 0 高电平 |
|  |  |  |  |
| 2’b01 | Channel 0 下降沿 | Channel 1 下降沿 | Channel 0 低电平 |
|  |  |  |  |
| 2’b10 | 保留 | 保留 | 保留 |
|  |  |  |  |
| 2’b11 | Channel0双沿 | Channel1双沿 | Channel 0 高电平 |
|  |  |  |  |

**表 22-3 输入Channel映射**

CCxS

2’b01

2’b10

2’b11

icx 映射

tixfpx（x 代表当前Channel）

tiyfpx（y 代表相邻Channel）

trc（仅适用于 TS=3’b000、3’b001、3’b010、3’b100）

此外，Channel 0 与其他Channel不同，可以软件配置（TI0S 置Bit）Channel 0 连接到Channel 0、Channel 1 和Channel 2 的异或输出，此时该Channel的其他功能依然有效，该功能仅适用于 GPTIMER0 和 GPTIMER1。

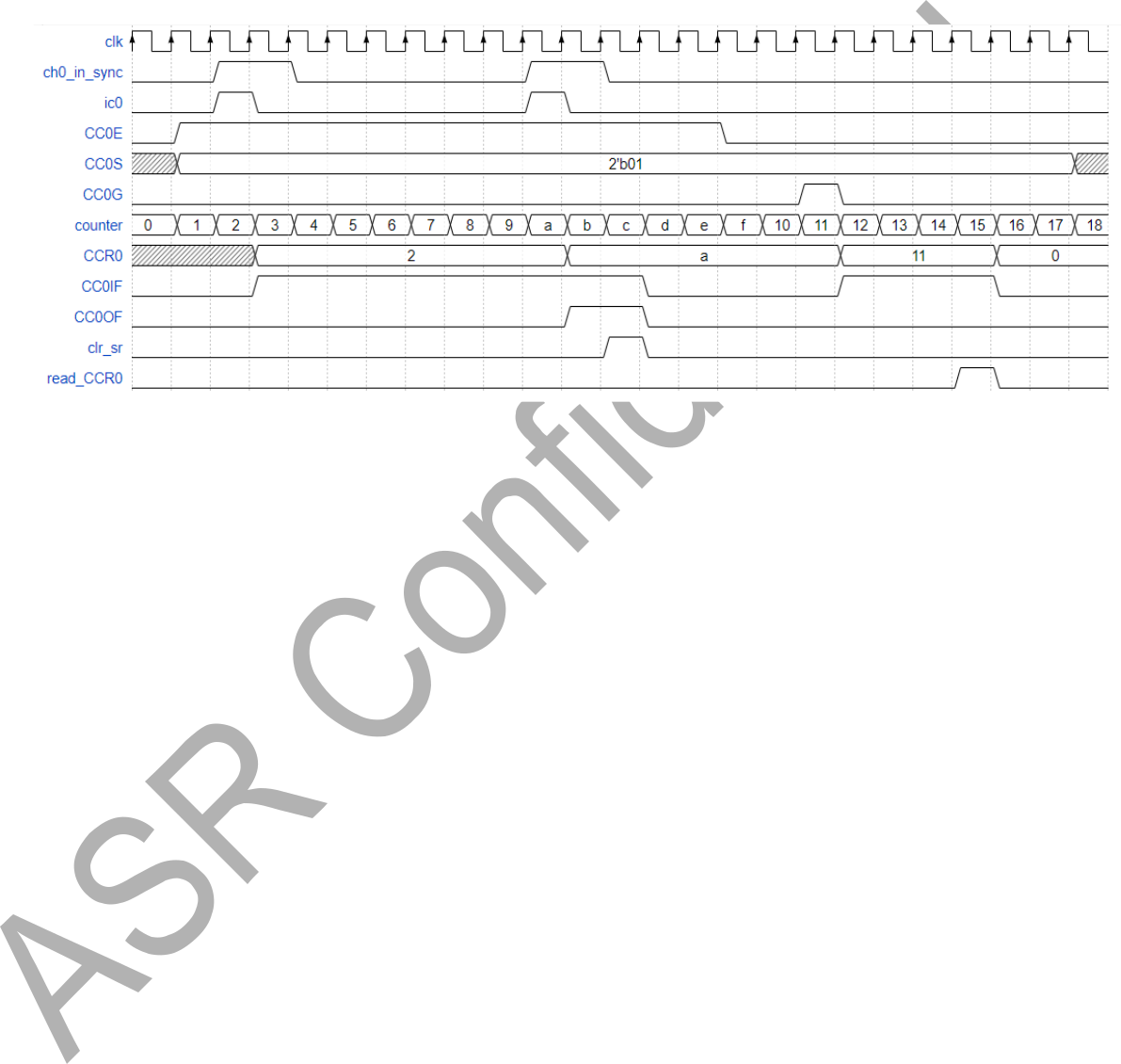
Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 268 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.6.1** **输入捕获**

输入捕获仅在Channel被配置为输入模式且 CCxE 置Bit时被激活，可以由软件（CCxG）或硬件（当前Channel、相邻Channel或内部互联信号）触发捕获行为。当有效的捕获触发信号产生时， GPTIMER 会把当前 counter 的值锁存到相应的 CCRx register中，并且置Bit CCxIF 标志Bit，如果使能了相应中断或 DMA 屏蔽Bit，则会产生中断信号或 DMA 请求。如果 CCxIF 置Bit时（未被软件清除）又发生了不止一次捕获行为，则 CCxOF 置Bit，指示发生了捕获溢出事件，读取 CCxR register（或 SR register相应Bit写 0）可以清除 CCxIF 和 CCxOF。波形如下图所示。



**图 22-9 输入捕获**

**22.6.2** **输出比较**

输出比较功能仅在Channel被配置为输出模式且 CCxE 置Bit时被激活，该功能通过比较 counter 值与 CCRx 的值，ControlChannel输出高低翻转，进而输出特定的波形。

**22.6.2.1 CCRx 预装载功能**

CCRx register的写入有两种方式，若 CCxPE 置Bit，则软件写入的 CCRx 值不会直接被使用，真正起作用的是影子register，作为缓冲，直到更新事件发生后，才会将 CCRx 的值更新到影子register中；若 OCxPE 复Bit，则软件写入的 CCRx 值会直接被使用，影子register禁用。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 269 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.6.2.2 输出比较模式**

当匹配（CNT==CCR）发生时，Channel输出会根据配置的模式进行翻转，且 CCxIF 标志Bit会置Bit，若使能了相应的中断或 DMA 屏蔽Bit，则会产生中断或 DMA 请求，具体的模式Control如下表格所示。

**表 22-4 输出比较各种模式下的输出波形Description**

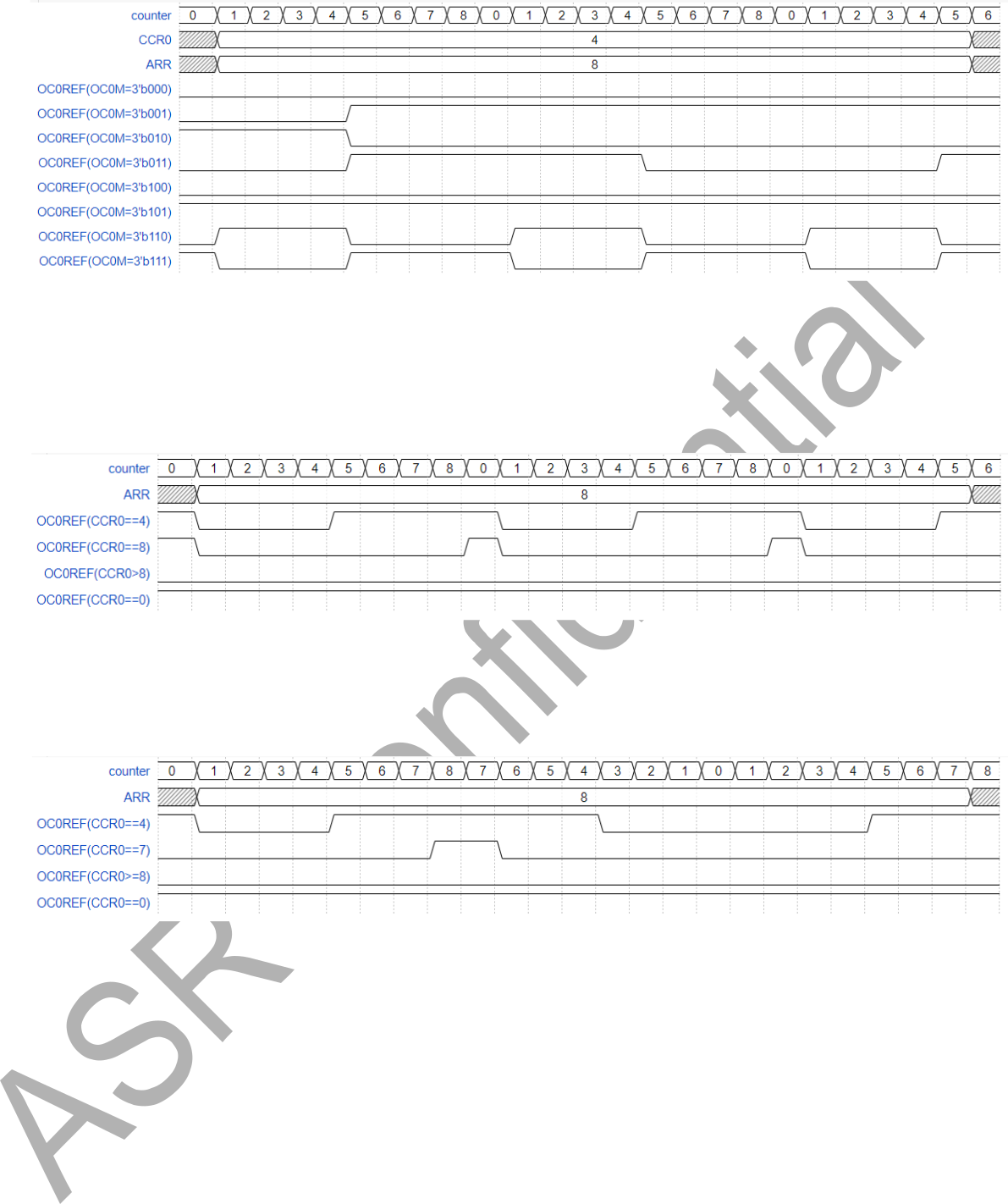
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | 比较模式 |  |  | 计数模式 |  | 输出波形 |  |
|  |  |  |  |  |  |  |  |
|  | 冻结模式 |  |  | Any |  | 无论 CNT 如何变化，输出维持不变 |  |
|  |  |  |  |  |  |  |  |
|  | SET 模式 |  |  | Any |  | 在 CNT==CCR 后，输出高电平 |  |
|  |  |  |  |  |  |  |  |
|  | RESET 模式 |  |  | Any |  | 在 CNT==CCR 后，输出低电平 |  |
|  |  |  |  |  |  |  |  |
|  | TOGGLE 模式 |  |  | Any |  | 在 CNT==CCR 时，翻转当前电平 |  |
|  |  |  |  |  |  |  |  |
|  | 强制 RESET 模式 |  |  | Any |  | 选择该模式后，直接输出低电平，忽略比较结果 |  |
|  |  |  |  |  |  |  |  |
|  | 强制 SET 模式 |  |  | Any |  | 选择该模式后，直接输出高电平，忽略比较结果 |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 向上计数（边 |  | CNT<CCR 时，输出高电平，CNT>=CCR 时，输出低电平。 |  |
|  |  |  |  |  | 如果 CCR>ARR，则输出一直为高电平（100%PWM），如果 |  |
|  |  |  |  | 沿对齐 pwm） |  |  |
|  |  |  |  |  | CCR==0，则输出一直为低电平（0%PWM）。 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 向下计数（边 |  | CNT<=CCR 时，输出高电平，CNT>CCR 时，输出低电平。 |  |
|  | PWM1 模式 |  |  |  | 如果 CCR>ARR，则输出一直为高电平（100%PWM）。注 |  |
|  |  |  | 沿对齐 pwm） |  |  |
|  |  |  |  |  | 意：0%PWM 模式在该情况下不支持。 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 中间计数（中 |  | 相当于向上计数与向下计数相结合。如果 CCR>=ARR，则输 |  |
|  |  |  |  |  | 出一直为高电平（100%PWM），如果 CCR==0，则输出一直 |  |
|  |  |  |  | 间对齐 pwm） |  |  |
|  |  |  |  |  | 为低电平（0%PWM）。 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 向上计数（边 |  | CNT<CCR 时，输出低电平，CNT>=CCR 时，输出高电平。 |  |
|  |  |  |  |  | 如果 CCR>ARR，则输出一直为低电平（0%PWM），如果 |  |
|  |  |  |  | 沿对齐 pwm） |  |  |
|  |  |  |  |  | CCR==0，则输出一直为高电平（100%PWM）。 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 向下计数（边 |  | CNT<=CCR 时，输出低电平，CNT>CCR 时，输出高电平。 |  |
|  | PWM2 模式 |  |  |  | 如果 CCR>ARR，则输出一直为低电平（0%PWM）。Note： |  |
|  |  |  | 沿对齐 pwm） |  |  |
|  |  |  |  |  | 100%PWM 模式在该情况下不支持。 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  | 中间计数（中 |  | 相当于向上计数与向下计数相结合。如果 CCR>=ARR，则输 |  |
|  |  |  |  |  | 出一直为低电平（0%PWM），如果 CCR==0，则输出一直为 |  |
|  |  |  |  | 间对齐 pwm） |  |  |
|  |  |  |  |  | 高电平（100%PWM）。 |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 270 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**各模式下输出波形**如下所示（以向上计数为例）：



**图 22-10 各种输出比较模式下的波形**

其中，PWM 模式下还支持通过配置 ARR 和 CCR Control输出 0%和 100%波形，边沿对齐计数的 PWM2 波形如下图所示。

**图 22-11 边沿对齐计数 PWM2**

中间对齐计数的 PWM2 波形如下图所示。

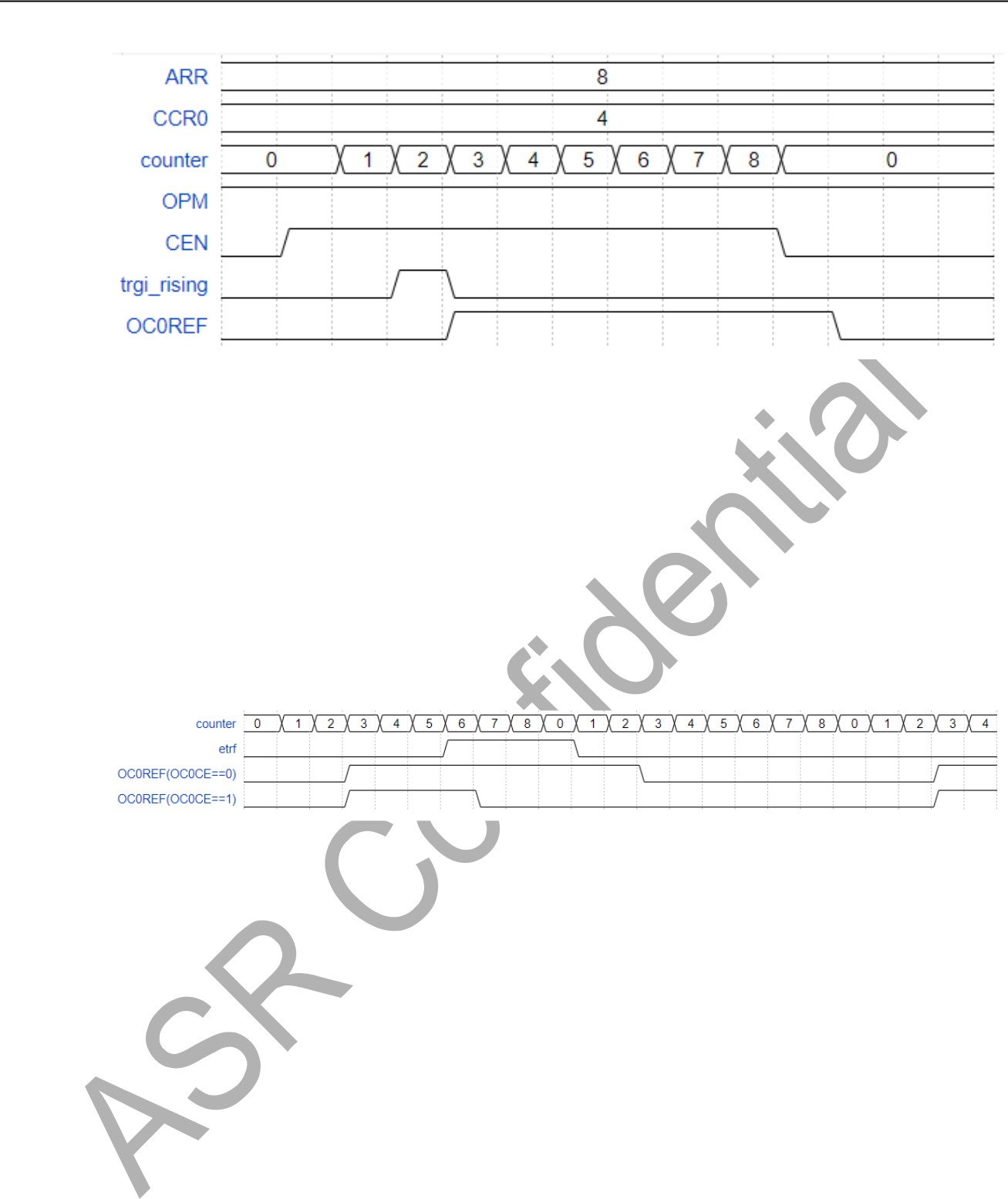
**图 22-12 中间对齐计数 PWM2**

**22.6.2.3 单脉冲快速输出功能**

单脉冲模式下（OPM 置Bit），两个 PWM 模式可以配置为快速输出模式（置Bit OCxFE），使能快速模式后，输出波形将忽略 CNT 和 CCR 的比较结果，改为由触发信号（根据 TS 选择）上升沿Control电平翻转，输出信号电平等同于匹配事件发生后的电平，例如，配置 GPTIMER Channel 0 为输出模式，选择 PWM1 模式，触发信号选择 ETR 输入，则当 ETR 输入高电平后，Channel 0 立刻输出高电平（OCxP=0 情况下），该功能可以有效减少从触发信号边沿到波形输出之间的延迟。使能快速模式时的单脉冲输出波形如下图：

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 271 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**图 22-13 使能快速模式时的单脉冲输出波形**

**22.6.2.4 外部触发信号清除Channel输出功能**

输出波形除了受计数值的影响，还可以通过外部触发信号（ETR）硬件清零，若要使用该功能，需提前使能 OCxCE Bit，同时保证 ETR 禁用分频（ETP=2’b00），且 ETR 不得作为计数时钟。使能该功能后（OCxCE=1），ETR 的电平有效（默认高电平）时，Channel输出将被清除，更改 ETR 的有效电平时通过配置 ETP 实现。关闭该功能后（OCxCE=0），Channel输出不会立刻恢复，而是等到下一次计数周期开始才会恢复正常输出。开启和关闭外部触发信号清除Channel输出功能的对比波形如下图：

**图 22-14 外部触发信号清除Channel输出**

**22.7** **触发输入Channel**

每个 GPTIMER 的 ETR 有多路来源，通过 MUX 选择一路输入到模块内，这些信号来源与 GPTIMER 均为异步关系，因此在模块内部需要做同步处理。同步后的 ETR 信号，可以根据软件配置选择有效电平（或有效边沿）、配置分频（1、2、4、8）以及滤波处理，滤波的采样频率和窗长度均可以软件配置（ETF）。

**22.8** **更新事件管理**

更新事件主要有以下事件源：

1. 计数器的溢出事件（overflow 和 underflow）
2. UG 置Bit

与更新事件管理相关的Control信号主要是 URS 和 UDIS，具体Control如下：

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 272 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



* 若 UDIS=0，URS=0，则 underflow、overflow、UG 置Bit会初始化 counter 和 pre-scale counter（center-aligned 模式下 counter 不会被 overflow 清零，也不会被 underflow 加

载 ARR），如果启用影子register，更新事件将会把写入的值更新到影子register中（ARR取决于 ARPE，CCRx 取决于 OCxPE），UIF 会置Bit，如果使能了中断或 DMA 屏蔽Bit，则会产生中断或 DMA 请求。

* 若 UDIS=0，URS=1，则 underflow、overflow、UG 置Bit会初始化 counter 和 pre-scale counter（center-aligned 模式下 counter 不会被 overflow 清零，也不会被 underflow 加

载 ARR），如果启用影子register，更新事件将会把写入的值更新到影子register中（ARR

取决于 ARPE，CCRx 取决于 OCxPE），UIF 只会在 overflow 或 underflow 情况下置Bit，如果使能了中断或 DMA 屏蔽Bit，则会产生中断或 DMA 请求，该配置可以有效避免输入捕获模式下 UG 置Bit初始化计数器时，同时产生捕获中断和更新中断的情况。

* 若 UDIS=1（忽略 URS），则 underflow、overflow、UG 置Bit会初始化 counter 和 pre-scale counter（center-aligned 模式下 counter 不会被 overflow 清零，也不会被 underflow

加载 ARR），但是影子register不会被更新，且 UIF 不会置Bit，因此不会产生相应中断或

DMA 请求。

**22.9** **编码模式Control**

该 GPTIMER 支持正交编码计数功能，可以通过Channel 0 和Channel 1 输入正交信号，进行计数和方向检测。编码模式共有三种，仅在Channel 0 边沿计数、仅在Channel 1 边沿计数以及在Channel 1 和Channel

2 边沿计数。在此功能下，两个Channel输入可以配置number滤波功能，极性配置和分频配置无效。通过两个Channel信号的组合，可以产生计数使能和方向Control信号，Control计数器加减（如果 CEN 使能），因此在该模式下，软件配置计数方向无效。具体的组合方式见下表，

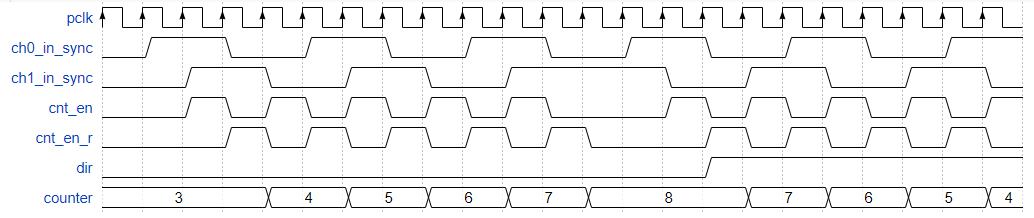
**表 22-5 编码模式**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 编码模式 |  | |  | | Channel 0/1 电平 | |  |  | | Channel0边沿 | | | | | | | |  | |  | | Channel1电平 | | | | | | |  |  |
|  |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  |  |
|  |  | |  | |  |  | | 上升沿 | |  | |  | | 下降沿 | |  | |  | | 上升沿 | |  |  | | 下降沿 | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  |  | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  |  |
|  | 编码模式 1 | |  | |  | | 高电平 | | | - | | | |  | | - | | | |  | |  | | 向上计数 | | |  | | 向下计数 | |  |
|  | （在Channel 1 边沿计数） | |  | |  | |  | | |  | | | |  | |  | | | |  | |  | |  | | |  | |  | |  |
|  |  | |  | | 低电平 | | | - | | | |  | | - | | | |  | |  | | 向下计数 | | |  | | 向上计数 | |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  |  |
|  | 编码模式 2 |  | |  | | 高电平 | | |  | | 向下计数 | | | |  | | 向上计数 | | | | - | | | |  | - | | | |  |  |
|  | （在Channel 0 边沿计数） |  | |  | |  | | |  | |  | | | |  | |  | | | |  | | | |  |  | | | |  |  |
|  |  | |  | | 低电平 | | |  | | 向上计数 | | | |  | | 向下计数 | | | | - | | | |  | - | | | |  |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  |  |
|  | 编码模式 3 | |  | |  | | 高电平 | | |  | | 向下计数 | | | |  | | 向上计数 | | | |  | | 向上计数 | | |  | | 向下计数 | |  |
|  | （在所有Channel边沿计数） | |  | |  | | 低电平 | | |  | | 向上计数 | | | |  | | 向下计数 | | | |  | | 向下计数 | | |  | | 向上计数 | |  |
|  |  |  | |  | |  | |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | |  | |  |  |

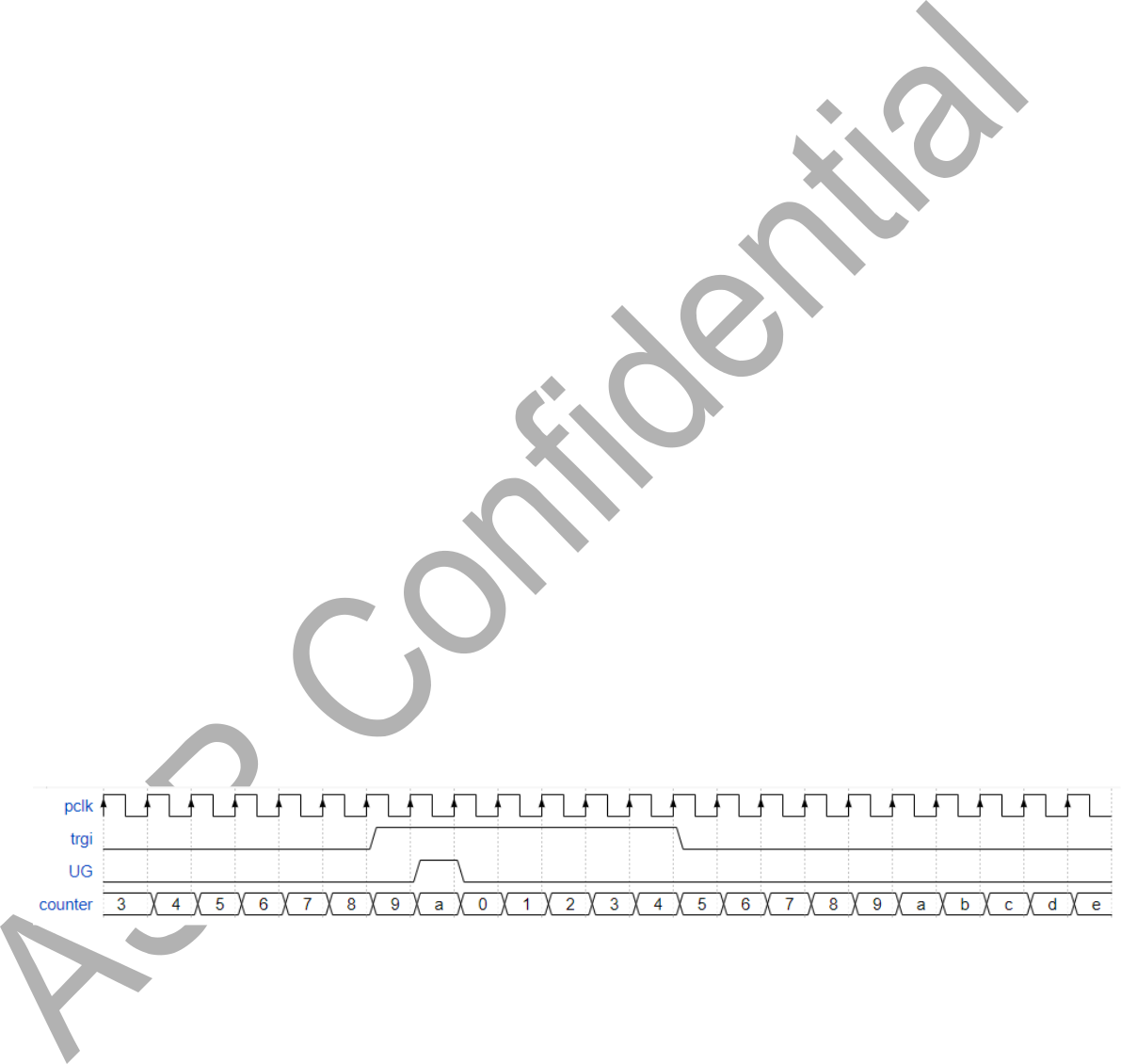
在编码模式下，计数器同样是在 0-ARR 之间计数，向上计数到 ARR 时会产生 overflow，然后回到 0 重新计数，向下计数到 0 时会产生 underflow，然后回到 ARR 重新计数。此外，在该模式下，输入捕获（Channel 2 和Channel 3）、输出比较、分频、触发输出功能依然适用。编码模式 1 的计数波形图如下：

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 273 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**图 22-15 编码模式 1 的计数波形**



**22.10 从模式Control**

GPTIMER 支持级联操作，作为外部或内部模块的从机。从模式的触发输入信号 TRGI 有多路来源，通过 TS[2:0] 进行选择，结构如上图，其中 ITRx 来自于内部其他 GPTIMER 的触发输出信号（TRGO），具体映射关系见下表。

**表 22-6 各 GPTIMER 的内部触发输入映射**

|  |  |  |  |
| --- | --- | --- | --- |
| 从机 GPTIMER | ITR0 | ITR1 | ITR2 |
|  |  |  |  |
| GPTIMER0 | GPTIMER2 | GPTIMER3 | GPTIMER1 |
|  |  |  |  |
| GPTIMER1 | GPTIMER0 | GPTIMER3 | GPTIMER2 |
|  |  |  |  |
| GPTIMER2 | GPTIMER3 | GPTIMER0 | - |
|  |  |  |  |
| GPTIMER3 | GPTIMER1 | GPTIMER2 | - |
|  |  |  |  |

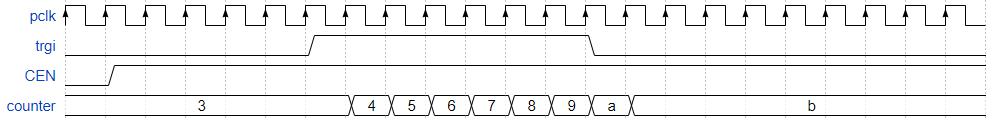
从模式Control主要有以下四种方式：

1. **复Bit模式**：TRGI 的上升沿将会初始化计数器和分频计数器，并且可以更新影子register（UDIS=0 时），从模式下复Bit模式波形图如下：

**图 22-16 从模式下的复Bit模式波形**

1. **门控模式**：TRGI 电平可以Control计数器的运行和停止，默认有效电平下，高电平时计数器计数，低电平时计数器停止计数（不是复Bit），在该模式下，CEN 需要软件置Bit。从模式下门控模式波形图如下：

**图 22-17 从模式下的门控模式波形**



Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 274 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



1. **触发模式**：TRGI 的上升沿可以Control计数器开始计数，但是无法Control计数器是否停止，在该模式下，CEN 不需要软件置Bit。从模式下触发模式波形图如下：

**图 22-18 从模式下的触发模式波形**

1. **时钟模式（即外部时钟模式 1）**：TRGI 的上升沿作为计数器的计数使能Control计数，此时分频电路依然有效。



在从模式下，TRGI 的上升沿会置Bit TIF 标志Bit，如果使能了相应中断或 DMA 屏蔽Bit，则会产生中断或 DMA 请求。但是门控模式有一些特殊，在该模式下，除上升沿外，下降沿也可以置

Bit TIF。

另外使用 GPTIMER 级联时，需要保证主从的时钟同频同相，否则会发生未知错误。

**22.11 主模式Control**

GPTIMER 也可以作为主模式使用，通过产生触发输出信号（TRGO）来Control其他 GPTIMER 或

ADC 和 DAC。TRGO 信号的来源可以由软件配置，具体如下：

* MMS=3’b000：复Bit模式，此时 UG 标志Bit将作为 TRGO 信号输出给外部从机。
* MMS=3’b001：使能模式，此时计数器的计数使能将作为 TRGO 信号输出给外部从机。如果当前 GPTIMER 同时处于从机门控模式，则该信号为门控信号，否则直接将 CEN 作为 TRGO 信号输出。
* MMS=3’b010：更新模式，此时将更新事件作为 TRGO 信号输出。
* MMS=3’b011：Channel 0 比较脉冲模式，此时如果 CC0IF 将置Bit，则输出一个脉冲作为 TRGO 信号，无论此时 CC0IF 是否已经置Bit。
* MMS=3’b100：比较模式 1，此时将 OC0REF 作为 TRGO 信号输出。
* MMS=3’b101：比较模式 2，此时将 OC1REF 作为 TRGO 信号输出。
* MMS=3’b110：比较模式 3，此时将 OC2REF 作为 TRGO 信号输出。
* MMS=3’b111：比较模式 4，此时将 OC3REF 作为 TRGO 信号输出。

***Note：****后 4 种模式输出的信号 OCxREF，并不是最终的Channel输出，而是内部信号。*

GPTIMER 配置为主机使能模式时，有一种特殊应用，即同步启动主机和从机的计数器。但是因为主机的 CEN 作为 TRGO 输出到从机并使能从机计数器需要两个时钟的延迟（假定主从时钟同频同相），因此在使用这一功能时，内部会把主机的 CEN 信号用两级register延迟 2 个时钟周期，以保证同步，该功能可以软件配置是否使能（MSM）。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 275 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.12 输出Control**

GPTIMER0 和 GPTIMER1 共 4 路Channel输出，GPTIMER2 和 GPTIMER3 共 2 路Channel输出，同时有相应的输出使能信号，Channel输出仅在 CCxE 置Bit时有效，此时可以通过 CCxP Control输出极性，输出极性指输出有效电平为高电平还是低电平。输出使能信号为高有效，即在 CCxE 置Bit时有效，同时需保证Channel被正确配置为输出模式，输出模式通过 CCxS 配置。

**22.13 Channel重映射**

Channel重映射就是把 GPTIMER 的Channel或外部触发Channel ETR 的输入信号从其他外部或内部信号映射过来。GPTIMER0 的 ETR Channel、Channel 0 和Channel 3 支持重映射，GPTIMER0 的Channel 2 支持重

映射，GPTIMER2 的 ETR Channel、Channel 0 和Channel 1 支持重映射，GPTIMER3 的 ETR Channel、Channel 0 支持remap.

**22.14 Debug 模式Control**

GPTIMER 可由软件配置 debug 下是否停止计数，如果使能该功能，则进入系统 debug 模式时， GPTIMER 停止计数（计数器不会初始化）。

**22.15 DMA Control**

GPTIMER 共有 6 个 DMA 请求源，分别是 update 事件（UIF）、4 路Channel事件（捕获事件、比较匹配）（CCxIF）以及触发事件（TIF），可以由独立的屏蔽Bit配置是否使能相应的 DMA 请求。对于Channel事件 DMA，可以软件（CCDS Bit）配置Channel的 DMA 请求源，若 CCDS=0，各Channel DMA 请求来自于各Channel的事件，如捕获、比较匹配事件；若 CCDS=1，则各Channel的 DMA 请求均来自于更新事件，Channel事件将被屏蔽。

各 DMA 请求仅在无相应应答信号、DMA 使能开启且 DMA 事件发生时置Bit，在 DMA 请求置Bit时，应答信号可以清除 DMA 请求，否则 DMA 请求将一直保持置Bit状态。

除常规的 DMA 操作外，GPTIMER 还支持 burst 功能，即一个 DMA 请求可以连续读写多个内部register。DBL Bit可以选择 burst 长度，最多 18 个，DBA 可以选择 burst 的Base address，DMARregister的地址可以作为 DMA 的目标地址或源地址（DMA 内部不需要设置每次递增）。当某一

个 DMA 请求置Bit时，GPTIMER 根据 DBL 和 DBA 的值，计算出每一次读写操作的实际地址，实际地址计算方法为：*CR1 + (DBA + index) x 4*，其中 index 的值为 0 至 DBL。

***Note：****register组中间有保留register地址，该地址也将包含在 DMA 的 burst 操作中，实际使用时需Note配置的长度。例如，Base address选择 ARR register（0x2C），DBL 配置为 5’b00010（3 个burst），则 DMA 实际操作的三个register分别是 0x2C、 0x30、 0x34，其中 0x30 为保留register，因此无法写入且读出永远为 0。*

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 276 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.16 中断**

GPTIMER 共有 6 个中断源，分别是 update 事件（UIF）、4 路Channel事件（捕获事件、比较匹配）（CCxIF）以及触发事件（TIF），各中断可以由独立的中断屏蔽Bit选择是否使能，中断标志Bit与相应屏蔽Bit是 AND 的关系，中断之间是 OR 的关系。GPTIMER 的中断信号如下表：

|  |  |
| --- | --- |
|  | **表 22-7 GPTIMER 中断信号** |
|  |  |
| 中断名称 | Description |
|  |  |
| 触发事件中断 | 触发源产生事件时的中断 |
|  |  |
| Channel 3 事件中断 | Channel 3 产生捕获或比较事件时的中断 |
|  |  |
| Channel 2 事件中断 | Channel 2 产生捕获或比较事件时的中断 |
|  |  |
| Channel 1 事件中断 | Channel 1 产生捕获或比较事件时的中断 |
|  |  |
| Channel 0 事件中断 | Channel 0 产生捕获或比较事件时的中断 |
|  |  |
| 更新事件中断 | 产生更新事件时的中断 |
|  |  |

上述中断的使能分别通过配置register DIER 的 TIE、CC3IE、CC2IE、CC1IE、CC0IE、UIE Bit实现。

**22.17 GPTIMER 相关registerDescription**

GPTIMER0 Base address：0x4000A000

GPTIMER1 Base address：0x4001A000

GPTIMER2 Base address：0x4000B000

GPTIMER3 Base address：0x4001B000

**表 22-8 GPTIMER register列表**

|  |  |  |
| --- | --- | --- |
| register | Offset | Description |
|  |  |  |
| GPTIM\_CR1 | 0x00 | Controlregister 1 |
|  |  |  |
| GPTIM\_CR2 | 0x04 | Controlregister 2 |
|  |  |  |
| GPTIM\_SMCR | 0x08 | 从模式Controlregister |
|  |  |  |
| GPTIM\_DIER | 0x0C | DMA/中断使能register |
|  |  |  |
| GPTIM\_SR | 0x10 | 状态register |
|  |  |  |
| GPTIM\_EGR | 0x14 | 事件register |
|  |  |  |
| GPTIM\_CCMR1 | 0x18 | 捕获比较模式register 1 |
|  |  |  |
| GPTIM\_CCMR2 | 0x1C | 捕获比较模式register 2 |
|  |  |  |
| GPTIM\_CCER | 0x20 | 捕获比较使能register |
|  |  |  |
| GPTIM\_CNT | 0x24 | 计数register |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 277 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



|  |  |  |
| --- | --- | --- |
| GPTIM\_PSC | 0x28 | 计数器分频值register |
|  |  |  |
| GPTIM\_ARR | 0x2C | 计数器重装载值register |
|  |  |  |
| GPTIM\_CCR0 | 0x34 | Channel 0 捕获比较register |
|  |  |  |
| GPTIM\_CCR1 | 0x38 | Channel 1 捕获比较register |
|  |  |  |
| GPTIM\_CCR2 | 0x3C | Channel 2 捕获比较register |
|  |  |  |
| GPTIM\_CCR3 | 0x40 | Channel 3 捕获比较register |
|  |  |  |
| GPTIM\_DCR | 0x48 | DMA Controlregister |
|  |  |  |
| GPTIM\_DMAR | 0x4C | DMA 地址register |
|  |  |  |
| GPTIM\_OR | 0x50 | Channel重映射register |
|  |  |  |

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 278 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.1 GPTIM\_CR1**

Offset：0x00

Reset value：0x0000

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **15-10** | **9-8** | **7** | **6-5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | CKD | ARPE | CMS | DIR | OPM | URS | UDIS | CEN |
|  |  |  |  |  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |  |

**Bit 15-10 RESERVED：**reserved.

**Bit 9-8 CKD：**采样时钟分频。

* + 00：fDTS = fpclk
  + 01：fDTS = fpclk
  + 10：fDTS = fpclk
  + 11：fDTS = reserved

**Bit 7 ARPE：**重装载影子register使能。

* + 0：ARR 影子register除能
  + 1：ARR 影子register使能

**Bit 6-5 CMS：**中间计数模式选择。

* + 00：边沿对齐计数模式，DIR Control向上或向下计数
  + 01：中间对齐模式 1。输出比较中断标志Bit仅在向下计数过程中置Bit
  + 10：中间对齐模式 2。输出比较中断标志Bit仅在向上计数过程中置Bit
  + 11：中间对齐模式 3。输出比较中断标志Bit在向上和向下计数过程中均置Bit

**Bit 4 DIR：**计数方向选择。中间对齐模式和编码模式，该Bit由硬件Control。

* + 0：向上计数
  + 1：向下计数

**Bit 3 OPM：**单脉冲模式使能。

* + 0：单脉冲模式除能
  + 1：单脉冲模式使能，计数器在下一次更新事件停止计数

**Bit 2 URS：**更新事件源选择，该Bit仅影响中断和 DMA 标志Bit（UIF），不影响内部逻辑。

* + 0：计数器溢出、UG Bit置Bit、从模式 reset 模式下的触发，均可以置Bit UIF
  + 1：只有计数器溢出事件可以置Bit UIF

**Bit 1 UDIS：**更新事件除能。

* + 0：更新事件使能，中间对齐模式 1。输出比较中断标志Bit仅在向下计数过程中置Bit均可以产生更新事件
  + 1：更新事件除能，影子register和 UIF 均不会被更新，但是此时计数器和分频计数器仍可以被 UG 置Bit事件初始化

**Bit 0 CEN：**计数器使能，触发模式下 CEN 由硬件置Bit，单脉冲模式下 CEN 由硬件清零。

* + 0：计数器除能
  + 1：计数器使能

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 279 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.2 GPTIM\_CR2**

Offset：0x04

Reset value：0x0000

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **15-8** | **7** | **6-4** | **3** | **2-0** |
| RESERVED | TI0S | MMS | CCDS | RESERVED |
|  |  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h | r-0h |
|  |  |  |  |  |

**Bit 15-8 RESERVED：**reserved.

**Bit 7 TI0S：**Channel 1 源异或选择（该功能仅 timer0 和 timer1 支持）。

* + 0：Channel 0 映射到Channel 0 输入
  + 1：Channel 0 为Channel 0、1、2 的异或输出

**Bit 6-4 MMS：**主模式选择，可以配置 TRGO 输出。

* + 000：复Bit模式，UG 将作为 TRGO 信号输出
  + 001：使能模式，CNT\_EN（不是 CEN）将作为 TRGO 信号输出
  + 010：更新模式，更新事件（内部信号）将作为 TRGO 信号输出
  + 011：比较脉冲模式，每次 CC0IF 将要置Bit时 TRGO 会输出一个脉冲，即使 CC0IF 已经置Bit
  + 100：比较模式，OC0REF（内部信号）作为 TRGO 信号输出
  + 101：比较模式，OC1REF（内部信号）作为 TRGO 信号输出
  + 110：比较模式，OC2REF（内部信号）作为 TRGO 信号输出
  + 111：比较模式，OC3REF（内部信号）作为 TRGO 信号输出

**Bit 3 CCDS：**Channel DMA 请求源选择（该功能仅 gptimer0 和 gptimer1 支持）。

* + 0：各Channel的 DMA 请求（不包含更新事件请求和触发事件请求）由Channel事件（捕获、比较）产生
  + 1：各Channel的 DMA 请求（不包含更新事件请求和触发事件请求）由更新事件产生

**Bit 2-0 RESERVED：**reserved.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 280 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.3** **GPTIM\_SMCR**

Offset：0x08

Reset value：0x0000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **15** | **14** | **13-12** | **11-8** | **7** | **6-4** | **3** | **2-0** |
| ETP | ECE | ETPS | ETF | MSM | TS | RESERVED | SMS |
|  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | r-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 15 ETP：**外部触发极性选择（配置极性时最好先不要选择模式（SMS），以防内部信号翻转触发未知错误）。

* + 0：外部触发输入不反相
  + 1：外部触发输入反相

**Bit 14 ECE：**外部时钟模式 2 使能。

* + 0：禁用外部时钟模式 2
  + 1：使能外部时钟模式 2

**Bit 13-12 ETPS：**外部触发输入分频（该分频主要用于 50%占空比降频，如 24M 信号 2 分频为 12M，电平延展一倍）择。

* + 00：不分频
  + 01：2 分频
  + 10：4 分频
  + 11：8 分频

**Bit 11-8 ETF：**外部触发输入滤波器配置。

* + 0000：禁用滤波器
  + 0001：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=2
  + 0010：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=4
  + 0011：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=8
  + 0100：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=6
  + 0101：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=8
  + 0110：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=6
  + 0111：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=8
  + 1000：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=6
  + 1001：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=8
  + 1010：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=5
  + 1011：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=6
  + 1100：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=8
  + 1101：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=5
  + 1110：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=6
  + 1111：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=8

**Bit 7 MSM：**主从模式同步（使用该功能时，需保证两个 timer 的时钟同频同相）。

* + 0：无动作
  + 1：TRGI 触发输入将延迟产生作用，以便与从计数器同时开始计数

**Bit 6-4 TS：**触发源选择，选择 TRGI 的来源（配置该Bit时 SMS 必须处于清零状态）。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 281 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



* + 000：ITR0
  + 001：ITR1
  + 010：ITR2（timer2 和 timer3 无此Channel）
  + 011：保留
  + 100：Channel 0 边沿检测输出
  + 101：Channel 0 滤波器输出
  + 110：Channel 1 滤波器输出
  + 111：外部触发输入

**Bit 3 RESERVED：**reserved.

**Bit 2-0 SMS：**从模式选择（选择模式前最好先配置好Channel参数，以防内部信号翻转触发未知错误）。

* + 000：禁用从模式
  + 001：编码模式 1，计数器仅在Channel 1 边沿计数
  + 010：编码模式 2，计数器仅在Channel 0 边沿计数
  + 011：编码模式 3，计数器在Channel 0 和 1 的边沿计数
  + 100：复Bit模式，TRGI 的上升沿将复Bit计数器
  + 101：门控模式，计数器仅在 TRGI 高电平期间计数
  + 110：触发模式，计数器在 TRGI 上升沿将开始计数，该模式仅Control计数的开始
  + 111：外部时钟模式 1，TRGI 的上升沿作为计数器计数时钟

**22.17.4** **GPTIM\_DIER**

Offset：0x0C

Reset value：0x0000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** |
| RESERVED | TDE | RESERVED | CC3DE | CC2DE | CC1DE | CC0DE | UDE |
|  |  |  |  |  |  |  |  |
| r-0h | rw-0h | r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | TIE | RESERVED | CC3IE | CC2IE | CC1IE | CC0IE | UIE |
|  |  |  |  |  |  |  |  |
| r-0h | rw-0h | r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 15 RESERVED：**reserved.

**Bit 14 TDE：**触发事件 DMA 请求使能。

* + 0：禁用触发事件 DMA 请求
  + 1：使能触发事件 DMA 请求

**Bit 13 RESERVED：**reserved.

**Bit 12 CC3DE：**Channel 3 事件 DMA 请求使能。

* + 0：禁用Channel 3 事件 DMA 请求
  + 1：使能Channel 3 事件 DMA 请求

**Bit 11 CC3DE：**Channel 2 事件 DMA 请求使能。

* + 0：禁用Channel 2 事件 DMA 请求
  + 1：使能Channel 2 事件 DMA 请求

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 282 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 10 CC3DE：**Channel 1 事件 DMA 请求使能。

* + 0：禁用Channel 1 事件 DMA 请求
  + 1：使能Channel 1 事件 DMA 请求

**Bit 9 CC3DE：**Channel 0 事件 DMA 请求使能。

* + 0：禁用Channel 0 事件 DMA 请求
  + 1：使能Channel 0 事件 DMA 请求

**Bit 8 UDE：**更新事件 DMA 请求使能。

* + 0：禁用更新事件 DMA 请求
  + 1：使能更新事件 DMA 请求

**Bit 7 RESERVED：**reserved.

**Bit 6 TIE：**触发事件中断请求使能。

* + 0：禁用触发事件中断请求
  + 1：使能触发事件中断请求

**Bit 5 RESERVED：**reserved.

**Bit 4 CC3IE：**Channel 3 事件中断请求使能。

* + 0：禁用Channel 3 事件中断请求
  + 1：使能Channel 3 事件中断请求

**Bit 3 CC2IE：**Channel 2 事件中断请求使能。

* + 0：禁用Channel 2 事件中断请求
  + 1：使能Channel 2 事件中断请求

**Bit 2 CC1IE：**Channel 1 事件中断请求使能。

* + 0：禁用Channel 1 事件中断请求
  + 1：使能Channel 1 事件中断请求

**Bit 1 CC0IE：**Channel 0 事件中断请求使能。

* + 0：禁用Channel 0 事件中断请求
  + 1：使能Channel 0 事件中断请求

**Bit 0 UIE：**Channel 0 事件中断请求使能。

* + 0：禁用Channel 0 事件中断请求
  + 1：使能Channel 0 事件中断请求

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 283 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.5** **GPTIM\_SR**

Offset：0x10

Reset value：0x0000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | **15-13** | | **12** | **11** | **10** | **9** | **8-7** |
| RESERVED | | | CC3OF | CC2OF | CC1OF | CC0OF | RESERVED |
|  |  |  |  |  |  |  |  |
|  | r-0h | | rw-0h | rw-0h | rw-0h | rw-0h | r-0h |
|  |  |  |  |  |  |  |  |
| **6** |  | **5** | **4** | **3** | **2** | **1** | **0** |
| TIF |  | RESERVED | CC3IF | CC2IF | CC1IF | CC0IF | UIF |
|  |  |  |  |  |  |  |  |
| rw-0h |  | r-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 15-13 RESERVED：**reserved.

**Bit 12 CC3OF：**Channel 3 overcapture 标志（写 0 清零）。

* + 0：无 overcapture
  + 1：发生了至少 1 次 overcapture

**Bit 11 CC2OF：**Channel 2 overcapture 标志（写 0 清零）。

* + 0：无 overcapture
  + 1：发生了至少 1 次 overcapture

**Bit 10 CC1OF：**Channel 1 overcapture 标志（写 0 清零）。

* + 0：无 overcapture
  + 1：发生了至少 1 次 overcapture

**Bit 9 CC0OF：**Channel 0 overcapture 标志（写 0 清零）。

* + 0：无 overcapture
  + 1：发生了至少 1 次 overcapture

**Bit 8-7 RESERVED：**reserved.

**Bit 6 TIF：**触发事件中断标志（写 0 清零）。

* + 0：无触发事件
  + 1：触发事件发生

**Bit 5 RESERVED：**reserved.

**Bit 4 CC3IF：**Channel 3 捕获/比较事件标志（比较模式：写 0 清零；捕获模式：读 ccrx register或写 0 均可清零）。

* + 0：无事件
  + 1：捕获或比较事件发生

**Bit 3 CC3IF：**Channel 2 捕获/比较事件标志（比较模式：写 0 清零；捕获模式：读 ccrx register或写 0 均可清零）。

* + 0：无事件
  + 1：捕获或比较事件发生

**Bit 2 CC3IF：**Channel 1 捕获/比较事件标志（比较模式：写 0 清零；捕获模式：读 ccrx register或写 0 均可清零）。

* + 0：无事件

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 284 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



* + 1：捕获或比较事件发生

**Bit 1 CC3IF：**Channel 0 捕获/比较事件标志（比较模式：写 0 清零；捕获模式：读 ccrx register或写 0 均可清零）。

* + 0：无事件
  + 1：捕获或比较事件发生

**Bit 0 UIF：**更新事件标志（读 SR 或写 0 可清零该Bit）。

* + 0：无事件
  + 1：更新事件发生

**22.17.6 GPTIM\_EGR**

Offset：0x14

Reset value：0x0000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **15-7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| RESERVED | TG | RESERVED | CC3G | CC2G | CC1G | CC0G | UG |
|  |  |  |  |  |  |  |  |
| r-0h | w-0h | r-0h | w-0h | w-0h | w-0h | w-0h | w-0h |
|  |  |  |  |  |  |  |  |

**Bit 15-7 RESERVED：**reserved.

**Bit 6 TG：**触发产生。

* + 0：无动作
  + 1：产生一次触发事件，TIF 置Bit

**Bit 5 RESERVED：**reserved.

**Bit 4 CC3G：**Channel 3 事件产生。

* + 0：无动作
  + 1：输入模式时产生捕获动作，Output mode产生比较动作，两种模式下 CC3IF 置Bit

**Bit 3 CC2G：**Channel 2 事件产生。

* + 0：无动作
  + 1：输入模式时产生捕获动作，Output mode产生比较动作，两种模式下 CC2IF 置Bit

**Bit 2 CC1G：**Channel 1 事件产生。

* + 0：无动作
  + 1：输入模式时产生捕获动作，Output mode产生比较动作，两种模式下 CC1IF 置Bit

**Bit 1 CC0G：**Channel 0 事件产生。

* + 0：无动作
  + 1：输入模式时产生捕获动作，Output mode产生比较动作，两种模式下 CC0IF 置Bit

**Bit 0 UG：**更新事件产生。

* + 0：无动作
  + 1：产生一次更新事件

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 285 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.7** **GPTIM\_CCMR1**

Offset：0x18

Reset value：0x0000

**Output mode结构如下：**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **15** | **14-12** | **11** | **10** | **9-8** | **7** | **6-4** | **3** | **2** | **1-0** |
| OC1CE | OC1M | OC1PE | OC1FE | CC1S | OC0CE | OC0M | OC0PE | OC0FE | CC0S |
|  |  |  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 15 OC1CE：**Channel 1 输出比较清除使能。

* + 0：禁用清除功能
  + 1：使能清除功能，ETRF 高电平可以清除Channel输出

**Bit 14-12 OC1M：**Channel 1 输出比较模式选择。

* + 000：冻结模式，Channel输出不随比较结果变化
  + 001：有效模式，匹配后Channel输出有效电平
  + 010：失效模式，匹配后Channel输出失效电平
  + 011：翻转模式，匹配后将翻转Channel输出
  + 100：强制有效模式，选择该模式后，直接输出有效电平
  + 101：强制失效模式，选择该模式后，直接输出失效电平
  + 110：PWM1 模式，该模式下，向上计数时，CNT<CCR 时Channel输出有效电平，否则输出失效电平；向下计数时，CNT>CCR 时Channel输出失效电平，否则输出有效电平（向上计数时，若 CCRx>ARR， OCxREF 一直输出高电平，若 CCRx==0，OCxREF 一直输出低电平；向下计数时，若 CCRx>ARR， OCxREF 一直输出高电平，此时 0% PWM 不支持）
  + 111：PWM2 模式，该模式下，向上计数时，CNT<CCR 时Channel输出失效电平，否则输出有效电平；向下计数时，CNT>CCR 时Channel输出有效电平，否则输出失效电平（0%与 100%波形与 PWM1 同理）

**Bit 11 OC1PE：**Channel 1 输出比较影子register使能。

* + 0：禁用影子register
  + 1：使能影子register

**Bit 10 OC1FE：**Channel 1 快速输出使能。

* + 0：禁用快速模式，输出仅在匹配时变化
  + 1：使能快速模式，触发输入相当于匹配事件，直接影响Channel输出，不受计数器与 CCR 的比较影响

**Bit 9-8 CC1S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 1
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 0
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

**Bit 7 OC0CE：**Channel 0 输出比较清除使能。

* + 0：禁用清除功能
  + 1：使能清除功能，ETRF 高电平可以清除Channel输出

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 286 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 6-4 OC0M：**Channel 0 输出比较模式选择。

* + 000：冻结模式，Channel输出不随比较结果变化
  + 001：有效模式，匹配后Channel输出有效电平
  + 010：失效模式，匹配后Channel输出失效电平
  + 011：翻转模式，匹配后将翻转Channel输出
  + 100：强制有效模式，选择该模式后，直接输出有效电平
  + 101：强制失效模式，选择该模式后，直接输出失效电平
  + 110：PWM1 模式，该模式下，向上计数时，CNT<CCR 时Channel输出有效电平，否则输出失效电平；向下计数时，CNT>CCR 时Channel输出失效电平，否则输出有效电平（向上计数时，若 CCRx>ARR， OCxREF 一直输出高电平，若 CCRx==0，OCxREF 一直输出低电平；向下计数时，若 CCRx>ARR， OCxREF 一直输出高电平，此时 0% PWM 不支持）
  + 111：PWM2 模式，该模式下，向上计数时，CNT<CCR 时Channel输出失效电平，否则输出有效电平；向下计数时，CNT>CCR 时Channel输出有效电平，否则输出失效电平（0%与 100%波形与 PWM1 同理）

**Bit 3 OC0PE：**Channel 0 输出比较影子register使能。

* + 0：禁用影子register
  + 1：使能影子register

**Bit 2 OC0FE：**Channel 0 快速输出使能。

* + 0：禁用快速模式，输出仅在匹配时变化
  + 1：使能快速模式，触发输入相当于匹配事件，直接影响Channel输出，不受计数器与 CCR 的比较影响

**Bit 1-0 CC0S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 0
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 1
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

**输入模式时结构如下：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **15-12** | **11-10** | **9-8** | **7-4** | **3-2** | **1-0** |
| IC1F | IC1PSC | CC1S | IC0F | IC0PSC | CC0S |
|  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |

**Bit 15-12 IC1F：**Channel 1 输入滤波器配置（需配置 CCxS！=0x0 该功能才能生效）。

* + 0000：禁用滤波器
  + 0001：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=2
  + 0010：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=4
  + 0011：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=8
  + 0100：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=6
  + 0101：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=8
  + 0110：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=6
  + 0111：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=8
  + 1000：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=6
  + 1001：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=8
  + 1010：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=5**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 287 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



* + 1011：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=6
  + 1100：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=8
  + 1101：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=5
  + 1110：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=6
  + 1111：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=8

**Bit 11-10 IC1PSC：**Channel 1 分频（需配置 CCxS！=0x0 该功能才能生效）。

* + 00：不分频
  + 01：2 分频
  + 10：4 分频
  + 11：8 分频

**Bit 9-8 CC1S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 1
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 0
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

**Bit 7-4 IC0F：**Channel 0 输入滤波器配置（需配置 CCxS！=0x0 该功能才能生效）。

* + 0000：禁用滤波器
  + 0001：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=2
  + 0010：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=4
  + 0011：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=8
  + 0100：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=6
  + 0101：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=8
  + 0110：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=6
  + 0111：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=8
  + 1000：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=6
  + 1001：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=8
  + 1010：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=5
  + 1011：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=6
  + 1100：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=8
  + 1101：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=5
  + 1110：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=6
  + 1111：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=8

**Bit 3-2 IC0PSC：**Channel 0 分频（需配置 CCxS！=0x0 该功能才能生效）。

* + 00：不分频
  + 01：2 分频
  + 10：4 分频
  + 11：8 分频

**Bit 1-0 CC0S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 0
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 1
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 288 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.8** **GPTIM\_CCMR2**

Offset：0x1C

Reset value：0x0000

**Output mode结构如下：**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **15** | **14-12** | **11** | **10** | **9-8** | **7** | **6-4** | **3** | **2** | **1-0** |
| OC3CE | OC3M | OC3PE | OC3FE | CC3S | OC2CE | OC2M | OC2PE | OC2FE | CC2S |
|  |  |  |  |  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |  |  |

**Bit 15 OC3CE：**Channel 3 输出比较清除使能。

* + 0：禁用清除功能
  + 1：使能清除功能，ETRF 高电平可以清除Channel输出

**Bit 14-12 OC3M：**Channel 3 输出比较模式选择。

* + 000：冻结模式，Channel输出不随比较结果变化
  + 001：有效模式，匹配后Channel输出有效电平
  + 010：失效模式，匹配后Channel输出失效电平
  + 011：翻转模式，匹配后将翻转Channel输出
  + 100：强制有效模式，选择该模式后，直接输出有效电平
  + 101：强制失效模式，选择该模式后，直接输出失效电平
  + 110：PWM1 模式，该模式下，向上计数时，CNT<CCR 时Channel输出有效电平，否则输出失效电平；向下计数时，CNT>CCR 时Channel输出失效电平，否则输出有效电平（向上计数时，若 CCRx>ARR， OCxREF 一直输出高电平，若 CCRx==0，OCxREF 一直输出低电平；向下计数时，若 CCRx>ARR， OCxREF 一直输出高电平，此时 0% PWM 不支持）
  + 111：PWM2 模式，该模式下，向上计数时，CNT<CCR 时Channel输出失效电平，否则输出有效电平；向下计数时，CNT>CCR 时Channel输出有效电平，否则输出失效电平（0%与 100%波形与 PWM1 同理）

**Bit 11 OC3PE：**Channel 3 输出比较影子register使能。

* + 0：禁用影子register
  + 1：使能影子register

**Bit 10 OC3FE：**Channel 3 快速输出使能。

* + 0：禁用快速模式，输出仅在匹配时变化
  + 1：使能快速模式，触发输入相当于匹配事件，直接影响Channel输出，不受计数器与 CCR 的比较影响

**Bit 9-8 CC3S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 3
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 2
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

**Bit 7 OC2CE：**Channel 2 输出比较清除使能。

* + 0：禁用清除功能
  + 1：使能清除功能，ETRF 高电平可以清除Channel输出

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 289 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 6-4 OC2M：**Channel 2 输出比较模式选择。

* + 000：冻结模式，Channel输出不随比较结果变化
  + 001：有效模式，匹配后Channel输出有效电平
  + 010：失效模式，匹配后Channel输出失效电平
  + 011：翻转模式，匹配后将翻转Channel输出
  + 100：强制有效模式，选择该模式后，直接输出有效电平
  + 101：强制失效模式，选择该模式后，直接输出失效电平
  + 110：PWM1 模式，该模式下，向上计数时，CNT<CCR 时Channel输出有效电平，否则输出失效电平；向下计数时，CNT>CCR 时Channel输出失效电平，否则输出有效电平（向上计数时，若 CCRx>ARR， OCxREF 一直输出高电平，若 CCRx==0，OCxREF 一直输出低电平；向下计数时，若 CCRx>ARR， OCxREF 一直输出高电平，此时 0% PWM 不支持）
  + 111：PWM2 模式，该模式下，向上计数时，CNT<CCR 时Channel输出失效电平，否则输出有效电平；向下计数时，CNT>CCR 时Channel输出有效电平，否则输出失效电平（0%与 100%波形与 PWM1 同理）

**Bit 3 OC2PE：**Channel 2 输出比较影子register使能。

* + 0：禁用影子register
  + 1：使能影子register

**Bit 2 OC2FE：**Channel 2 快速输出使能。

* + 0：禁用快速模式，输出仅在匹配时变化
  + 1：使能快速模式，触发输入相当于匹配事件，直接影响Channel输出，不受计数器与 CCR 的比较影响

**Bit 1-0 CC2S：**捕获比较选择。

* + 00：Channel配置为输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 2
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 3
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

**输入模式时结构如下：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **15-12** | **11-10** | **9-8** | **7-4** | **3-2** | **1-0** |
| IC3F | IC3PSC | CC3S | IC2F | IC2PSC | CC2S |
|  |  |  |  |  |  |
| rw-0h | rw-0h | rw-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |

**Bit 15-12 IC3F：**Channel 3 输入滤波器配置（需配置 CCxS！=0x0 该功能才能生效）。

* + 0000：禁用滤波器
  + 0001：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=2
  + 0010：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=4
  + 0011：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=8
  + 0100：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=6
  + 0101：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=8
  + 0110：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=6
  + 0111：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=8
  + 1000：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=6
  + 1001：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=8
  + 1010：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=5**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 290 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



* + 1011：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=6
  + 1100：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=8
  + 1101：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=5
  + 1110：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=6
  + 1111：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=8

**Bit 11-10 IC3PSC：**Channel 3 分频（需配置 CCxS！=0x0 该功能才能生效）。

* + 00：不分频
  + 01：2 分频
  + 10：4 分频
  + 11：8 分频

**Bit 9-8 CC3S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 3
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 2
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

**Bit 7-4 IC2F：**Channel 2 输入滤波器配置（需配置 CCxS！=0x0 该功能才能生效）。

* + 0000：禁用滤波器
  + 0001：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=2
  + 0010：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=4
  + 0011：滤波器采样频率 fsampling=fpclk， 滤波器长度 N=8
  + 0100：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=6
  + 0101：滤波器采样频率 fsampling=fDTS/2， 滤波器长度 N=8
  + 0110：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=6
  + 0111：滤波器采样频率 fsampling=fDTS/4， 滤波器长度 N=8
  + 1000：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=6
  + 1001：滤波器采样频率 fsampling=fDTS/8， 滤波器长度 N=8
  + 1010：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=5
  + 1011：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=6
  + 1100：滤波器采样频率 fsampling=fDTS/16， 滤波器长度 N=8
  + 1101：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=5
  + 1110：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=6
  + 1111：滤波器采样频率 fsampling=fDTS/32， 滤波器长度 N=8

**Bit 3-2 IC2PSC：**Channel 2 分频（需配置 CCxS！=0x0 该功能才能生效）。

* + 00：不分频
  + 01：2 分频
  + 10：4 分频
  + 11：8 分频

**Bit 1-0 CC2S：**捕获比较选择。

* + 00：Channel配置为 输出模式
  + 01：Channel配置为输入模式，捕获Channel输入映射至Channel 2
  + 10：Channel配置为输入模式，捕获Channel输入映射至Channel 3
  + 11：Channel配置为输入模式，捕获Channel输入映射至触发输入 TRC

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 291 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.9 GPTIM\_CCER**

Offset：0x20

Reset value：0x0000

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **15** | **14** | **13** | **12** | **11** | **10** | **9** | **8** |
| CC3NP | RESERVED | CC3P | CC3E | CC2NP | RESERVED | CC2P | CC2E |
|  |  |  |  |  |  |  |  |
| rw-0h | r-0h | rw-0h | rw-0h | rw-0h | r-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| CC1NP | RESERVED | CC1P | CC1E | CC0NP | RESERVED | CC0P | CC0E |
|  |  |  |  |  |  |  |  |
| rw-0h | r-0h | rw-0h | rw-0h | rw-0h | r-0h | rw-0h | rw-0h |
|  |  |  |  |  |  |  |  |

**Bit 15 CC3NP：**输出反相极性，Output mode该Bit必须Bit 0，输入模式时参看 CC3P。

**Bit 14 RESERVED：**reserved.

**Bit 13 CC3P：**输出极性，须与 CC3NP 共同作用（配置极性最好在模式选择之前，防止内部信号翻转触发未知错误）。

**输出模式：**

* 0：输出有效极性Bit高电平
* 1：输出有效极性Bit低电平

**输入模式，{CC3NP，CC3P}：**

* + 00：Channel输入上升沿有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）
  + 01：Channel输入下降沿有效（捕获、触发、复Bit、时钟模式），低电平有效（门控、编码模式）
  + 10：保留
  + 11：Channel输入上升沿和下降沿均有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）

**Bit 12 CC3E：**Channel使能。

**输入模式：**

* 0：禁用捕获
* 1：使能捕获

**输出模式：**

* + 0：禁用输出
  + 1：使能输出

**Bit 11 CC2NP：**输出反相极性，Output mode该Bit必须Bit 0，输入模式时参看 CC2P。

**Bit 10 RESERVED：**reserved.

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 292 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 9 CC2P：**输出极性，须与 CC2NP 共同作用（配置极性最好在模式选择之前，防止内部信号翻转触发未知错误）。

**输出模式：**

* 0：输出有效极性Bit高电平
* 1：输出有效极性Bit低电平

**输入模式，{CC2NP，CC2P}：**

* + 00：Channel输入上升沿有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）
  + 01：Channel输入下降沿有效（捕获、触发、复Bit、时钟模式），低电平有效（门控、编码模式）
  + 10：保留
  + 11：Channel输入上升沿和下降沿均有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）

**Bit 8 CC2E：**Channel使能。

**输入模式：**

* 0：禁用捕获
* 1：使能捕获

**输出模式：**

* + 0：禁用输出
  + 1：使能输出

**Bit 7 CC1NP：**输出反相极性，Output mode该Bit必须Bit 0，输入模式时参看 CC1P。

**Bit 6 RESERVED：**reserved.

**Bit 5 CC1P：**输出极性，须与 CC3NP 共同作用（配置极性最好在模式选择之前，防止内部信号翻转触发未知错误）。

**输出模式：**

* 0：输出有效极性Bit高电平
* 1：输出有效极性Bit低电平

**输入模式，{CC1NP，CC1P}：**

* + 00：Channel输入上升沿有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）
  + 01：Channel输入下降沿有效（捕获、触发、复Bit、时钟模式），低电平有效（门控、编码模式）
  + 10：保留
  + 11：Channel输入上升沿和下降沿均有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）

**Bit 4 CC1E：**Channel使能。

**输入模式：**

* 0：禁用捕获
* 1：使能捕获

**输出模式：**

* 0：禁用输出
* 1：使能输出

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 293 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 3 CC0NP：**输出反相极性，Output mode该Bit必须Bit 0，输入模式时参看 CC0P。

**Bit 2 RESERVED：**reserved.

**Bit 1 CC0P：**输出极性，须与 CC0NP 共同作用（配置极性最好在模式选择之前，防止内部信号翻转触发未知错误）。

**输出模式：**

* 0：输出有效极性Bit高电平
* 1：输出有效极性Bit低电平

**输入模式，{CC0NP，CC0P}：**



* + 00：Channel输入上升沿有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）
  + 01：Channel输入下降沿有效（捕获、触发、复Bit、时钟模式），低电平有效（门控、编码模式）
  + 10：保留
  + 11：Channel输入上升沿和下降沿均有效（捕获、触发、复Bit、时钟模式），高电平有效（门控、编码模式）

**Bit 0 CC0E：**Channel使能。

**输入模式：**

* 0：禁用捕获
* 1：使能捕获

**输出模式：**

* 0：禁用输出
* 1：使能输出

**22.17.10 GPTIM\_CNT**

Offset：0x24

Reset value：0x0000

**15-0**

CNT

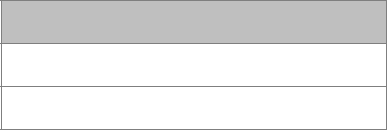
rw-0h

**Bit 15-0 CNT：**计数器计数值。

**22.17.11 GPTIM\_PSC**

Offset：0x28

Reset value：0x0000



**15-0**

PSC

rw-0h

**Bit 15-0 PSC：**时钟分频值为 PSC+1。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 294 / 302

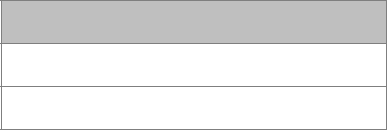
 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.12 GPTIM\_ARR**

Offset：0x2C

Reset value：0xFFFF



**15-0**

PSC

rw-FFFFh



**Bit 15-0 ARR：**计数器重装载值。

**22.17.13 GPTIM\_CCR0**

Offset：0x34

Reset value：0x0000

**15-0**

CCR0

rw-0h

**Bit 15-0 CCR0：**Output mode，该register保存用户写入的比较值，用于与 CNT 进行比较；输入模式时，该register保存捕获的值，只读。

**22.17.14 GPTIM\_CCR1**

Offset：0x38

Reset value：0x0000

**15-0**

CCR1

rw-0h

**Bit 15-0 CCR1：**Output mode，该register保存用户写入的比较值，用于与 CNT 进行比较；输入模式时，该register保存捕获的值，只读。

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 295 / 302

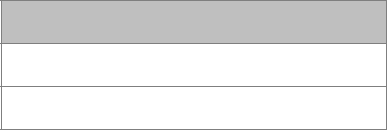
 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.15 GPTIM\_CCR2**

Offset：0x3C

Reset value：0x0000



**15-0**

CCR2

rw-0h



**Bit 15-0 CCR2：**Output mode，该register保存用户写入的比较值，用于与 CNT 进行比较；输入模式时，该register保存捕获的值，只读。

**22.17.16 GPTIM\_CCR3**

Offset：0x40

Reset value：0x0000

**15-0**

CCR3

rw-0h

**Bit 15-0 CCR3：**Output mode，该register保存用户写入的比较值，用于与 CNT 进行比较；输入模式时，该register保存捕获的值，只读。

**22.17.17 GPTIM\_DCR**

Offset：0x48

Reset value：0x0000

|  |  |  |  |
| --- | --- | --- | --- |
| **15-13** | **12-8** | **7-5** | **4-0** |
| RESERVED | DBL | RESERVED | DBA |
|  |  |  |  |
| r-0h | rw-0h | r-0h | rw-0h |

**Bit 15-13 RESERVED：**reserved.

**Bit 12-8 DBL：**DMA Continuous read and write length.。

* + 00000：1 Transmissions
  + 00001：2 Transmissions
  + 00010：3 Transmissions
  + 00011：4 Transmissions
  + 00100：5 Transmissions
  + 00101：6 Transmissions
  + 00110：7 Transmissions
  + 00111：8 Transmissions
  + 01000：9 Transmissions**（To be continued on next page）**

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 296 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



* + 01001：10 Transmissions
  + 01010：11 Transmissions
  + 01011：12 Transmissions
  + 01100：13 Transmissions
  + 01101：14 Transmissions
  + 01110：15 Transmissions
  + 01111：16 Transmissions
  + 10000：17 Transmissions
  + 10001：18 Transmissions

**Bit 7-5 RESERVED：**reserved.

**Bit 4-0 DBA：**DMA Continuous read and write base address。

* + 00000：CR1 register
  + 00001：CR2 register
  + 00010：SMCR register
  + 00011：DIER register
  + 00100：SR register
  + 00101：EGR register
  + 00110：CCMR1 register
  + 00111：CCMR2 register
  + 01000：CCER register
  + 01001：CNT register
  + 01010：PSC register
  + 01011：ARR register
  + 01100：Offset address 0X30 retention register
  + 01101：CCR0 register
  + 01110：CCR1 register
  + 01111：CCR2 register
  + 10000：CCR3 register
  + 10001：Offset address 0X44 retention register
  + 10010：DCR register
  + 10011：DMAR register
  + 10100：OR register
  + 10101：reserved
  + 10110：reserved
  + 10111：reserved
  + 11000：reserved
  + 11001：reserved
  + 11010：reserved
  + 11011：reserved
  + 11100：reserved
  + 11101：reserved
  + 11110：reserved
  + 11111：reserved

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 297 / 302

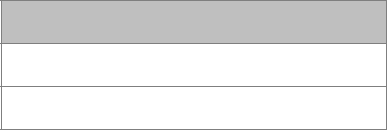
 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**22.17.18 GPTIM\_DMAR**

Offset：0x4C

Reset value：0x0000



**15-0**

DMAR

rw-0h

**Bit 15-0 DMAR：**This register stores the current DMA 操作的register的值，例如当前 DMA 需要操作 TIM\_CR2 register，那么直接操作该地址，便相当于操作 TIM\_CR2 register。具体代表那个register需要参考

DSTEP、DBL 和 DBA 的值。

**22.17.19 GPTIM\_OR**

Offset：0x50

Reset value：0x0000

**GPTIMER0 register structure：**

|  |  |  |  |
| --- | --- | --- | --- |
| **15-11** | **10-7** | **6-4** | **3-0** |
| RESERVED | ETR\_RMP | TI3\_RMP | TI0\_RMP |
|  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 15-11 RESERVED：**reserved.

**Bit 10-7 ETR\_RMP：**ETR remap.

* + 0000：iom
  + 0001：comp0
  + 0010：comp1
  + 0011：xo32k
  + 0100：rco48m
  + 0101：adcctrl\_awd0
  + 0110：adcctrl\_awd1
  + 0111：adcctrl\_awd2
  + 1000：uart\_rx[0]
  + 1001：uart\_rx[1]
  + 1010：uart\_rx[2]
  + 1011：uart\_rx[3]
  + 1100：uart\_rx[4]
  + 1101：reserved
  + 1110：reserved
  + 1111：reserved

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 298 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 6-4 TI3\_RMP：**Channel 3 remap.

 000：iom

 001：comp0

 010：comp1

 011：reserved

 100：reserved

 101：reserved

 110：reserved

 111：reserved

**Bit 3-0 TI0\_RMP：**Channel 0 remap.

 0000：iom

 0001：uart\_rx[0]

 0010：uart\_rx[1]

 0011：uart\_rx[2]

 0100：uart\_rx[3]

 0101：uart\_rx[4]

 0110：reserved

 0111：reserved

 1000：reserved

 1001：reserved

 1010：reserved

 1011：reserved

 1100：reserved

 1101：reserved

 1110：reserved

 1111：reserved

**GPTIMER1 register structure：**

|  |  |
| --- | --- |
| **15-2** | **1-0** |
| RESERVED | TI2\_RMP |
|  |  |
| r-0h | rw-0h |
|  |  |

**Bit 15-2 RESERVED：**reserved.

**Bit 1-0 TI2\_RMP：**Channel 2 remap.

* + 00：iom
  + 01：TIM3\_CH1
  + 10：reserved
  + 11：reserved

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 299 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**GPTIMER2 register structure：**

|  |  |  |  |
| --- | --- | --- | --- |
| **15-10** | **9-7** | **6-5** | **4-0** |
| RESERVED | ETR\_RMP | TI1\_RMP | TI0\_RMP |
|  |  |  |  |
| r-0h | rw-0h | rw-0h | rw-0h |
|  |  |  |  |

**Bit 15-10 RESERVED：**reserved.

**Bit 9-7 ETR\_RMP：**ETR remap.

* + 0000：iom
  + 0001：comp0
  + 0010：comp1
  + 0011：xo32k
  + 0100：reserved
  + 0101：reserved
  + 0110：reserved
  + 0111：reserved
  + 1000：reserved
  + 1001：reserved
  + 1010：reserved
  + 1011：reserved
  + 1100：reserved
  + 1101：reserved
  + 1110：reserved
  + 1111：reserved

**Bit 6-5 TI1\_RMP：**Channel 1 remap.

* + 00：iom
  + 01：comp1
  + 10：reserved
  + 11：reserved

**Bit 4-0 TI0\_RMP：**Channel 0 remap.

* + 00000：iom
  + 00001：xo24m
  + 00010：xo32m
  + 00011：rco48m
  + 00100：xo32k
  + 00101：rco32k
  + 00110：mco
  + 00111：comp0
  + 01000：rco3.6m
  + 01001：rtc\_alarm1\_happen\_pulse
  + 01010：rtc\_alarm0\_happen\_pulse
  + 01011：rtc\_cyc\_counter\_pulse
  + 01100：reserved**（To be continued on next page）**
  + 01101：reserved

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 300 / 302

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 22. General purpose timer (GPTIMER) | | | | |  | | ASR6601 Reference Manual | |
|  |  |  |  |  | |  | |  |
|  |  | 01110：reserved | |  | |  | |  |
|  |  | 01111：reserved | |  | |  | |  |
|  |  | 10000：reserved | |  | |  | |  |
|  |  | 10001：reserved | |  | |  | |  |
|  |  | 10010：reserved | |  | |  | |  |
|  |  | 10011：reserved | |  | |  | |  |
|  |  | 10100：reserved | |  | |  | |  |
|  |  | 10101：reserved | |  | |  | |  |
|  |  | 10110：reserved | |  | |  | |  |
|  |  | 10111：reserved | |  | |  | |  |
|  |  | 11000：reserved | |  | |  | |  |
|  |  | 11001：reserved | |  | |  | |  |
|  |  | 11010：reserved | |  | |  | |  |
|  |  | 11011：reserved | |  | |  | |  |
|  |  | 11100：reserved | |  | |  | |  |
|  |  | 11101：reserved | |  | |  | |  |
|  |  | 11110：reserved | |  | |  | |  |
|  |  | 11111：reserved | |  | |  | |  |
| **GPTIMER3 register structure：** | | | |  | |  | |  |
|  |  |  |  |  | |  | |  |
|  |  | **15-7** |  | **6-3** | | **2-0** | |  |
|  |  | RESERVED |  | ETR\_RMP | | TI0\_RMP | |  |
|  |  |  |  |  | |  | |  |
|  |  | r-0h |  | rw-0h | | rw-0h | |  |
|  |  |  |  |  | |  | |  |



**Bit 15-7 RESERVED：**reserved.

**Bit 6-3 ETR\_RMP：**ETR remap.

* + 0000：iom
  + 0001：comp0
  + 0010：comp1
  + 0011：xo32k
  + 0100：uart\_rx[0]
  + 0101：uart\_rx[1]
  + 0110：uart\_rx[2]
  + 0111：uart\_rx[3]
  + 1000：uart\_rx[4]
  + 1001：reserved
  + 1010：reserved
  + 1011：reserved
  + 1100：reserved
  + 1101：reserved
  + 1110：reserved
  + 1111：reserved

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 301 / 302

 22. General purpose timer (GPTIMER) ASR6601 Reference Manual



**Bit 2-0 TI0\_RMP：**Channel 0 remap.

* + 000：iom
  + 001：comp0
  + 010：comp1
  + 011：uart\_rx[0]
  + 100：uart\_rx[1]
  + 101：uart\_rx[2]
  + 110：uart\_rx[3]
  + 111：uart\_rx[4]

Document version 1.5.0 Copyright © ASR Technology Co., Ltd. 302 / 302