



# HC32L07x Series

**32-bit ARM® Cortex®-M0+ microcontrollers**

---

Data sheet

Rev1.85 March 2025

## Product Features

- 48MHz Cortex-M0+ 32-bit CPU
- HC32L072 / HC32L073 series with flexible power management system
  - 1.2μA @ 3V deep sleep mode: all clocks off, power-on reset valid, IO state retained, IO interrupt valid, all registers, RAM and CPU data saved
  - 1.6μA @3V deep sleep mode + RTC running
  - 9μA @32.768kHz low-speed run mode: CPU running, peripherals off, program running from FLASH
  - 40μA/MHz@3V@24MHz sleep mode: CPU stopped, peripherals off, main clock running
  - 140μA/MHz@3V@24MHz working mode: CPU running, peripherals off, program running from FLASH
  - 4μs Wake-up time, making mode switching more flexible and efficient, and the system more responsive
- 128K bytes of FLASH memory with erase and write protection function, supporting ISP, ICP, IAP
- 16K bytes of RAM memory with parity check to enhance system stability
- General I/O pins
- Clock, crystal oscillator
  - External high-speed crystal oscillator 8 ~ 32MHz
  - External low-speed crystal oscillator 32.768kHz
  - Internal high-speed clock 4/8/16/22.12/24MHz
  - Internal low-speed clock 32.8/38.4kHz
  - PLL clock 8 ~ 48MHz
  - Internal high-speed USB clock 48MHz
  - Hardware supports internal and external clock calibration and monitoring
- Timer/Counter
  - 3 general-purpose 16-bit timers, support 1 group of complementary PWM output, support double main frequency PWM output, support up to 96MHz PWM output
  - 1 advanced 16-bit timer, support 3-phase complementary PWM output, support double main frequency PWM output, support up to 96MHz PWM output
  - 3 high-performance 16-bit timer/counters, support PWM complementary, dead zone protection function
  - 1 ultra-low power pulse counter PCNT, with automatic timed wake-up function in low power mode, maximum timing up to 1024 seconds
  - 1 programmable 16-bit PCA, supporting 5-channel capture-compare,
- 5-channel PWM output
  - 2 low-power 16-bit timers, support cascading
  - 1 20-bit programmable watchdog circuit, built-in dedicated 10kHz oscillator provides WDT counting
- Communication interfaces
  - 4 UART standard communication interfaces
  - 2 LPUART low-power communication interfaces, can work in deep sleep mode
  - 2 SPI standard communication interfaces
  - 2 I2C standard communication interfaces
  - 2 I2S audio communication interfaces
  - 1 Crystal-less USB Full Speed Device
  - 1 CAN 2.0B standard communication interface
- Buzzer frequency generator, support complementary output
- Hardware perpetual calendar RTC module
- Hardware CRC-16/32 module
- Hardware 32-bit divider
- AES-128/192/256 hardware coprocessor
- TRNG True Random Number Generator
- 2-channel DMAC
- 4\*52 / 6\*50 / 8\*48 LCD driver (073 series only)
- Globally unique 10-byte ID number
- 12-bit 1Msps sampling high-speed and high-precision SARADC, built-in op amp, can measure high output impedance signals
- 2-channel 12-bit 500Ksps DAC
- Integrated 5 multi-function operational amplifiers, two of which can be used as output buffers for 2 DACs
- Integrated 3-channel voltage comparator with 6-bit DAC and programmable comparison reference
- Integrated low voltage detector, configurable 16-step comparison voltage, can monitor port voltage and power supply voltage
- SWD debugging solution, providing full-function debugger
- Operating conditions: -40 ~ 85°C, 1.8 ~ 5.5V
- Package: LQFP100/ 64/ 48, QFN32

### Supported models:

HC32L072PATA-LQFP100	HC32L072KATA-LQFP64
HC32L072JATA-LQ48	HC32L072FAUA-QN32TR
HC32L073PATA-LQFP100	HC32L073KATA-LQFP64
HC32L073JATA-LQ48	

## Disclaimer

- ★ Xiaohua Semiconductor Co., Ltd. (hereinafter referred to as "XHSC") reserves the right to change, correct, enhance, and modify Xiaohua Semiconductor products and/or this document at any time without prior notice. Users can obtain the latest relevant information before placing an order. XHSC products are sold in accordance with the sales terms and conditions stated in the basic purchase and sales contract.
- ★ Customers are solely responsible for selecting appropriate XHSC products for their applications, and for designing, validating, and testing their applications to ensure that they meet the applicable standards and any safety, security, or other requirements.
- ★ XHSC hereby acknowledges that no license to any intellectual property rights is granted, either expressly or impliedly.
- ★ Resale of XHSC products on terms different from those set forth herein will void any warranty provided by XHSC with respect to such products.
- ★ Any graphics or words with "®" or "™" logo are trademarks of XHSC. All other product or service names displayed on XHSC products are the property of their respective owners.
  
- ★ The information in this notice supersedes and replaces the information in previous versions.

**©2025 Xiaohua Semiconductor Co., Ltd. All rights reserved**

## Table of contents

Product Features .....	2
Disclaimer .....	3
Table of contents .....	4
List of Tables .....	7
List of Figures .....	8
<b>1 Introduction .....</b>	<b>9</b>
1.1 32-bit Cortex M0+ core .....	10
1.2 128K Byte FLASH .....	10
1.3 16K Byte RAM .....	10
1.4 Clock System .....	10
1.5 Operating Modes .....	11
1.6 Real-time Clock RTC .....	11
1.7 Port Controller GPIO .....	11
1.8 Interrupt Controller NVIC .....	12
1.9 Reset Controller RESET .....	13
1.10 DMA Controller DMAC .....	13
1.11 Timer TIM .....	14
1.12 Pulse Counter PCNT .....	15
1.13 Watchdog Timer WDT .....	16
1.14 Universal Synchronous Asynchronous Receiver Transmitter UART0~UART3 .....	16
1.15 Low power synchronous asynchronous receiver and transmitter LPUART0~LPUART1 .....	17
1.16 Serial Peripheral Interface SPI .....	17
1.17 I2C Bus .....	18
1.18 Audio Interface I2S .....	18
1.19 USB2.0 full speed module .....	18
1.20 Controller Area Network CAN .....	18
1.21 Crystal-less USB Clock Calibrator CTS .....	19
1.22 Buzzer .....	19
1.23 Clock Calibration Module CLKTRIM .....	19
1.24 Device Electronic Signature .....	19
1.25 Cyclic Redundancy Check CRC .....	19
1.26 Hardware Divider Module HDIV .....	19
1.27 Advanced Encryption Standard Module AES .....	20
1.28 True Random Number Generator TRNG .....	20

1.29 Analog-to-Digital Converter ADC .....	20
1.30 Digital-to-Analog Converter DAC .....	21
1.31 Analog Comparator VC .....	21
1.32 Low Voltage Detector LVD .....	21
1.33 Operational Amplifier OPA .....	21
1.34 Liquid Crystal Controller LCD .....	21
1.35 Embedded Debug System .....	22
1.36 Programming Modes .....	22
1.37 Security .....	22
<b>2 Product Lineup .....</b>	<b>23</b>
2.1 Product Naming .....	23
2.2 Functionality .....	24
<b>3 Pin Configuration and Function .....</b>	<b>25</b>
3.1 Pin Configuration Diagram .....	25
3.2 Pin Function Description .....	32
3.3 Module signal description .....	42
<b>4 Functional Block Diagram.....</b>	<b>45</b>
<b>5 Memory Map .....</b>	<b>46</b>
<b>6 Typical application circuit diagram .....</b>	<b>48</b>
<b>7 Electrical characteristics .....</b>	<b>49</b>
7.1 Test conditions .....	49
7.1.1 Minimum and maximum values .....	49
7.1.2 Typical values .....	49
7.2 Absolute Maximum Ratings .....	50
7.3 Operating conditions .....	51
7.3.1 General operating conditions .....	51
7.3.2 Operating conditions during power-on and power-off .....	51
7.3.3 Embedded reset and LVD module features .....	52
7.3.4 Built-in reference voltage .....	54
7.3.5 Supply current characteristics .....	54
7.3.6 Wake-up time from low power modes .....	58
7.3.7 External clock source characteristics .....	59
7.3.8 Internal clock source characteristics .....	64
7.3.9 PLL Characteristics .....	66
7.3.10 Memory characteristics .....	66

7.3.11 EFT Characteristics .....	66
7.3.12 ESD characteristics .....	67
7.3.13 I/O Port Characteristics .....	67
7.3.14 RESETB 引脚特性 .....	71
7.3.15 ADC 特性 .....	72
7.3.16 VC 特性 .....	74
7.3.17 OPA 特性 .....	74
7.3.18 LCD 控制器 .....	75
7.3.19 DAC 特性 .....	75
7.3.20 TIM 定时器特性 .....	76
7.3.21 通信接口 .....	78
<b>8 封装信息 .....</b>	<b>84</b>
8.1 封装尺寸 .....	84
8.2 焊盘示意图 .....	88
8.3 丝印说明 .....	92
8.4 封装热阻系数 .....	93
<b>9 订购信息 .....</b>	<b>94</b>
<b>版本修订记录 .....</b>	<b>95</b>

## List of Tables

表 3-1 模块信号说明.....	42
表 7-1 电压特性.....	50
表 7-2 电流特性.....	50
表 7-3 温度特性.....	51
表 7-4 通用工作条件.....	51
表 7-5 上电和掉电的工作条件.....	51
表 7-6 POR/Brown Out .....	52
表 7-7 LVD 模块特性.....	53
表 7-8 工作电流特性.....	54
表 7-9 端口输出特性.....	67
表 7-10 高级定时器 (ADVTIM) 特性.....	76
表 7-11 通用定时器特性 .....	76
表 7-12 PCA 特性.....	77
表 7-13 低功耗定时器特性.....	77
表 7-14 WDT 特性 .....	77
表 7-15 I2C 接口特性.....	78
表 7-16 SPI 接口特性 <sup>(1)</sup> <sup>(2)</sup> .....	79
表 8-1 各封装热阻系数表.....	93

## List of Figures

图 3-1 引脚配置图 .....	31
图 7-1 POR/Brown Out 示意图 .....	52
图 7-2 输出端口 VOH/ VOL 实测曲线 .....	68
图 7-3 I2C 接口时序 .....	78
图 7-4 SPI 时序图（主机模式） .....	80
图 7-5 SPI 时序图（从机模式 cpha=0） .....	80
图 7-6 SPI 时序图（从机模式 cpha=1） .....	81
图 7-7 I2S slave timing diagram .....	83
图 7-8 I2S master timing diagram .....	83

## 1 Introduction

HC32L072/ HC32L073 系列是一款旨在延长便携式测量系统的电池使用寿命的超低功耗、宽电压工作范围的 MCU。集成 12 位 1Msps 高精度 SARADC，2 个 12 位 DAC 以及集成了比较器、运放、内置高性能 PWM 定时器、LCD 显示、多路 UART、SPI、I2C、I2S、USB、CAN 等丰富的通讯外设，内建 AES、TRNG 等信息安全模块，具有高整合度、高抗干扰、高可靠性和超低功耗的特点。本产品内核采用 Cortex-M0+内核，配合成熟的 Keil & IAR 调试开发软件，支持 C 语言及汇编语言，汇编指令。

## 超低功耗 MCU 典型应用

- 传感器应用、物联网应用
- 智能仪表、无线模块、温控器、货架标签
- 智能交通、报警系统
- 智能家居、医疗设备

## 1.1 32-bit Cortex M0+ core

ARM® Cortex®-M0+ 处理器源于 Cortex-M0，包含了一颗 32 位 RISC 处理器，运算能力达到 0.95 Dhystone MIPS/MHz。同时加入了多项全新设计，改进调试和追踪能力、减少每条指令循环 (IPC) 数量和改进 Flash 访问的两级流水线等，更纳入了节能降耗技术。Cortex-M0+ 处理器全面支持已整合 Keil & IAR 调试器。

Cortex-M0+包含了一个硬件调试电路，支持 2-pin 的 SWD 调试界面。

ARM Cortex-M0+特性：

指令集	Thumb/ Thumb-2
流水线	2 级流水线
性能效率	2.46 CoreMark/ MHz
性能效率	0.95 DMIPS/ MHz in Dhystone
中断	32 个快速中断
中断优先级	可配置 4 级中断优先级
增强指令	单周期 32 位乘法器
调试	Serial-wire 调试端口，支持 4 个硬中断 (break point) 以及 2 个观察点 (watch point)

## 1.2 128K Byte FLASH

内建全集成 FLASH 控制器，无需外部高压输入，由全内置电路产生高压来编程。支持 ISP、IAP、ICP 功能。

## 1.3 16K Byte RAM

根据客户选择不同的功耗模式，RAM 数据都会被保留。自带硬件奇偶校验位，万一数据被意外破坏，在数据被读取时，硬件电路会立刻产生中断，保证系统的可靠性。

## 1.4 Clock System

一个频率为 4~24MHz 可配置的高精度内部时钟 RCH。在配置 24MHz 下，从低功耗模式到工作模式的唤醒时间为 4us，全电压全温度范围内的频率偏差小，可以不外接昂贵的高频晶体。

一个频率为 8~32MHz 的外部晶振 XTH。

一个频率为 32.768kHz 的外部晶振 XTL。

一个频率为 32.8/ 38.4kHz 的内部时钟 RCL。

一个频率为 8~48MHz 输出的 PLL。

## 1.5 Operating Modes

- 1) 运行模式 (Active Mode)：CPU 运行，周边功能模块运行。
- 2) 休眠模式 (Sleep Mode)：CPU 停止运行，周边功能模块运行。
- 3) 深度休眠模式 (Deep sleep Mode)：CPU 停止运行，高速时钟停止，低功耗功能模块运行。

## 1.6 Real-time Clock RTC

RTC (Real Time Counter) 是一个支持 BCD 数据的寄存器，采用 32.768kHz 晶振作为其时钟，能实现万年历功能，中断周期可配置为年/月/日/小时/分钟/秒。24/12 小时时间模式，硬件自动修正闰年。具有精确度补偿功能，最高精度为 0.96ppm。可使用内部温度传感器或外部温度传感器进行精确度补偿，可用软件+1/-1 调整年/月/日/小时/分钟/秒，最小可调精度为 1 秒。

用于指示时间和日期的 RTC 日历记录器在 MCU 受外部因素影响而复位时不会清除保留值，是需要永久高精度实时时钟的测量设备仪表的最佳选择。

## 1.7 Port Controller GPIO

最多可提供 86 个 GPIO 端口，其中部分 GPIO 与模拟端口复用。每个端口由独立的控制寄存器位来控制，支持 FAST IO。支持边沿触发中断和电平触发中断，可从各种深度休眠模式下把 MCU 唤醒到工作模式。支持位置位、位清零、位置位清零操作。支持 Push-Pull CMOS 推挽输出、Open-Drain 开漏输出。内置上拉电阻、下拉电阻，带有施密特触发器输入滤波功能。输出驱动能力可配置，最大支持 18mA 的电流驱动能力。所有通用 IO 可支持外部异步中断。

## 1.8 Interrupt Controller NVIC

Cortex-M0+处理器内置了嵌套向量中断控制器（NVIC），支持最多 32 个中断请求（IRQ）输入；有四个中断优先级，可处理复杂逻辑，能够进行实时控制和中断处理。

32 个中断入口向量地址，分别为：

中断向量号	中断来源
[0]	GPIO_PA
[1]	GPIO_PB
[2]	GPIO_PC/GPIO_PE
[3]	GPIO_PD/GPIO_PF
[4]	DMAC
[5]	TIM3
[6]	UART0/UART2
[7]	UART1/UART3
[8]	LPUART0
[9]	LPUART1
[10]	SPI0/I2S0
[11]	SPI1/I2S1
[12]	I2C0
[13]	I2C1
[14]	TIM0
[15]	TIM1
[16]	TIM2
[17]	LPTIM0/LPTIM1
[18]	TIM4
[19]	TIM5
[20]	TIM6
[21]	PCA
[22]	WDT
[23]	RTC
[24]	ADC/DAC
[25]	PCNT
[26]	VC0/VC1/VC2/ LVD
[27]	USB
[28]	CAN
[29]	LCD
[30]	RAM FLASH
[31]	CLKTRIM /CTS

## 1.9 Reset Controller RESET

本产品具有 7 个复位信号来源，每个复位信号可以让 CPU 重新运行，绝大多数寄存器会被重新复位，程序计数器 PC 会指向起始地址。

	复位来源
[0]	上电掉电复位 POR BOR
[1]	外部 Reset Pin 复位
[2]	WDT 复位
[3]	PCA 复位
[4]	Cortex-M0+ LOCKUP 硬件复位
[5]	Cortex-M0+ SYSRESETREQ 软件复位
[6]	LVD 复位

## 1.10 DMA Controller DMAC

DMAC（直接内存访问控制器）功能块可以不通过 CPU 高速传输数据。使用 DMAC 能提高系统性能。

- DMAC 配有独立的总线，所以即便是在使用 CPU 总线的同时，DMAC 也可进行传输操作。
- 由 2 条通道组成，能执行 2 种相互独立的 DMA 传输。
- 可设置传输目标地址、传输源地址、传输数据大小、传输请求源以及传输模式，并能控制各通道的传输操作启动、传输的强行终止以及传输的暂停。
- 可控制所有通道批量传输的启动、强行终止及暂停。
- 多通道同时操作时，可用固定方法或循环方法选择操作通道的优先级。
- 支持使用外设中断信号的硬件 DMA 传输。
- 遵从系统总线（AHB），支持 32 位地址空间（4GB）。

## 1.11 Timer TIM

类型	名称	位宽	预除频	计数方向	PWM	捕获	互补输出
通用定时器	TIM0	16/32	1/2/4/8/16/ 32/64/256	上计数/ 下计数/ 上下计数	2	2	1
	TIM1	16/32	1/2/4/8/16/ 32/64/256	上计数/ 下计数/ 上下计数	2	2	1
	TIM2	16/32	1/2/4/8/16/ 32/64/256	上计数/ 下计数/ 上下计数	2	2	1
	TIM3	16/32	1/2/4/8/16/ 32/64/256	上计数/ 下计数/ 上下计数	6	6	3
低功耗定时器	LPTIM0	16	1/2/4/8/16/ 32/64/256	上计数	无	无	无
	LPTIM1	16	1/2/4/8/16/ 32/64/256	上计数	无	无	无
可编程计数阵列	PCA	16	2/4/8/16/32	上计数	5	5	无
高级定时器	TIM4	16	1/2/4/8/16/ 64/256/1024	上计数/ 下计数/ 上下计数	2	2	1
	TIM5	16	1/2/4/8/16/ 64/256/1024	上计数/ 下计数/ 上下计数	2	2	1
	TIM6	16	1/2/4/8/16/ 64/256/1024	上计数/ 下计数/ 上下计数	2	2	1

通用定时器包含四个定时器 TIM0/ 1/ 2/ 3。

通用定时器特性：

- PWM 独立输出，互补输出
- 捕获输入
- 死区控制
- 刹车控制
- 边沿对齐、对称中心对齐与非对称中心对齐 PWM 输出
- 正交编码计数功能
- 单脉冲模式
- 外部计数功能

TIM0/1/2 功能完全相同。TIM0/1/2 是同步定时/计数器，可以作为 16 位自动重装载功能的定时/计数器，也可以作为 32 位无重载功能的定时/计数器。TIM0/1/2 每个定时器都具有 2 路捕获比较功能，可以产生 2 路 PWM 独立输出或 1 组 PWM 互补输出。具有死区控制功能。

TIM3 是多通道的通用定时器，具有 TIM0/1/2 的所有功能，可以产生 3 组 PWM 互补输出或 6 路 PWM 独立输出，最多 6 路输入捕获。具有死区控制功能。

低功耗定时器 LPTIM 是异步 16 位定时/计数器，在系统时钟关闭后仍然可以通过内部低速 RC 或者外部低速晶体振荡计时/计数。通过中断在低功耗模式下唤醒系统。

PCA(可编程计数器阵列 Programmable Counter Array)支持最多 5 个 16 位的捕获/比较模块。该定时/计数器可用作为一个通用的时钟计数/事件计数器的捕获/比较功能。PCA 的每个模块都可以进行独立编程，以提供输入捕捉，输出比较或脉冲宽度调制。另外模块 4 有额外的看门狗定时器模式。

高级定时器 Advanced Timer 包含三个定时器 TIM4/5/6。TIM4/5/6 是功能相同的高性能计数器，可用于计数产生不同形式的时钟波形，1 个定时器可以产生互补的一对 PWM 或者独立的 2 路 PWM 输出，可以捕获外界输入进行脉冲宽度或周期测量。

Advanced Timer 基本的功能及特性如表所示：

波形模式	锯齿波、三角波
基本功能	• 递加、递减计数方向
	• 软件同步
	• 硬件同步
	• 缓存功能
	• 正交编码计数
	• 通用 PWM 输出
	• 保护机制
	• AOS 关联动作
中断类型	计数比较匹配中断
	计数周期匹配中断
	死区时间错误中断

## 1.12 Pulse Counter PCNT

PCNT (Pulse Counter) 模块用以对外部脉冲进行计数，支持单路以及双路（正交编码与非交叉编码）脉冲。它可以在低功耗休眠模式下无需软件参与进行计数。

脉冲计数器特性：

- 支持重载功能的 16 bit 计数器
- 单通道脉冲计数

- 双通道非交脉冲计数
- 双通道正交脉冲计数，不失码
- 加/减计数溢出中断
- 脉冲超时中断
- 4 种解码错误中断，非交脉冲模式
- 1 种方向改变中断，正交脉冲模式
- 多级脉冲宽度滤波
- 输入脉冲极性可配置
- 支持低功耗模式计数
- 支持唤醒低功耗模式下 MCU
- 支持任意脉冲沿间距不小于 1 个计数时钟周期
- 具备低功耗模式下自动定时唤醒功能，最大定时达 1024 秒

## 1.13 Watchdog Timer WDT

WDT (Watch Dog Timer) 是一个可配置的 20 位定时器，在 MCU 异常的情况下提供复位；内建 10kHz 低速时钟输入作为计数器时钟。调试模式下，可选择暂停或继续运行；只有写入特定序列才能重启 WDT。

## 1.14 Universal Synchronous Asynchronous Receiver Transmitter UART0~UART3

4 路通用同步异步收发器 (Universal Asynchronous Receiver/Transmitter)，UART0~UART3。

通用 UART 基本功能：

- 半双工和全双工传输
- 8/ 9-Bit 传输数据长度
- 硬件奇偶校验
- 1/ 1.5/ 2-Bit 停止位
- 四种不同传输模式
- 16-Bit 波特率计数器
- 多机通讯
- 硬件地址识别
- DMAC 硬件传输握手
- 硬件流控
- 支持单线模式

## 1.15 Low power synchronous asynchronous receiver and transmitter

### LPUART0~LPUART1

2 路低功耗模式下可以工作的同步异步收发器（Low Power Universal Asynchronous Receiver/Transmitter），LPUART0/ LPUART1。

LPUART 基本功能：

- 传输时钟 SCLK (SCLK 可选择 XTL、RCL 以及 PCLK)
- 系统低功耗模式下收发数据
- 半双工和全双工传输
- 8/9-Bit 传输数据长度
- 硬件奇偶校验
- 1/1.5/2-Bit 停止位
- 四种不同传输模式
- 16-Bit 波特率计数器
- 多机通讯
- 硬件地址识别
- DMAC 硬件传输握手
- 硬件流控
- 支持单线模式

## 1.16 Serial Peripheral Interface SPI

2 路同步串行接口（Serial Peripheral Interface）

SPI 基本特性：

- 通过编程可以配置为主机或者从机
- 四线传输方式，全双工通信
- 主机模式 7 种波特率可配置
- 主机模式最大分频系数为 PCLK/ 2，最高通信速率为 16M bps
- 从机模式最大分频系数为 PCLK/ 4，最高通信速率为 12M bps
- 可配置的串行时钟极性和相位
- 支持中断
- 8 位数据传输，先传输高位后低位
- 支持 DMA 软件/硬件访问

## 1.17 I2C Bus

2 路 I2C，采用串行同步时钟，可实现设备之间以不同的速率传输数据。

I2C 基本特性：

- 支持主机发送/接收，从机发送/接收四种工作模式
- 支持标准（100Kbps）/ 快速（400Kbps）/ 高速（1Mbps）三种工作速率
- 支持 7 位寻址功能
- 支持噪声过滤功能
- 支持广播地址
- 支持中断状态查询功能

## 1.18 Audio Interface I2S

2 路 I2S 音频通信接口

- 支持 Philip/ MSB/ LSB/ PCM 模式
- 支持 MCK 输出
- 支持 5 种音频采样率：48, 44.1, 32, 16, 8 kHz
- 支持 3 种数据长度：16, 24, 32 Bit
- 支持 2 种帧长度：16, 32 Bit
- 支持 DMA 数据传输
- 支持全双工收发（2 个 I2S 配合）
- 支持 master 发送、接收
- 支持 slave 发送、接收

## 1.19 USB2.0 full speed module

USB 全速 (USBFS) 控制器为便携式设备提供了一套 USB 通信解决方案。USBFS 控制器支持设备模式，且芯片内部集成全速 PHY。设备模式下支持全速 (FS, 12Mb/s) 收发器。USBFS 控制器支持 USB2.0 协议所定义的所有四种传输方式（控制传输、批量传输、中断传输和同步传输）。

## 1.20 Controller Area Network CAN

CAN 通信接口模块配备 512 字节的 RAM 用于存储发送接收的数据。支持 ISO11898-1 规定的 CAN2.0B 协议和 ISO11898-4 规定的 TTCAN 协议。

## 1.21 Crystal-less USB Clock Calibrator CTS

时钟校准定时器可以调整校准 RCH48M 时钟频率，以便提供给 Crystal-less USB 使用。也可以调整校准其他 RC 振荡的时钟频率，还可以作为一个通用定时器来使用。

## 1.22 Buzzer

4 个通用定时器与 2 个低功耗定时器功能复用输出为 Buzzer 提供可编程驱动频率。该蜂鸣器端口可提供 18mA 的 sink 电流，互补输出，不需要额外的三极管。

## 1.23 Clock Calibration Module CLKTRIM

内建时钟校准模块，可以通过外部精准的晶振时钟校准内部 RC 时钟，亦可使用内部 RC 时钟去检验外部晶振时钟是否工作正常。

时钟校准基本特性：

- 校准模式
- 监测模式
- 32 位参考时钟计数器可加载初值
- 32 位待校准时钟计数器可配置溢出值
- 6 种参考时钟源
- 6 种待校准时钟源
- 支持中断方式

## 1.24 Device Electronic Signature

每颗芯片出厂前具备唯一的 10 字节设备标识号，包括 wafer lot 信息，以及芯片坐标信息等。UID 地址为：0x00100E74 - 0x00100E7D。

## 1.25 Cyclic Redundancy Check CRC

CRC16 符合 ISO/IEC13239 中给出的多项式  $X^{16} + X^{12} + X^5 + 1$ 。

CRC32 符合 ISO/IEC13239 中给出的多项式  $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ 。

## 1.26 Hardware Divider Module HDIV

HDIV (Hardware Divider) 是一个 32 位有/无符号整数硬件除法器。

HDIV 硬件除法器基本特性：

- 可配置有符号/无符号整数除法计算

- 32 位被除数，16 位除数
- 输出 32 位商和 32 位余数
- 除数为零警告标志位，除法运算结束标志位
- 10 个时钟周期完成一次除法运算
- 写除数寄存器触发除法运算开始
- 读商寄存器/余数寄存器时自动等待计算结束

## 1.27 Advanced Encryption Standard Module AES

AES (The Advanced Encryption Standard) 是美国国家标准技术研究所 (NIST) 在 2000 年 10 月 2 日正式宣布的新的数据加密标准。AES 的分组长度固定为 128Bit, 而密钥长度支持 128/ 192/ 256 Bit。

## 1.28 True Random Number Generator TRNG

TRNG 是一个真随机数发生器，用来产生真随机数。

## 1.29 Analog-to-Digital Converter ADC

单调不失码的 12 位逐次逼近型模数转换器，在 24MHz ADC 时钟下工作时，采样率达到 1Msps。参考电压可选择片内精准电压（1.5V 或 2.5V）或从外部输入或电源电压。40 个输入通道，包括 36 路外部管脚输入、1 路内部温度传感器电压、1 路 1/3 电源电压、2 路 DAC 输出。内建可配置的输入信号放大器以检测高输出阻抗信号。

SAR ADC 基本特性：

- 12 位转换精度
- 1Msps 转换速度
- 40 个输入通道，包括 36 路外部管脚输入、1 路内部温度传感器电压、1 路 1/3 AVCC 电压、2 路 DAC 输出
- 4 种参考源：AVCC 电压、ExRef 引脚、内置 1.5V 参考电压、内置 2.5V 参考电压
- ADC 的电压输入范围：0~Vref
- 4 种转换模式：单次转换、顺序扫描连续转换、插队扫描连续转换、连续转换累加
- 输入通道电压阈值监测
- 软件可配置 ADC 的转换速率
- 内置信号放大器，可转换高阻信号
- 支持片内外设自动触发 ADC 转换，有效降低芯片功耗并提高转换的实时性

## 1.30 Digital-to-Analog Converter DAC

2 通道 12Bit 500Ksps DAC，可以进行数模转换。

## 1.31 Analog Comparator VC

内建 3 路 VC，芯片管脚电压监测/比较电路。16 个可配置的正外部输入通道，11 个可配置的负外部输入通道；4 个内部负输入通道，包括 1 路内部温度传感器电压、1 路内建 BGR 2.5V 参考电压、1 路 64 阶电阻分压。VC 输出可供通用定时器 TIM0/ 1/ 2/ 3，低功耗定时器 LPTIM 与可编程计数阵列 PCA 捕获、门控、外部计数时钟使用。可根据上升/下降边沿产生异步中断，从低功耗模式下唤醒 MCU。可配置的软件防抖功能。

## 1.32 Low Voltage Detector LVD

对芯片电源电压或芯片管脚电压进行检测。16 档电压监测值 (1.8 ~ 3.3V)。可根据上升/下降边沿产生异步中断或复位。具有硬件迟滞电路和可配置的软件防抖功能。

LVD 基本特性：

- 4 路监测源，AVCC, PC13, PB08, PB07；
- 16 阶阈值电压，1.8~3.3V 可选；
- 8 种触发条件，高电平、上升沿、下降沿组合；
- 2 种触发结果，复位、中断；
- 8 阶滤波配置，防止误触发；
- 具备迟滞功能，强力抗干扰。

## 1.33 Operational Amplifier OPA

OPA0/ 1/ 2 模块可以灵活配置，适用于简易滤波器和 Buffer 应用。OPA3/ 4 模块可以作为 DAC buffer 使用，也可以配置为运放使用。

## 1.34 Liquid Crystal Controller LCD

注：仅限 HC32L073 系列。

LCD 控制器是一款适用于单色无源液晶显示器 (LCD) 的数字控制器/驱动器，最多具有 8 个公用端子 (COM) 和 48 个区段端子 (SEG)，用以驱动 208(4x52)或 384(8x48)个 LCD 图像元素。可以选择电容分压或电阻分压，支持内部电阻分压。内部电阻分压可以调节对比度。支持 DMA 硬件数据传输。

LCD 基本特性：

- 高度灵活的帧速率控制
- 支持静态、1/2、1/3、1/4、1/6 和 1/8 占空比

- 支持 1/2、1/3 偏置
- 多达 16 个寄存器的 LCD 数据 RAM
- 可通过软件配置 LCD 的对比度
- 3 种驱动波形生成方式
  - 内部电阻分压、外部电阻分压，外部电容分压方式
  - 可通过软件配置内部电阻分压方式的功耗，从而匹配 LCD 面板所需的电容电荷
- 支持低功耗模式：LCD 控制器可在 Active、Sleep、DeepSleep 模式下进行显示
- 可配置帧中断
- 支持 LCD 闪烁功能且可配置多种闪烁频率
- 未使用的 LCD 区段和公共引脚可配置为数字或模拟功能

## 1.35 Embedded Debug System

嵌入式调试解决方案，提供全功能的实时调试器，配合标准成熟的 Keil/ IAR 等调试开发软件。支持 4 个硬断点以及多个软断点。

## 1.36 Programming Modes

支持两种编程模式：在线编程、离线编程。

支持两种编程协议：ISP 协议、SWD 协议。

支持统一编程接口：ISP 协议与 SWD 协议共用 SWD 端口。

当复位时 BOOT0 (PF11) 管脚为高电平，芯片工作于 ISP 编程模式，可通过 ISP 对 FLASH 进行编程。

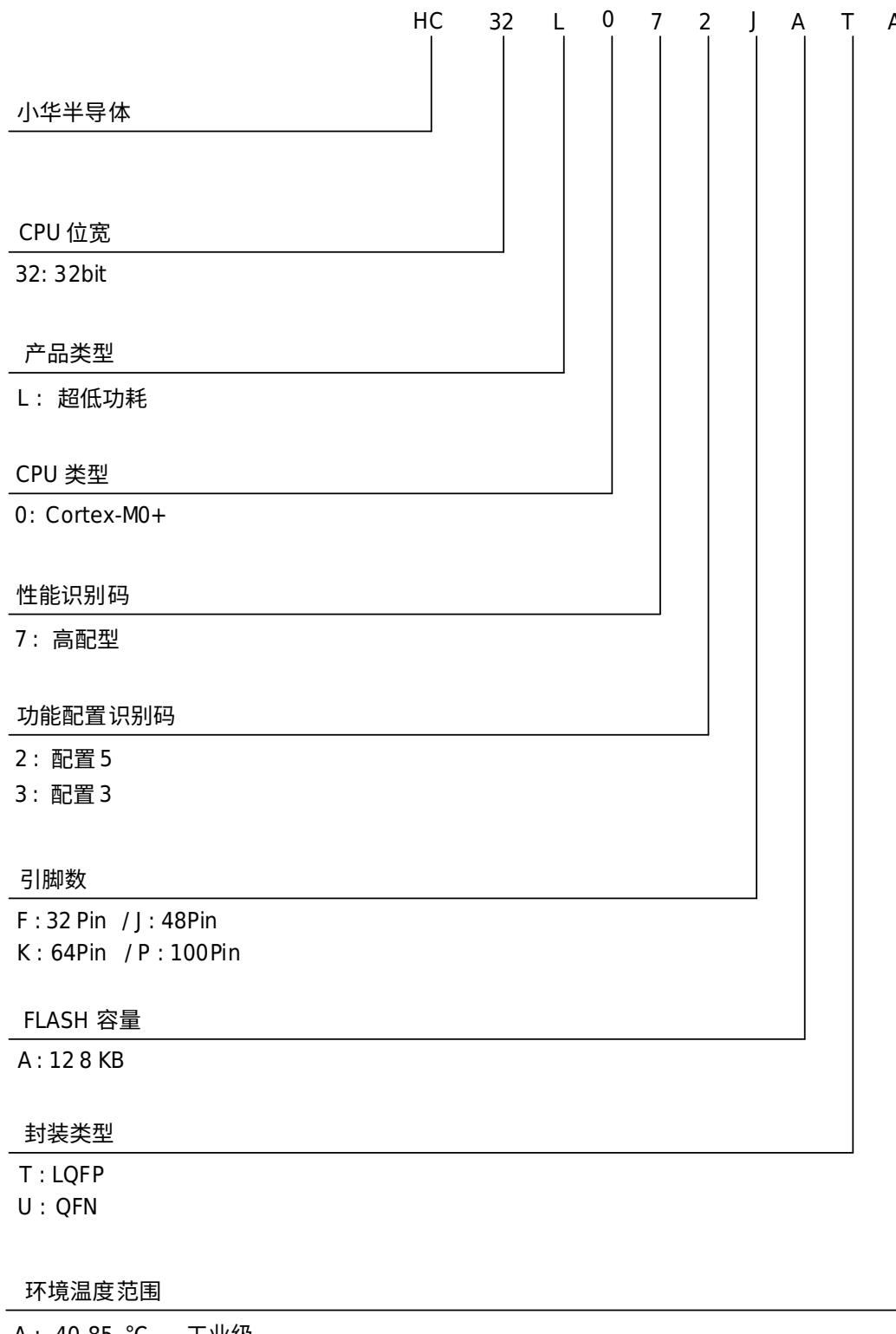
当复位时 BOOT0 (PF11) 管脚为低电平，芯片工作于用户模式，芯片执行 FLASH 内的程序代码，可通过 SWD 协议对 Flash 进行编程。

## 1.37 Security

加密型嵌入式调试解决方案，提供全功能的实时调试器。

## 2 Product Lineup

### 2.1 Product Naming



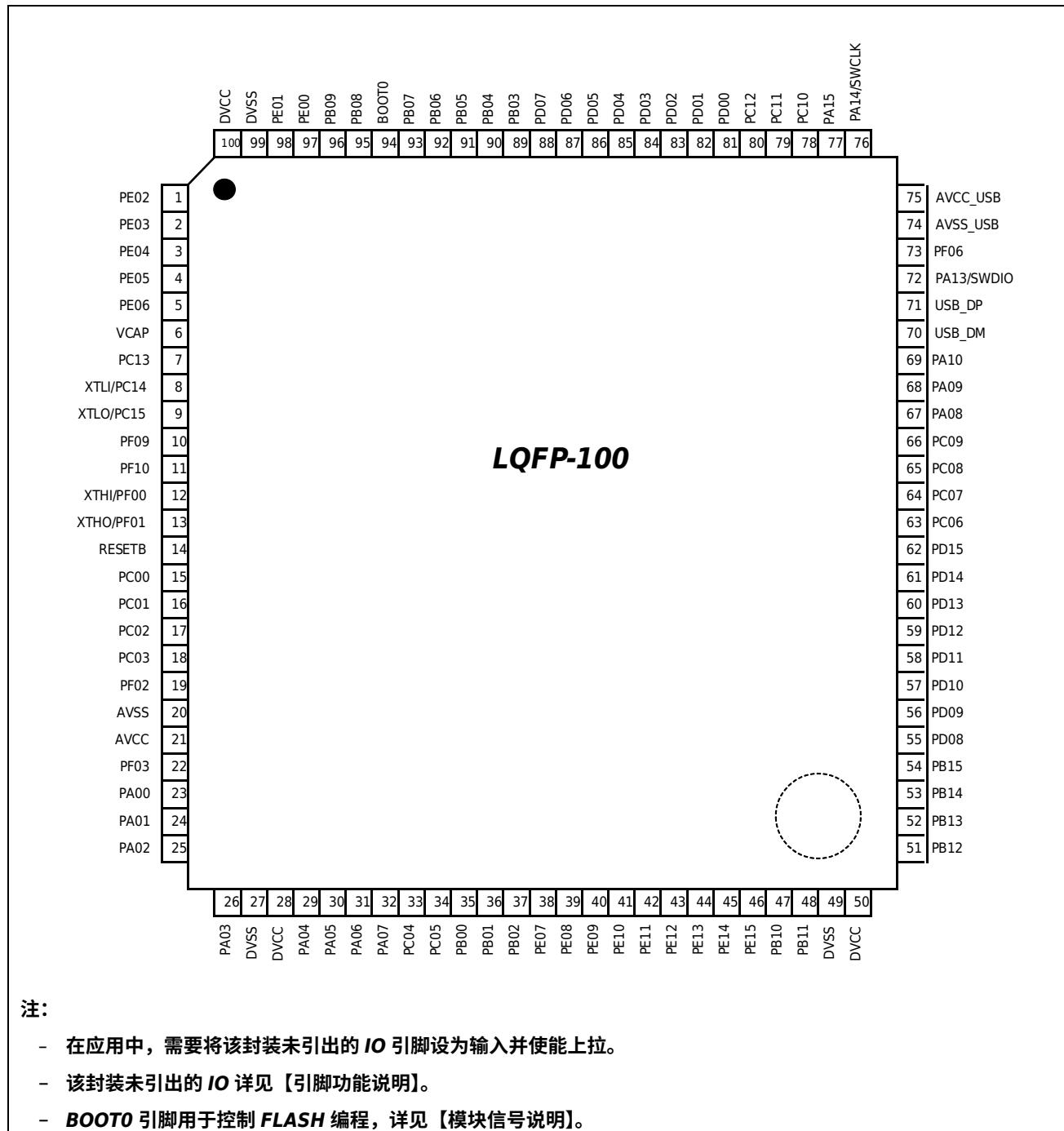
## 2.2 Functionality

产品名称	L072PATA	L073PATA	L072KATA	L073KATA	L072JATA	L073JATA	L072FAUA						
引脚数	100		64		48		32						
GPIO 引脚数	86		50	52	36	38	22						
CPU	内核	Cortex M0+											
	频率	48MHz											
电源电压范围	1.8 ~5.5V												
温度范围	-40 ~ 85°C												
调试功能	SWD 调试接口												
唯一识别码	支持												
通信接口	UART0/1/2/3 LPUART0/1 SPI0/1 I2C0/1 I2S0/1			UART0/1 LPUART0/1 SPI0/1 I2C0/1 I2S0/1		UART0/1 LPUART0 SPI0 I2C0 I2S0							
定时器	通用定时器 TIM0/1/2/3 高级定时器 TIM4/5/6 低功耗定时器 LPTIM0/1												
12 位 A/D 转换器	24ch		23ch		17ch		10ch						
12 位 D/A 转换器	2ch		2ch		2ch		2ch						
模拟电压比较器	VC0/1/2												
运算放大器	5		5		3		1						
USB	支持		支持	不支持	支持	不支持	支持						
CAN	支持												
实时时钟	支持												
端口中断	86		50	52	36	38	22						
低电压检测复位	1												
时钟	内部高速振荡器	RCH 4/8/16/22.12/24MHz											
	内部低速振荡器	RCL 32.8/38.4kHz											
	PLL	8~48MHz											
	外部高速晶振振荡器	8~32MHz											
蜂鸣器	Max 6ch												
闪存安全保护	支持												
RAM 奇偶校验	支持												

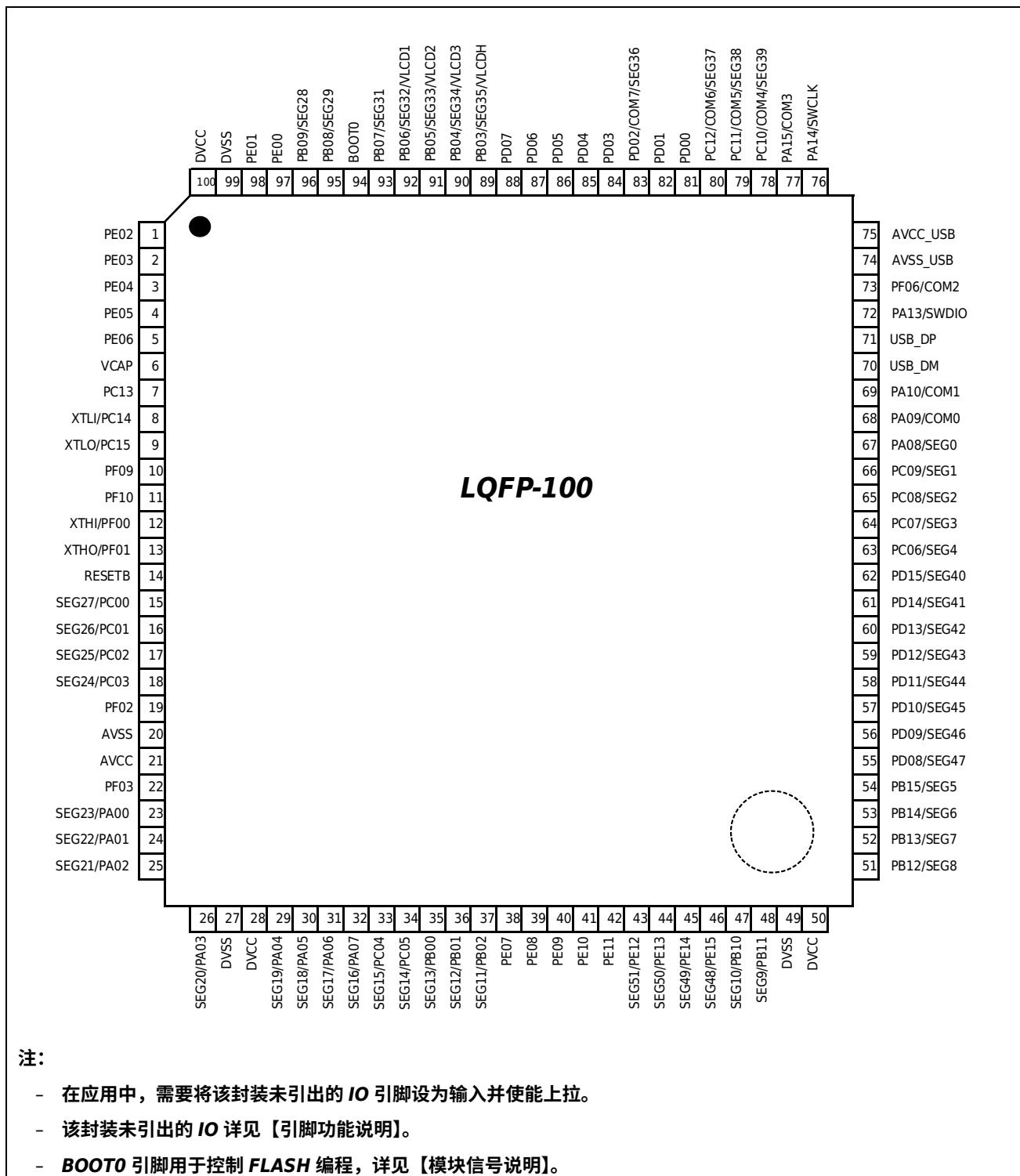
## 3 Pin Configuration and Function

### 3.1 Pin Configuration Diagram

**HC32L072PATA**



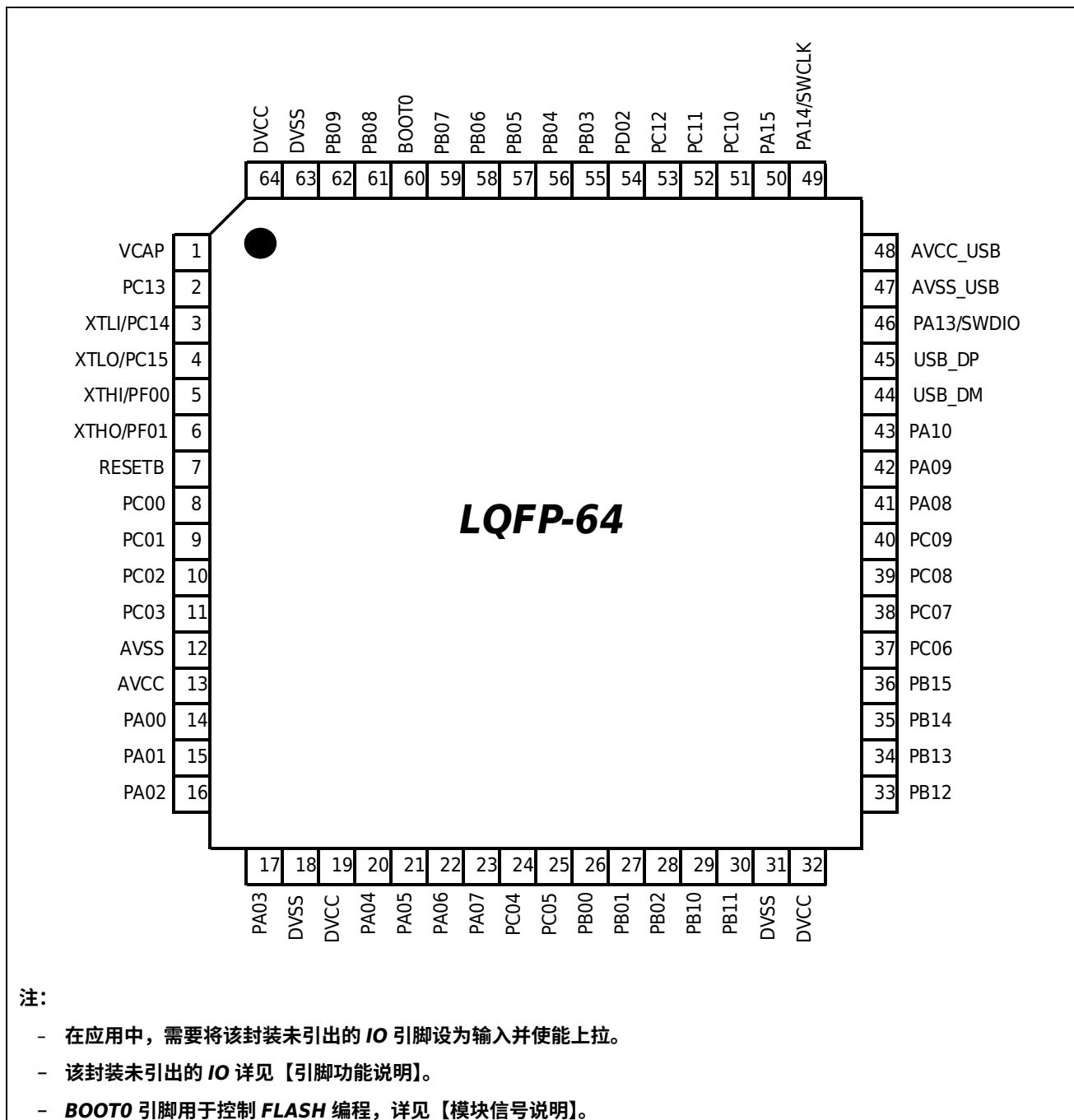
## HC32L073PATA



注：

- 在应用中，需要将该封装未引出的 IO 引脚设为输入并使能上拉。
- 该封装未引出的 IO 详见【引脚功能说明】。
- **BOOT0** 引脚用于控制 **FLASH** 编程，详见【模块信号说明】。

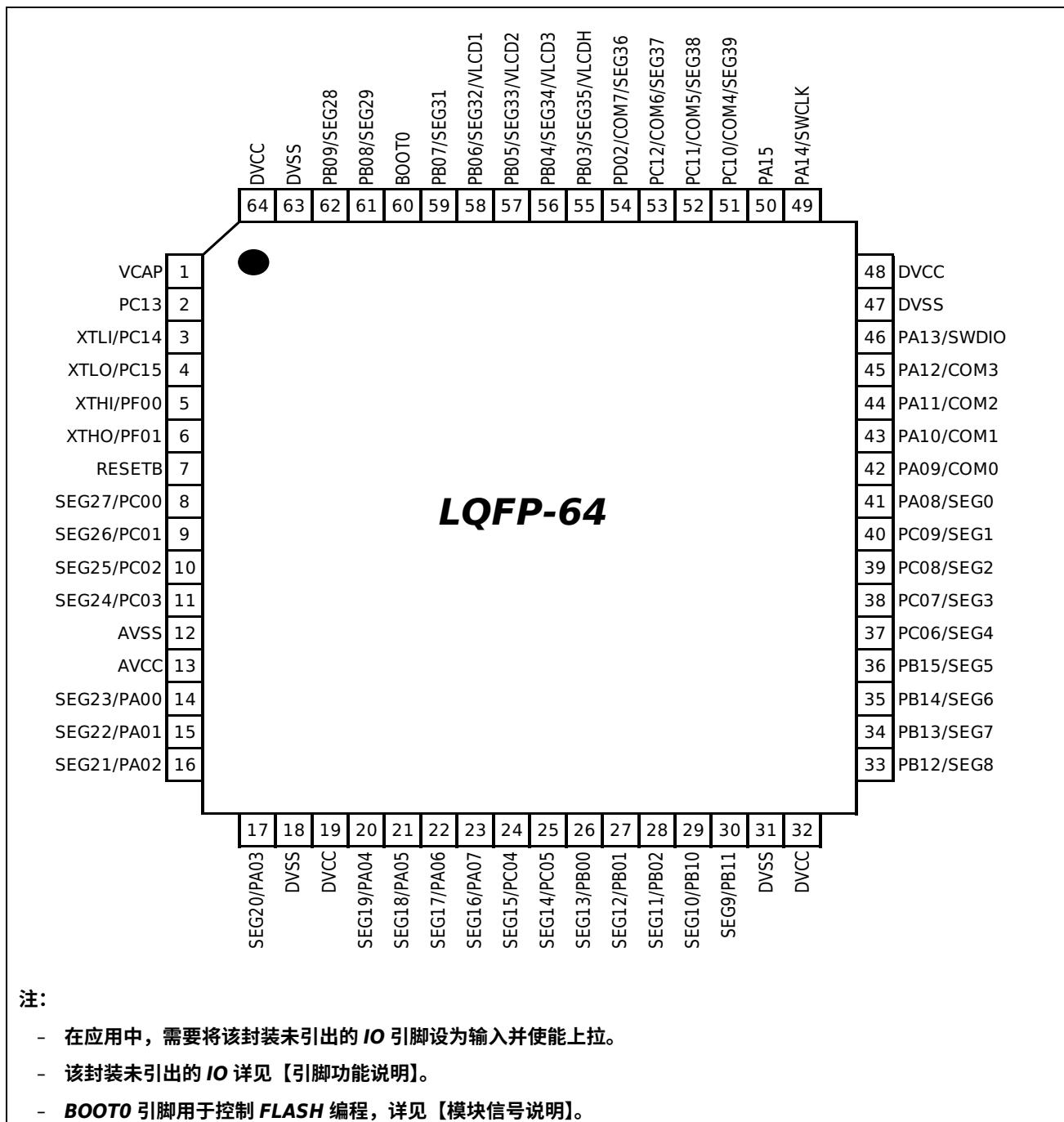
## HC32L072KATA



注：

- 在应用中，需要将该封装未引出的 IO 引脚设为输入并使能上拉。
- 该封装未引出的 IO 详见【引脚功能说明】。
- **BOOT0** 引脚用于控制 **FLASH** 编程，详见【模块信号说明】。

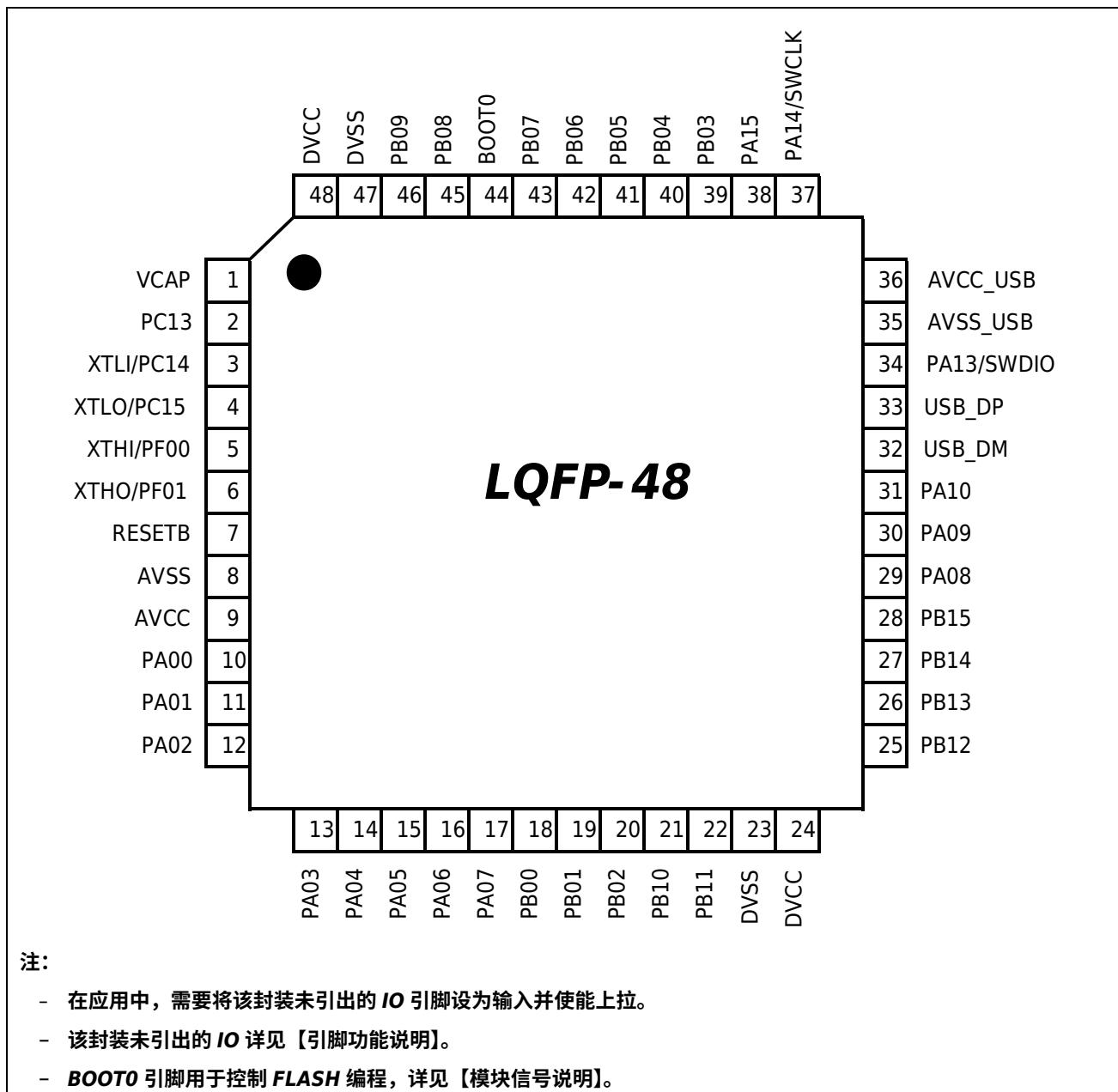
## HC32L073KATA



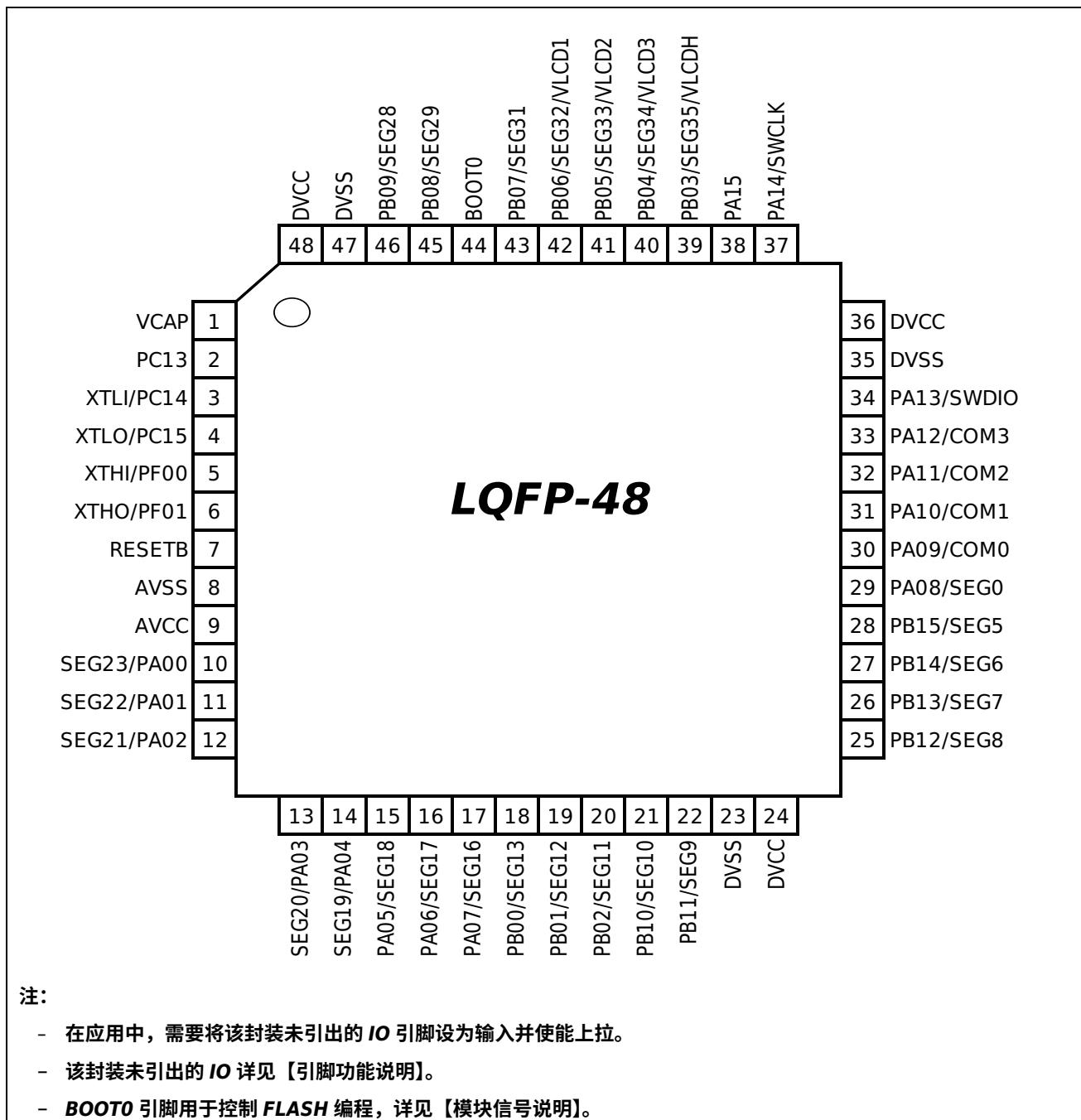
注：

- 在应用中，需要将该封装未引出的 IO 引脚设为输入并使能上拉。
- 该封装未引出的 IO 详见【引脚功能说明】。
- **BOOT0** 引脚用于控制 **FLASH** 编程，详见【模块信号说明】。

## HC32L072JATA



## HC32L073JATA



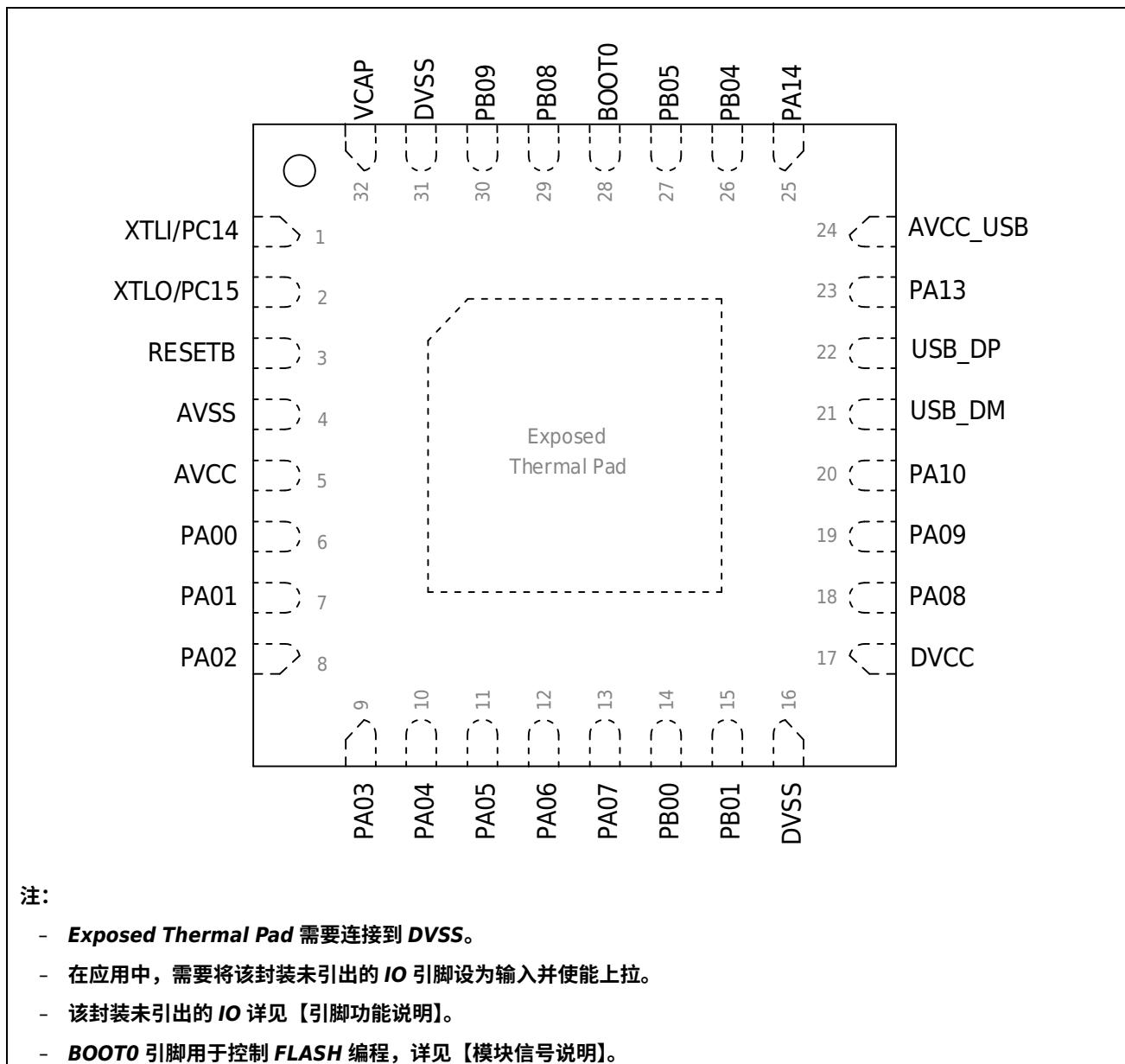
**HC32L072FAUA**

图 3-1 引脚配置图

### 3.2 Pin Function Description

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
1				PE02	PCA_ECI	
2				PE03	PCA_CH0	
3				PE04	PCA_CH1	
4				PE05	PCA_CH2	
5				PE06	PCA_CH3	
6	1	1	32	VCAP		
7	2	2		PC13	RTC_1HZ TIM3_CH1B I2S0_SCK	LVD0
8	3	3	1	PC14		XTLI
9	4	4	2	PC15		XTLO
10				PF09	TIM0_CHA	
11				PF10	TIM0_CHB	
12	5	5		PF00	I2C0_SDA CRS_SYNC UART1_TXD	XTHI
13	6	6		PF01	I2C0_SCL UART1_RXD	XTHO
14	7	7	3	RESETB		
15	8			PC00	LPTIMO_GATE PCNT_S0 UART1_CTS UART2_RTS I2S0_MCK	AIN10, VC0_INP0 VC1_INN0 SEG27
16	9			PC01	LPTIMO_TOG TIM5_CHB UART1_RTS PCNT_S0FO UART2_CTS I2S0_SD	AIN11 VC0_INP1 VC1_INN1 SEG26
17	10			PC02	SPI1_MISO LPTIMO_TOGN PCNT_S1 UART2_RXD	AIN12, VC0_INP2 VC1_INN2 SEG25
18	11			PC03	SPI1_MOSI LPTIMO_EXT LPTIMO_TOGN PCNT_S1FO UART2_TXD	AIN13 VC0_INP3 VC1_INN3 SEG24
19				PF02		
20	12	8	4	AVSS		
21	13	9	5	AVCC		
22				PF03		
23	14	10	6	PA00	UART1_CTS LPUART1_RXD TIM0_ETR VC0_OUT TIM1_CHA TIM3_ETR TIM0_CHA	AIN0 VC0_INP4 VC0_INN0 VC1_INP0 VC1_INN4 SEG23

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
24	15	11	7	PA01	UART1_RTS LPUART1_RXD TIM0_CHB TIM1_ETR TIM1_CHB HCLK_OUT SPI1_MOSI	AIN1 VC0_INP5 VC0_INN1 VC1_INP1 VC1_INN5 SEG22
25	16	12	8	PA02	UART1_TXD TIM0_CHA VC1_OUT TIM1_CHA TIM2_CHA PCLK_OUT SPI1_MISO	AIN2 VC0_INP6 VC0_INN2 VC1_INP2 SEG21
26	17	13	9	PA03	UART1_RXD TIM0_GATE TIM1_CHB TIM2_CHB SPI1_CS TIM3_CH1A TIM5_CHA	AIN3 VC0_INP7 VC0_INN3 VC1_INP3 SEG20
27	18			DVSS		
28	19			DVCC		
				PF04		
				PF05		
29	20	14	10	PA04	SPI0_CS UART1_TXD PCA_CH4 TIM2_ETR TIM5_CHA LVD_OUT TIM3_CH2B	AIN4 VC0_INP8 VC0_INN4 VC1_INP4 OP3_OUT DAC0_OUT SEG19
30	21	15	11	PA05	SPI0_SCK TIM0_ETR PCA_ECI TIM0_CHA TIM5_CHB XTL_OUT XTH_OUT	AIN5 VC0_INP9 VC0_INN5 VC1_INP5 VC2_INP0 VC2_INN0 OP4_OUT DAC1_OUT SEG18
31	22	16	12	PA06	SPI0_MISO PCA_CH0 TIM3_BK TIM1_CHA VC0_OUT TIM3_GATE LPUART0_CTS	AIN6 VC0_INP10 VC0_INN6 OP4_INN SEG17
32	23	17	13	PA07	SPI0_MOSI PCA_CH1 HCLK_OUT TIM3_CH0B TIM2_CHA VC1_OUT TIM4_CHB	AIN7 VC0_INP11 VC0_INN7 OP4_INP SEG16
33	24			PC04	LPUART0_RXD TIM2_ETR IR_OUT VC2_OUT I2SO_WS	AIN14 VC0_INN8 SEG15

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
34	25			PC05	LPUART0_RXD TIM6_CHB PCA_CH4 I2S0_SDIN	AIN15 VC0_INN9 OP3_INN SEG14
35	26	18	14	PB00	PCA_CH2 TIM3_CH1B LPUART0_TXD TIM5_CHB RCH_OUT RCL_OUT PLL_OUT	AIN8 VC1_INN6 OP3_INP SEG13
36	27	19	15	PB01	PCA_CH3 PCLK_OUT TIM3_CH2B TIM6_CHB LPUART0_RTS VC2_OUT TCLK_OUT	AIN9/EXVREF VC1_INP6 VC1_INN7 VC2_INP1 VC2_INN1 SEG12
37	28	20		PB02	LPTIM0_TOG PCA_ECI LPUART1_TXD TIM4_CHA TIM1_BK TIM0_BK TIM2_BK	AIN16, VC1_INP7 VC1_INN8 OP2_INN SEG11
38				PE07	TIM3_ETR LPTIM1_GATE	
39				PE08	TIM3_CH0B LPTIM1_EXT	OP2_OUT4
40				PE09	TIM3_CH0A LPTIM1_TOG	VC2_INP2 OP2_OUT3
41				PE10	TIM3_CH1B LPTIM1_TOGN	VC2_INP3 OP2_OUT2
42				PE11	TIM3_CH1A	VC2_INP4 VC2_INN2 OP2_OUT1
43				PE12	TIM3_CH2B SPI0_CS UART3_CTS	OP1_OUT4 SEG51
44				PE13	TIM3_CH2A SPI0_SCK UART3_RTS	VC2_INP5 OP1_OUT3 SEG50
45				PE14	TIM3_CH0B SPI0_MISO UART3_RXD	VC2_INP6 OP1_OUT2 SEG49
46				PE15	TIM3_BK SPI0_MOSI UART3_TXD	AIN23, VC2_INP7 VC2_INN3 OP1_OUT1 SEG48
47	29	21		PB10	I2C1_SCL SPI1_SCK TIM1_CHA LPUART0_TXD TIM3_CH1A LPUART1_RTS UART1_RTS	AIN17, VC1_INP8 OP2_INP SEG10
48	30	22		PB11	I2C1_SDA TIM1_CHB LPUART0_RXD TIM2_GATE TIM6_CHA	AIN18, VC2_INP8 VC2_INN4 OP2_OUT SEG9

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
					LPUART1_CTS UART1_CTS	
49	31	23	16	DVSS		
50	32	24	17	DVCC		
51	33	25		PB12	SPI1_CS TIM3_BK LPUART0_RXD TIM0_BK LPUART0_RTS TIM6_CHA	AIN19 VC1_INP9 OP1_INN SEG8
52	34	26		PB13	SPI1_SCK I2C1_SCL TIM3_CH0B LPUART0_CTS TIM1_CHA TIM1_GATE TIM6_CHB	AIN20 VC1_INP10 OP1_INP SEG7
53	35	27		PB14	SPI1_MISO I2C1_SDA TIM3_CH1B TIM0_CHA RTC_1HZ LPUART0_RTS TIM1_BK	AIN21, VC1_INP11 VC2_INP9 VC2_INN5 OP1_OUT SEG6
54	36	28		PB15	SPI1_MOSI TIM3_CH2B TIM0_CHB TIM0_GATE LPUART1_RXD	AIN22, OP0_INN SEG5
55				PD08	LPUART0_RXD I2S0_SCK	OP0_OUT4 SEG47
56				PD09	LPUART0_RXD I2S0_MCK	VC2_INP10 OP0_OUT3 SEG46
57				PD10	LPUART0_RXD I2S0_SD	VC2_INP11 VC2_INN6 OP0_OUT2 SEG45
58				PD11	LPUART0_CTS I2S0_WS	VC2_INP12 VC2_INN7 OP0_OUT1 SEG44
59				PD12	LPUART0_RTS UART2_RTS	SEG43
60				PD13	UART2_RXD I2S0_SDIN	SEG42
61				PD14	UART2_TXD	SEG41
62				PD15	CRS_SYNC UART2_CTS	SEG40
63	37			PC06	PCA_CH0 TIM4_CHA TIM2_CHA LPTIM1_GATE UART3_RXD I2S1_SCK	OP0_INP SEG4
64	38			PC07	PCA_CH1 TIM5_CHA TIM2_CHB LPTIM1_EXT UART3_TXD I2S1_MCK	VC2_INP13 VC2_INN8 OP0_OUT SEG3

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
65	39			PC08	PCA_CH2 TIM6_CHA TIM2_ETR LPTIM1_TOG UART3_CTS I2S1_SD	SEG2
66	40			PC09	PCA_CH3 TIM4_CHB TIM1_ETR LPTIM1_TOGN UART3_RTS I2S1_WS	SEG1
67	41	29	18	PA08	UART0_RXD TIM3_CH0A CRS_SYNC CAN_STBY TIM1_GATE TIM4_CHA TIM3_BK	SEG0
68	42	30	19	PA09	UART0_RXD TIM3_CH1A TIM0_BK I2C0_SCL HCLK_OUT TIM5_CHA	COM0
69	43	31	20	PA10	UART0_RXD TIM3_CH2A TIM2_BK I2C0_SDA TIM2_GATE PCLK_OUT TIM6_CHA	COM1
	44 (L073)	32 (L073)		PA11	UART0_CTS TIM3_GATE I2C1_SCL CAN_RX VC0_OUT SPI0_MISO TIM4_CHB	COM2
	45 (L073)	33 (L073)		PA12	UART0_RTS TIM3_ETR I2C1_SDA CAN_TX VC1_OUT SPI0_MOSI PCNT_SO	COM3
70	44 (L072)	32 (L072)	21	USBDM		
71	45 (L072)	33 (L072)	22	USBDP		
72	46	34	23	PA13	IR_OUT UART0_RXD LVD_OUT TIM3_ETR RTC_1HZ PCNT_S1 VC2_OUT	SWDIO
73				PF06	I2C1_SCL LPUART1_CTS UART0_CTS	COM2
				PF07	I2C1_SDA LPUART1_RTS UART0_RTS	
	47 (L073)	35 (L073)		DVSS		

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
	48 (L073)	36 (L073)		DVCC		
74	47 (L072)	35 (L072)		AVSS_USB		
75	48 (L072)	36 (L072)	24	AVCC_USB		
76	49	37	25	PA14	UART1_TXD UART0_TXD TIM3_CH2A LVD_OUT RCH_OUT RCL_OUT PLL_OUT	SWCLK
77	50	38		PA15	SPI0_CS UART1_RXD LPUART1_RTS TIM0_ETR TIM0_CHA TIM3_CH1A	COM3
78	51			PC10	LPUART1_RXD LPUART0_RXD PCA_CH2	COM4/ SEG39
79	52			PC11	LPUART1_RXD LPUART0_RXD PCA_CH3 PCNT_SOFO	COM5/ SEG38
80	53			PC12	LPUART0_RXD LPUART1_RXD PCA_CH4 PCNT_S1FO	COM6/ SEG37
81				PD00	CAN_RX SPI1_CS	
82				PD01	CAN_TX SPI1_SCK	
83	54			PD02	PCA_ECI LPUART0_RTS TIM1_ETR	COM7/ SEG36
84				PD03	UART1_CTS SPI1_MISO LPTIM1_TOG I2S1_SCK	
85				PD04	UART1_RTS SPI1_MOSI LPTIM1_TOGN I2S1_MCK	
86				PD05	UART1_RXD LPTIM1_GATE CAN_STBY I2S1_SD	
87				PD06	UART1_RXD LPTIM1_EXT I2S1_WS	
88				PD07	UART1_RXD I2S1_SDIN	
89	55	39		PB03	SPI0_SCK TIM0_CHB TIM1_GATE TIM3_CH0A LPTIM0_GATE XTL_OUT XTH_OUT	VC1_INN9 SEG35/VLCDH
90	56	40	26	PB04	SPI0_MISO PCA_CH0 TIM2_BK	VC0_INP12 VC1_INP12 SEG34/VLCD3

LQFP100	LQFP64	LQFP48	QFN32	NAME	DIGITAL	ANALOG
					UART0_CTS TIM2_GATE TIM3_CH0B LPTIM0_EXT	
91	57	41	27	PB05	SPI0_MOSI TIM1_BK PCA_CH1 LPTIM0_GATE PCNT_S0 UART0_RTS	VC0_INP13 SEG33/ VLCD2
92	58	42		PB06	I2C0_SCL UART0_RXD TIM1_CHB TIM0_CHA LPTIM0_EXT TIM3_CH0A LPTIM0_TOG	VC0_INP14 VC1_INP14 SEG32/ VLCD1
93	59	43		PB07	I2C0_SDA UART0_RXD TIM2_CHB LPUART1_CTS TIM0_CHB LPTIM0_TOGN PCNT_S1	VC1_INP15 LVD2 SEG31
94	60	44	28	BOOT0/PF11		SEG30
95	61	45	29	PB08	I2C0_SCL TIM1_CHA CAN_RX TIM2_CHA TIM0_GATE TIM3_CH2A UART0_RXD	LVD1 SEG29
96	62	46	30	PB09	I2C0_SDA IR_OUT SPI1_CS TIM2_CHA CAN_TX TIM2_CHB UART0_RXD	SEG28
97				PE00	TIM1_CHA	
98				PE01	TIM2_CHA	
99	63	47	31	DVSS		
100	64	48		DVCC		

每个引脚的数字功能由 PSEL 位域进行控制，详见下表。

PxSEL							
0	1	2	3	4	5	6	7
PA00	UART1_CTS	LPUART1_TXD	TIM0_ETR	VC0_OUT	TIM1_CHA	TIM3_ETR	TIM0_CHA
PA01	UART1_RTS	LPUART1_RXD	TIM0_CHB	TIM1_ETR	TIM1_CHB	HCLK_OUT	SPI1_MOSI
PA02	UART1_TXD	TIM0_CHA	VC1_OUT	TIM1_CHA	TIM2_CHA	PCLK_OUT	SPI1_MISO
PA03	UART1_RXD	TIM0_GATE	TIM1_CHB	TIM2_CHB	SPI1_CS	TIM3_CH1A	TIM5_CHA
PA04	SPI0_CS	UART1_TXD	PCA_CH4	TIM2_ETR	TIM5_CHA	LVD_OUT	TIM3_CH2B
PA05	SPI0_SCK	TIM0_ETR	PCA_ECI	TIM0_CHA	TIM5_CHB	XTL_OUT	XTH_OUT
PA06	SPI0_MISO	PCA_CH0	TIM3_BK	TIM1_CHA	VC0_OUT	TIM3_GATE	LPUART0_CTS
PA07	SPI0_MOSI	PCA_CH1	HCLK_OUT	TIM3_CH0B	TIM2_CHA	VC1_OUT	TIM4_CHB
PA08	UART0_TXD	TIM3_CH0A	CRS_SYNC	CAN_STBY	TIM1_GATE	TIM4_CHA	TIM3_BK
PA09	UART0_TXD	TIM3_CH1A	TIM0_BK	I2C0_SCL		HCLK_OUT	TIM5_CHA
PA10	UART0_RXD	TIM3_CH2A	TIM2_BK	I2C0_SDA	TIM2_GATE	PCLK_OUT	TIM6_CHA
PA11	UART0_CTS	TIM3_GATE	I2C1_SCL	CAN_RX	VC0_OUT	SPI0_MISO	TIM4_CHB
PA12	UART0_RTS	TIM3_ETR	I2C1_SDA	CAN_TX	VC1_OUT	SPI0_MOSI	PCNT_SO
PA13	IR_OUT	UART0_RXD	LVD_OUT	TIM3_ETR	RTC_1HZ	PCNT_S1	VC2_OUT
PA14	UART1_TXD	UART0_TXD	TIM3_CH2A	LVD_OUT	RCH_OUT	RCL_OUT	PLL_OUT
PA15	SPI0_CS	UART1_RXD	LPUART1_RTS	TIM0_ETR	TIM0_CHA	TIM3_CH1A	
PB00	PCA_CH2	TIM3_CH1B	LPUART0_TXD	TIM5_CHB	RCH_OUT	RCL_OUT	PLL_OUT
PB01	PCA_CH3	PCLK_OUT	TIM3_CH2B	TIM6_CHB	LPUART0_RTS	VC2_OUT	TCLK_OUT
PB02	LPTIMO_TOG	PCA_ECI	LPUART1_TXD	TIM4_CHA	TIM1_BK	TIM0_BK	TIM2_BK
PB03	SPI0_SCK	TIM0_CHB	TIM1_GATE	TIM3_CH0A	LPTIMO_GATE	XTL_OUT	XTH_OUT
PB04	SPI0_MISO	PCA_CH0	TIM2_BK	UART0_CTS	TIM2_GATE	TIM3_CH0B	LPTIMO_EXT
PB05	SPI0_MOSI		TIM1_BK	PCA_CH1	LPTIMO_GATE	PCNT_SO	UART0_RTS
PB06	I2C0_SCL	UART0_TXD	TIM1_CHB	TIM0_CHA	LPTIMO_EXT	TIM3_CH0A	LPTIMO_TOG
PB07	I2C0_SDA	UART0_RXD	TIM2_CHB	LPUART1_CTS	TIM0_CHB	LPTIMO_TOGN	PCNT_S1
PB08	I2C0_SCL	TIM1_CHA	CAN_RX	TIM2_CHA	TIM0_GATE	TIM3_CH2A	UART0_TXD
PB09	I2C0_SDA	IR_OUT	SPI1_CS	TIM2_CHA	CAN_TX	TIM2_CHB	UART0_RXD
PB10	I2C1_SCL	SPI1_SCK	TIM1_CHA	LPUART0_TXD	TIM3_CH1A	LPUART1_RTS	UART1_RTS
PB11	I2C1_SDA	TIM1_CHB	LPUART0_RXD	TIM2_GATE	TIM6_CHA	LPUART1_CTS	UART1_CTS
PB12	SPI1_CS	TIM3_BK	LPUART0_TXD	TIM0_BK		LPUART0_RTS	TIM6_CHA
PB13	SPI1_SCK	I2C1_SCL	TIM3_CH0B	LPUART0_CTS	TIM1_CHA	TIM1_GATE	TIM6_CHB
PB14	SPI1_MISO	I2C1_SDA	TIM3_CH1B	TIM0_CHA	RTC_1HZ	LPUART0_RTS	TIM1_BK
PB15	SPI1_MOSI	TIM3_CH2B	TIM0_CHB	TIM0_GATE			LPUART1_RXD
PC00	LPTIMO_GATE	PCNT_SO	UART1_CTS	UART2_RTS	I2S0_MCK		
PC01	LPTIMO_TOG	TIM5_CHB	UART1_RTS	PCNT_S0FO	I2S0_SD	UART2_CTS	
PC02	SPI1_MISO	LPTIMO_TOGN	PCNT_S1	UART2_RXD			
PC03	SPI1_MOSI	LPTIMO_EXT	LPTIMO_TOGN	PCNT_S1FO	UART2_TXD		

PxSEL							
0	1	2	3	4	5	6	7
PC04	LPUART0_TXD	TIM2_ETR	IR_OUT	VC2_OUT	I2S0_WS		
PC05	LPUART0_RXD	TIM6_CHB	PCA_CH4		I2S0_SDIN		
PC06	PCA_CH0	TIM4_CHA	TIM2_CHA	LPTIM1_GATE	I2S1_SCK	UART3_RXD	
PC07	PCA_CH1	TIM5_CHA	TIM2_CHB	LPTIM1_EXT	I2S1_MCK	UART3_TXD	
PC08	PCA_CH2	TIM6_CHA	TIM2_ETR	LPTIM1_TOG	I2S1_SD	UART3_CTS	
PC09	PCA_CH3	TIM4_CHB	TIM1_ETR	LPTIM1_TOGN	I2S1_WS	UART3_RTS	
PC10	LPUART1_TXD	LPUART0_RXD	PCA_CH2				
PC11	LPUART1_RXD	LPUART0_RXD	PCA_CH3	PCNT_S0FO			
PC12	LPUART0_RXD	LPUART1_RXD	PCA_CH4	PCNT_S1FO			
PC13		RTC_1HZ	TIM3_CH1B		I2S0_SCK		
PC14							
PC15							
PD00	CAN_RX	SPI1_CS					
PD01	CAN_TX	SPI1_SCK					
PD02	PCA_ECI	LPUART0_RTS	TIM1_ETR				
PD03	UART1_CTS	SPI1_MISO	LPTIM1_TOG	I2S1_SCK			
PD04	UART1_RTS	SPI1_MOSI	LPTIM1_TOGN	I2S1_MCK			
PD05	UART1_RXD	LPTIM1_GATE	CAN_STBY	I2S1_SD			
PD06	UART1_RXD	LPTIM1_EXT		I2S1_WS			
PD07	UART1_RXD			I2S1_SDIN			
PD08	LPUART0_RXD	I2S0_SCK					
PD09	LPUART0_RXD	I2S0_MCK					
PD10	LPUART0_RXD	I2S0_SD					
PD11	LPUART0_CTS	I2S0_WS					
PD12	LPUART0_RTS	UART2_RTS					
PD13	UART2_RXD	I2S0_SDIN					
PD14	UART2_RXD						
PD15	CRS_SYNC	UART2_CTS					
PE00	TIM1_CHA						
PE01	TIM2_CHA						
PE02	PCA_ECI						
PE03	PCA_CH0						
PE04	PCA_CH1						
PE05	PCA_CH2						
PE06	PCA_CH3						
PE07	TIM3_ETR	LPTIM1_GATE					
PE08	TIM3_CH0B	LPTIM1_EXT					

PxSEL							
<b>0</b>	<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>	<b>5</b>	<b>6</b>	<b>7</b>
PE09	TIM3_CH0A	LPTIM1_TOG					
PE10	TIM3_CH1B	LPTIM1_TOGN					
PE11	TIM3_CH1A						
PE12	TIM3_CH2B	SPI0_CS	UART3_CTS				
PE13	TIM3_CH2A	SPI0_SCK	UART3_RTS				
PE14	TIM3_CH0B	SPI0_MISO	UART3_RXD				
PE15	TIM3_BK	SPI0_MOSI	UART3_TXD				
PF00	I2C0_SDA	CRS_SYNC	UART1_TXD				
PF01	I2C0_SCL		UART1_RXD				
PF02							
PF03							
PF04							
PF05							
PF06	I2C1_SCL	LPUART1_CTS	UART0_CTS				
PF07	I2C1_SDA	LPUART1_RTS	UART0_RTS				
PF09	TIM0_CHA						
PF10	TIM0_CHB						
PF11							

### 3.3 Module signal description

表 3-1 模块信号说明

模块	引脚名称	描述
电源	DVCC	数字电源
	AVCC	模拟电源
	DVSS	数字地
	AVSS	模拟地
	AVCC_USB	USB 模块电源 (不大于 3.6V, 详见【电气特性】)
	AVSS_USB	USB 模块地
	VCAP	LDO 内核供电输出 (仅限内部电路使用, 需外接不小于 1uF 的去耦电容)
ISP	BOOT0	当复位时 BOOT0 (PF11) 管脚为高电平, 芯片工作于 ISP 编程模式, 可通过 ISP 协议对 FLASH 进行编程 当复位时 BOOT0 (PF11) 管脚为低电平, 芯片工作于用户模式, 芯片执行 FLASH 内的程序代码, 可通过 SWD 协议对 FLASH 进行编程
ADC	AIN0~AIN35	ADC 输入通道 0~35
	ADC_VREF	ADC 外部参考电压
VC	VCIN0~VCIN15	VC 输入 0~15
	VC0_OUT	VC0 比较输出
	VC1_OUT	VC1 比较输出
	VC2_OUT	VC2 比较输出
LVD	LVDIN0	电压侦测输入 0
	LVDIN1	电压侦测输入 1
	LVDIN2	电压侦测输入 2
	LVD_OUT	电压侦测输出
OPA $x=0,1,2,3,4$	OPx_INN	OPA 负端输入
	OPx_INP	OPA 正端输入
	OPx_OUTy	OPA 输出
LCD $x=0\sim 7$ $y=0\sim 52$ $z=1,2,3,H$	COMx	LCD 公共端输出
	SEGy VLCDz	LCD 区段端输出 外部电阻模式, 外部电容模式使用管脚
UART $x=0,1,2,3$	UARTx_TXD	UARTx 数据发送端
	UARTx_RXD	UARTx 数据接收端
	UARTx_CTS	UARTx CTS
	UARTx_RTS	UARTx RTS
LPUART $x=0,1$	LPUARTx_TXD	LPUART 数据发送端
	LPUARTx_RXD	LPUART 数据接收端
	LPUARTx_CTS	LPUART CTS
	LPUARTx_RTS	LPUART RTS

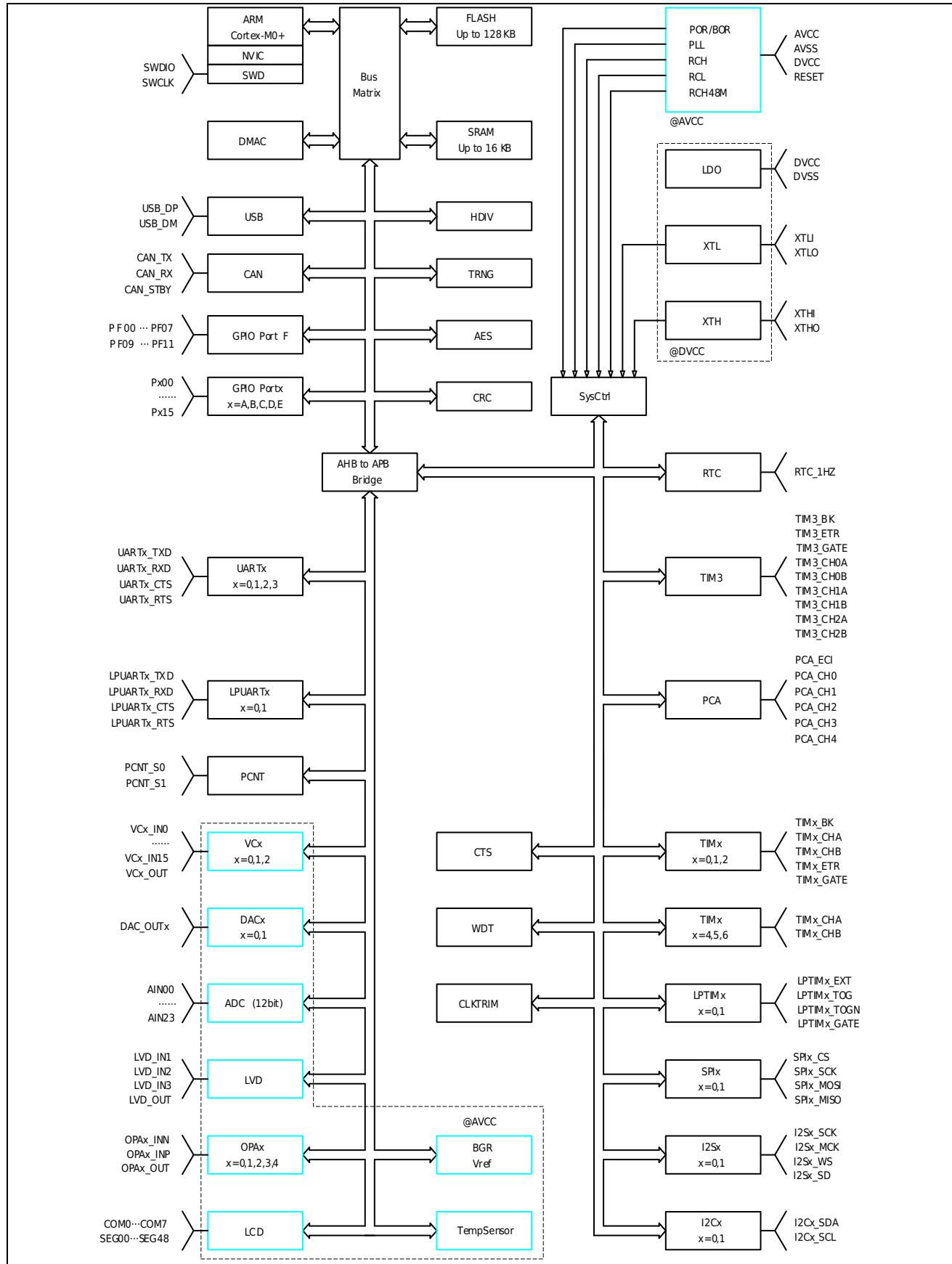
模块	引脚名称	描述
I2Sx x=0,1	I2Sx_CK	I2S 模块时钟信号
	I2Sx_WS	I2S 模块字选信号
	I2Sx_MCK	I2S 模块主模式时钟输出
	I2Sx_SD	I2S 模块数据输入输出
USB	USB_DP	USB 信号
	USB_DM	USB 信号
CAN	CAN_TX	CAN TX 输出信号
	CAN_RX	CAN RX 输入信号
	CAN_STBY	CAN STBY 信号
CTS	CTS_SYNC	CTS 外部同步信号
SPI x=0,1	SPIx_MISO	SPI 模块主机输入从机输出数据信号
	SPIx_MOSI	SPI 模块主机输出从机输入数据信号
	SPIx_SCK	SPI 模块时钟信号
	SPIx_CS	SPI 片选
I2Cx x=0,1	I2Cx_SDA	I2C 模块数据信号
	I2Cx_SCL	I2C 模块时钟信号
通用定时器 TIMx x=0,1,2	TIMx_CHA	Timer 的捕获输入比较输出 A
	TIMx_CHB	Timer 的捕获输入比较输出 B
	TIMx_ETR	Timer 的外部计数输入信号
	TIMx_GATE	Timer 的门控信号
通用定时器 TIM3 y=0,1,2	TIM3_CHyA	Timer 的捕获输入比较输出 A
	TIM3_CHyB	Timer 的捕获输入比较输出 B
	TIM3_ETR	Timer 的外部计数输入信号
	TIM3_GATE	Timer 的门控信号
低功耗定时器 LPTIMx x=0,1	LPTIMx_TOG	LPTimer 的翻转输出信号
	LPTIMx_TOGN	LPTimer 的翻转输出反向信号
	LPTIMx_EXT	LPTimer 的外部计数输入信号
	LPTIMx_GATE	LPTimer 的门控信号
可编程计数阵列 PCA	PCA_ECI	外部时钟输入信号
	PCA_CH0	捕获输入/比较输出/PWM 输出 0
	PCA_CH1	捕获输入/比较输出/PWM 输出 1
	PCA_CH2	捕获输入/比较输出/PWM 输出 2
	PCA_CH3	捕获输入/比较输出/PWM 输出 3
	PCA_CH4	捕获输入/比较输出/PWM 输出 4
PCNT	PCNT_S0	PCNT 脉冲计数输入 0
	PCNT_S1	PCNT 脉冲计数输入 1
高级定时器 Advanced Timer	TIM4_CHA	Advanced Timer4 比较输出/捕获输入端 A
	TIM4_CHB	Advanced Timer4 比较输出/捕获输入端 B

模块	引脚名称	描述
	TIM5_CHA	Advanced Timer5 比较输出/捕获输入端 A
	TIM5_CHB	Advanced Timer5 比较输出/捕获输入端 B
	TIM6_CHA	Advanced Timer6 比较输出/捕获输入端 A
	TIM6_CHB	Advanced Timer6 比较输出/捕获输入端 B

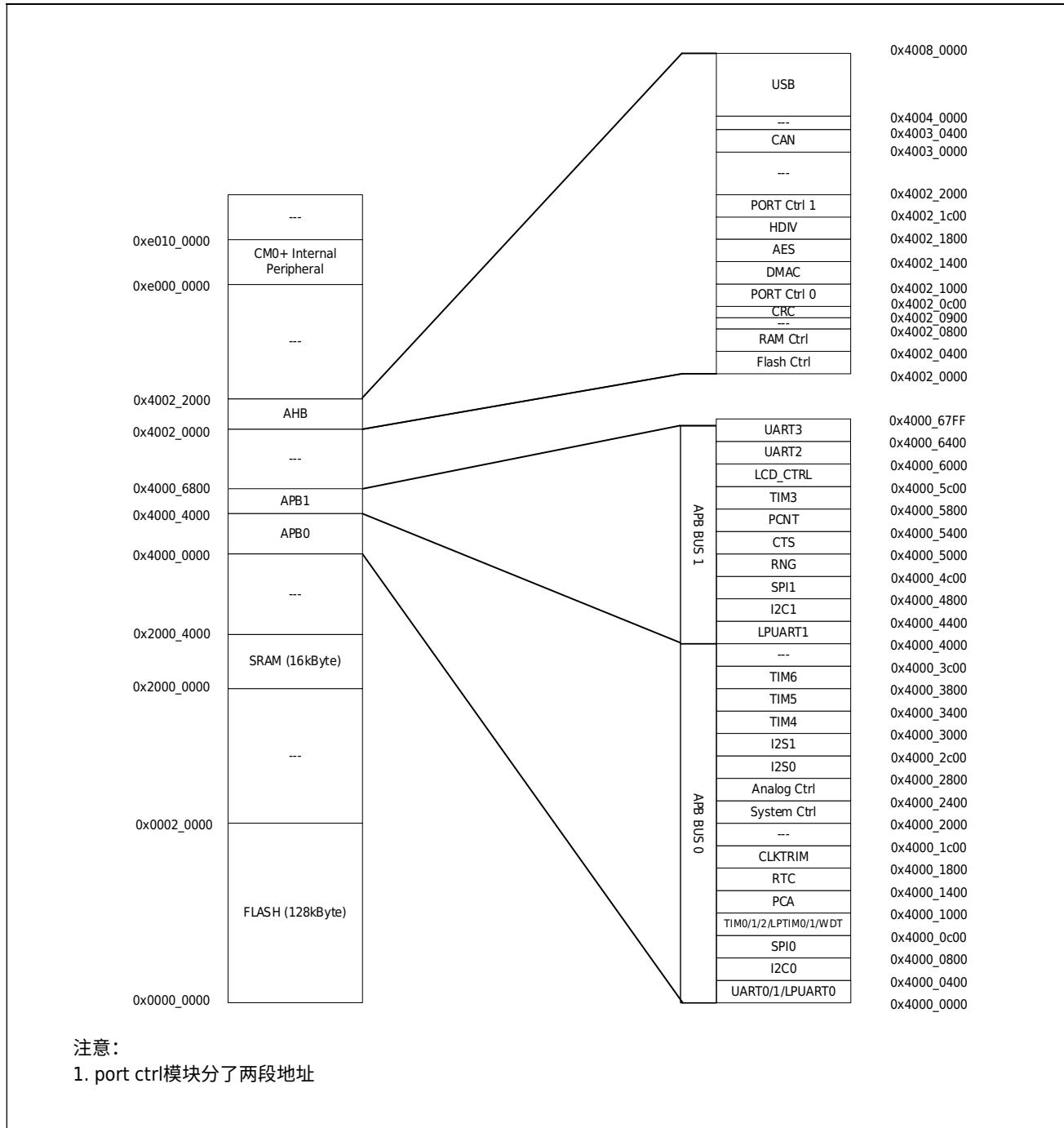
**注意：**

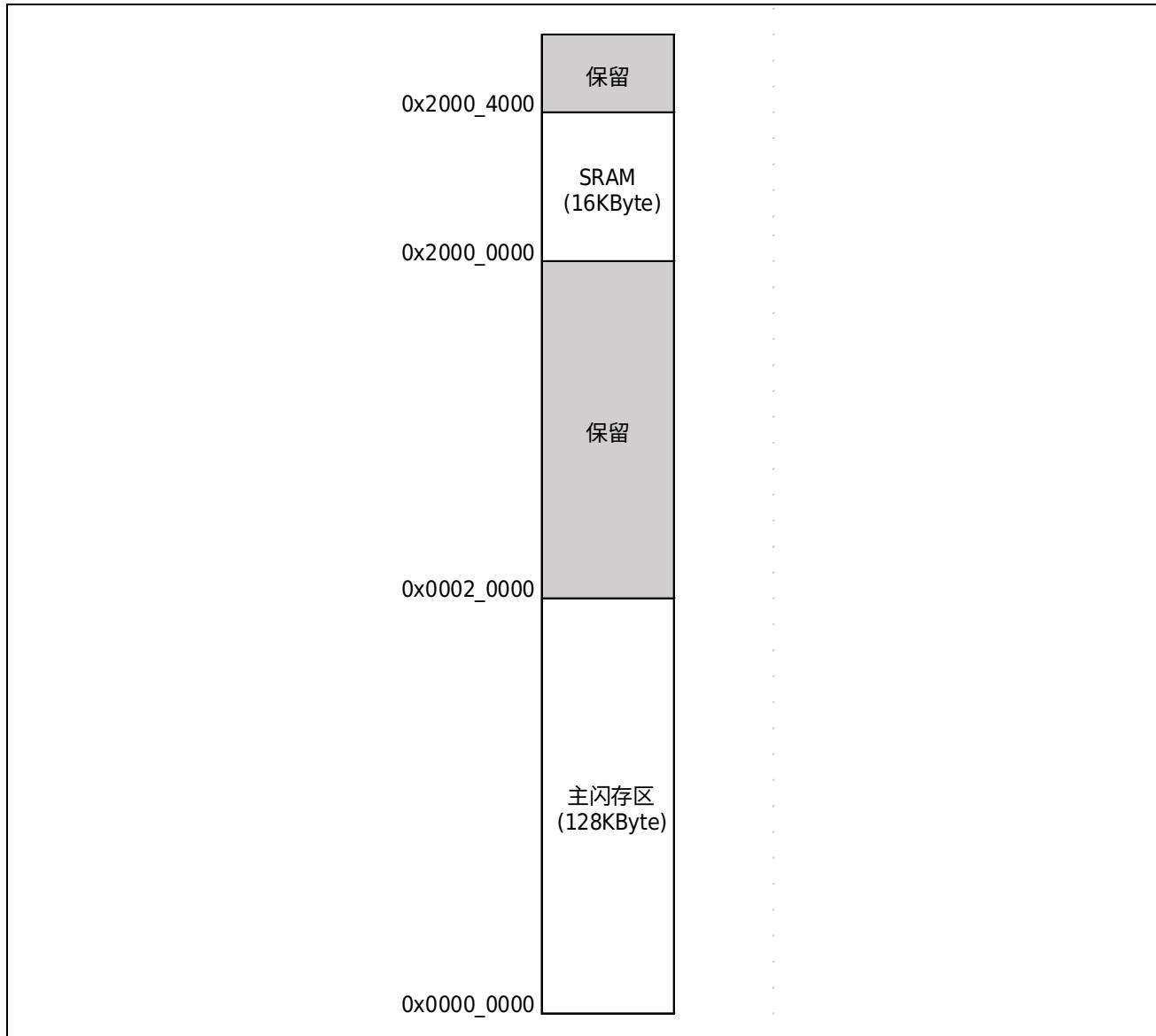
- IO 端口复位为输入高阻状态，休眠模式和深度休眠模式保持之前的端口状态。

## 4 Functional Block Diagram

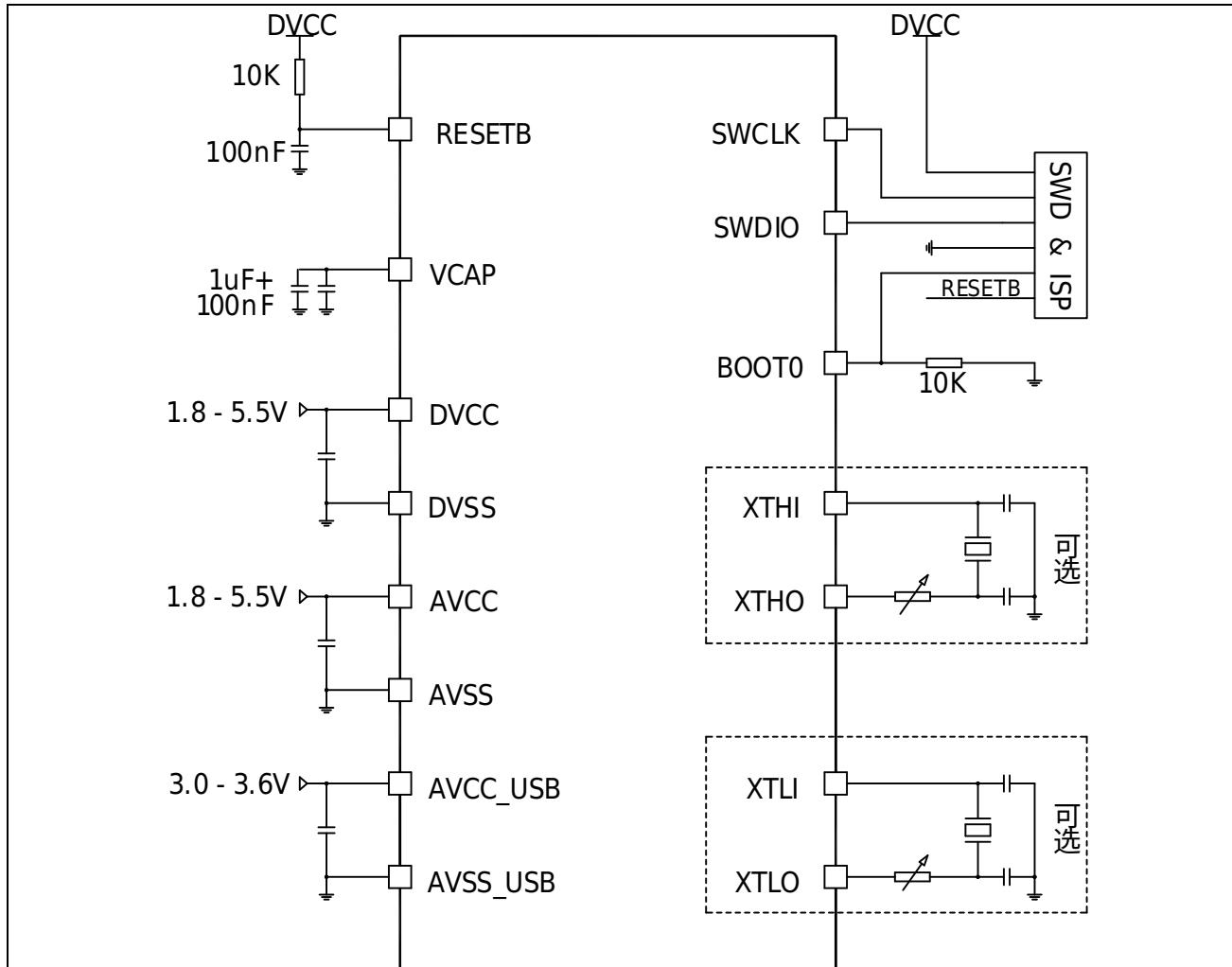


## 5 Memory Map





## 6 Typical application circuit diagram



注意：

- AVCC 与 DVCC 电压必须相同。
- 当向 AVCC\_USB 供电时，AVCC 与 DVCC 的电压应不小于 AVCC\_USB。
- 当不使用 USB 功能时，AVCC\_USB 的管脚建议悬空或接地。
- 每组电源都需要一个去耦电容，去耦电容尽量靠近相应电源管脚。

## 7 Electrical characteristics

### 7.1 Test conditions

除非特别说明，所有电压的都以 VSS 为基准。

#### 7.1.1 Minimum and maximum values

除非特别说明，在生产线上通过对 100% 的产品在环境温度  $T_A=25^\circ\text{C}$  和  $T_A=T_{A\max}$  下执行的测试 ( $T_{A\max}$  与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$ )得到。

#### 7.1.2 Typical values

除非特别说明，典型数据是基于  $T_A=25^\circ\text{C}$  和  $VCC=3.3\text{V}$  ( $1.8\text{V} \leq VCC \leq 5.5\text{V}$  电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围内测试得到，95%产品的误差小于等于给出的数值 (平均 $\pm 2\Sigma$ )。

## 7.2 Absolute Maximum Ratings

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 7-1 电压特性

符号	描述	最小值	最大值	单位
VCC - VSS	外部主供电电压(包含 AVCC 和 DVCC) <sup>(1)</sup>	-0.3	5.5	V
AVCC_USB	USB 模块供电电压 <sup>(2)</sup>	3.0	3.6	V
V <sub>IN</sub>	在其它引脚上的输入电压 <sup>(3)</sup>	VSS-0.3	VCC + 0.3	V
ΔVCCx	不同供电引脚之间的电压差		50	mV
VSSx - VSS	不同接地引脚之间的电压差		50	mV
V <sub>ESD(HBM)</sub>	ESD 静电放电电压(人体模型)	参考绝对最大值电气参数		V

- 所有的电源(DVCC, AVCC)和地(DVSS, AVSS)引脚必须始终连接到外部允许范围内的供电系统上。
- AVCC\_USB 不可高于 AVCC/DVCC 0.3V。
- |I<sub>INJ(PIN)</sub>|绝对不可以超过它的极限，即保证 V<sub>IN</sub> 不超过其最大值。如果不能保证 V<sub>IN</sub> 不超过其最大值，也要保证在外部限制 |I<sub>INJ(PIN)</sub>|不超过其最大值。当 V<sub>IN</sub>>VCC 时，有一个正向注入电流；当 V<sub>IN</sub><VSS 时，有一个反向注入电流。

表 7-2 电流特性

符号	描述	最大值 <sup>(1)</sup>	单位
I <sub>VCC</sub>	经过 DVCC/AVCC 电源线的总电流(供应电流) <sup>(1)</sup>	300	mA
I <sub>VSS</sub>	经过 VSS 地线的总电流(流出电流) <sup>(1)</sup>	300	mA
I <sub>IO</sub>	任意 I/O 和控制引脚上的输出灌电流	25	mA
	任意 I/O 和控制引脚上的输出电流	-25	mA
I <sub>INJ(PIN)</sub> <sup>(2)(3)</sup>	RESETB 引脚的注入电流	+/-5	mA
	XTH 的 XTHI 引脚和 XTL 的 XTLI 引脚的注入电流	+/-5	mA
	其他引脚的注入电流 <sup>(4)</sup>	+/-5	mA
ΣI <sub>INJ(PIN)</sub> <sup>(2)</sup>	所有 I/O 和控制引脚上的总注入电流 <sup>(4)</sup>	+/-25	mA

- 所有的电源(DVCC, AVCC)和地(DVSS, AVSS)引脚必须始终连接到外部允许范围内的供电系统上。
- |I<sub>INJ(PIN)</sub>|绝对不可以超过它的极限，即保证 V<sub>IN</sub> 不超过其最大值。如果不能保证 V<sub>IN</sub> 不超过其最大值，也要保证在外部限制 |I<sub>INJ(PIN)</sub>|不超过其最大值。当 V<sub>IN</sub>>VCC 时，有一个正向注入电流；当 V<sub>IN</sub><VSS 时，有一个反向注入电流。
- 反向注入电流会干扰器件的模拟性能。
- 当几个 I/O 口同时有注入电流时，ΣI<sub>INJ(PIN)</sub>的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上ΣI<sub>INJ(PIN)</sub>最大值的特性。

表 7-3 温度特性

符号	描述	数值	单位
T <sub>STG</sub>	储存温度范围	-65 ~ + 150	°C
T <sub>J</sub>	最大结温度	105	°C

## 7.3 Operating conditions

### 7.3.1 General operating conditions

表 7-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f <sub>HCLK</sub>	内部 AHB 时钟频率		0	48	MHz
f <sub>PCLK0</sub>	内部 APB0 时钟频率		0	48	MHz
f <sub>PCLK1</sub>	内部 APB1 时钟频率		0	48	MHz
DVCC	数字部分工作电压	AVCC_USB=0V	1.8	5.5	V
AVCC <sup>(1)</sup>	模拟部分工作电压		1.8	5.5	V
DVCC	数字部分工作电压	AVCC_USB>3.0V	AVCC_USB	5.5	V
AVCC <sup>(1)</sup>	模拟部分工作电压		AVCC_USB	5.5	V
AVCC_USB	USB 模块供电电压		3.0	3.6	V
P <sub>D</sub>	功率耗散 T <sub>A</sub> =85°C	LQFP100		476	mW
	功率耗散 T <sub>A</sub> =85°C	LQFP64		455	mW
	功率耗散 T <sub>A</sub> =85°C	LQFP48		364	mW
	功率耗散 T <sub>A</sub> =85°C	QFN32		556	mW
T <sub>A</sub>	环境温度	最大功率消耗	-40	85	°C
		低功率消耗 <sup>(2)</sup>	-40	105	°C
T <sub>J</sub>	结温度范围		-40	105	°C

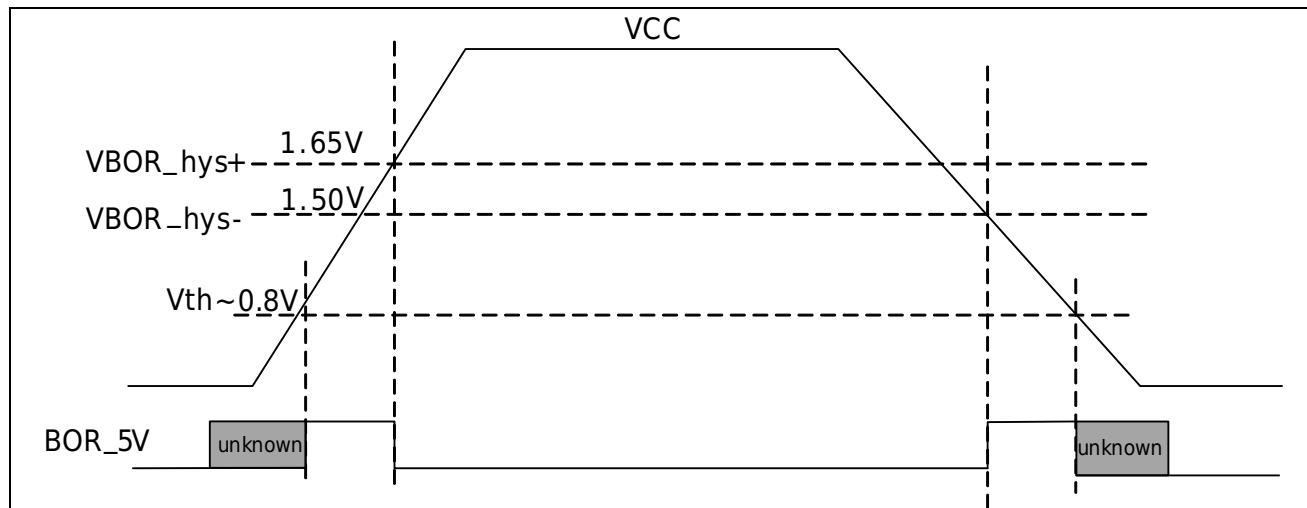
- AVCC 与 DVCC 电压必须相同。
- 在较低的功率耗散的状态下，只要 T<sub>J</sub> 不超过 T<sub>jmax</sub>，T<sub>A</sub> 可以扩展到这个范围。

### 7.3.2 Operating conditions during power-on and power-off

表 7-5 上电和掉电的工作条件

符号	参数	条件	最小值	最大值	单位
t <sub>VCC</sub>	VCC 上升速率		0	5	V/μs
t <sub>VCC</sub>	VCC 下降速率		10	5	V/μs

### 7.3.3 Embedded reset and LVD module features



1. 设计保证，不在生产中测试。

图 7-1 POR/Brown Out 示意图

表 7-6 POR/Brown Out

符号	参数	条件	最小值	典型值	最大值	单位
Vpor	POR 释放电压（上电过程） BOR 检测电压（掉电过程）		1.45	1.50	1.65	V

**表 7-7 LVD 模块特性**

符号	参数	条件	最小值	典型值	最大值	单位
Vex	外部输入电压范围		0		VCC	V
Vlevel	检测阈值	LVD_CR.VTDS=0000 LVD_CR.VTDS =0001 LVD_CR.VTDS =0010 LVD_CR.VTDS =0011 LVD_CR.VTDS =0100 LVD_CR.VTDS=0101 LVD_CR.VTDS=0110 LVD_CR.VTDS=0111 LVD_CR.VTDS=1000 LVD_CR.VTDS=1001 LVD_CR.VTDS=1010 LVD_CR.VTDS=1011 LVD_CR.VTDS=1100 LVD_CR.VTDS=1101 LVD_CR.VTDS=1110 LVD_CR.VTDS=1111	1.7 1.8 1.9 2.0 2.1 2.2 2.3 2.4 2.5 2.6 2.7 2.8 2.9 2.8 2.9 3.0 3.1 3.2 3.3 3.4	1.8 1.9 2.0 2.1 2.2 2.3 2.4 2.5 2.6 2.7 2.8 2.9 2.9 3.0 3.1 3.2 3.3 3.4	1.9 2.0 2.1 2.2 2.3 2.4 2.5 2.6 2.7 2.8 2.9 3.0 3.1 3.2 3.3 3.4	V
Icomp	功耗			0.12		μA
Tresponse	响应时间			80		μs
Tsetup	建立时间			400		μs
Vhyste	迟滞电压			40		mV
Tfilter	滤波时间	LVD_debounce = 000 LVD_debounce = 001 LVD_debounce = 010 LVD_debounce = 011 LVD_debounce = 100 LVD_debounce = 101 LVD_debounce = 110 LVD_debounce = 111		7 14 28 112 450 1800 7200 28800		μs

### 7.3.4 Built-in reference voltage

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>REF25</sub>	Internal 2.5V Reference Voltage	常温 25°C 3.3V	2.475	2.5	2.525	V
V <sub>REF25</sub>	Internal 2.5V Reference Voltage	-40 ~ 85°C 2.8 ~ 5.5V	2.463	2.5	2.525	V <sup>[1]</sup>
V <sub>REF15</sub>	Internal 1.5V Reference Voltage	常温 25°C 3.3V	1.485	1.5	1.515	V
V <sub>REF15</sub>	Internal 1.5V Reference Voltage	-40 ~ 85°C 1.8 ~ 5.5V	1.477	1.5	1.519	V <sup>[1]</sup>
T <sub>Coeff</sub>	Internal 2.5V 1.5V temperature coefficient	-40 ~ 85°C			120	ppm/°C

1. 数据基于考核结果，不在生产中测试。

### 7.3.5 Supply current characteristics

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VCC 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f<sub>HCLK</sub> 的频率(0~24MHz 时为 0 个等待周期, 24~48MHz 时为 1 个等待周期)。
- 当开启外设时：f<sub>PCLK0</sub> = f<sub>HCLK</sub>, f<sub>PCLK1</sub> = f<sub>HCLK</sub>。

表 7-8 工作电流特性

Symbol	Parameter	Conditions			Typ <sup>(1)</sup>	Max <sup>(2)</sup>	Unit
IDD (AVCC_USB)		Active			4		mA
IDD (Run in RAM)	All peripherals clock ON, Run while(1) in RAM	Vcap=1.5V Vcc=3.3V TA=2xC	RCH clock source	4M	990		µA
				8M	1960		
				16M	3870		
				22.12M	5360		
				24M	5780		
			PLL RCH4M to xxM clock source	32M	7910		
				48M	11770		
	All peripherals clock OFF, Run while(1) in RAM	Vcap=1.5V Vcc=3.3V TA=2xC	RCH clock source	4M	340		µA
				8M	650		
				16M	1240		
				22.12M	1700		
				24M	1840		
			PLL RCH4M to xxM clock source	32M	2690		
				48M	3950		
				4M	820		µA

Symbol	Parameter	Conditions			Typ <sup>(1)</sup>	Max <sup>(2)</sup>	Unit		
$I_{DD}$ (Run CoreMark)	All peripherals clock OFF, Run CoreMark in Flash	Vcap=1.5V V <sub>CC</sub> =3.3V T <sub>A</sub> =2xC	RCH clock source	8M	1550		$\mu A$		
				16M	2980				
				22.12M	4000				
				24M	4320				
			PLL RCH4M to xxM	48M FlashWait=1	6810				
	All peripherals clock ON, Run while(1) in Flash	Vcap=1.5V V <sub>CC</sub> =1.8-5.5V T <sub>A</sub> =N40-85°C	RCH clock source	4M	1330	1800	$\mu A$		
				8M	2490	3430			
				16M	4990	6570			
				22.12M	6760	8960			
		Vcap=1.5V V <sub>CC</sub> =1.8-5.5V T <sub>A</sub> =N40C- 85°C	PLL RCH4M to xxM clock source	24M	7260	9680			
$I_{DD}$ (Run mode)	All peripherals clock OFF, Run while(1) in Flash			16M	5270	6550	$\mu A$		
				24M	7390	9260			
				32M FlashWait=1	9200	10640			
				40M FlashWait=1	11350	13150			
				48M FlashWait=1	13470	15750			
	Vcap=1.5V V <sub>CC</sub> =1.8-5.5V T <sub>A</sub> =N40-85°C	PLL RCH8M to xxM clock source	16M	5350	6620	$\mu A$			
			24M	7460	9390				
			32M FlashWait=1	9250	10740				
			40M FlashWait=1	11380	13290				
			48M FlashWait=1	13560	15850				
	All peripherals clock ON, Run while(1) in Flash	Vcap=1.5V V <sub>CC</sub> =1.8-5.5V T <sub>A</sub> =N40-85°C	RCH clock source	4M	670	1080	$\mu A$		
				8M	1190	1990			
				16M	2280	3580			
				22.12M	3070	4790			
				24M	3290	5120			
		Vcap=1.5V V <sub>CC</sub> =1.8-5.5V T <sub>A</sub> =N40-85°C	PLL RCH4M to xxM clock source	16M	2560	3530	$\mu A$		
				24M	3450	4780			
				32M FlashWait=1	3950	4670			
				40M FlashWait=1	4800	5710			
				48M FlashWait=1	5680	6780			
				16M	2620	3610			

Symbol	Parameter	Conditions			Typ <sup>(1)</sup>	Max <sup>(2)</sup>	Unit
$I_{DD}$ (Sleep mode)	All peripherals clock ON	Vcap=1.5V Vcc=1.8-5.5V TA=N40-85°C	RCH clock source	4M	840	950	$\mu A$
				8M	1640	1880	
				16M	3240	3680	
				22.12M	4490	5120	
				24M	4850	5570	
		Vcap=1.5V Vcc=1.8-5.5V TA=N40-85°C	PLL RCH4M to xxM clock source	16M	3550	4070	$\mu A$
				24M	5060	5770	
				32M FlashWait=1	6680	7640	
				40M FlashWait=1	8300	9510	
				48M FlashWait=1	9920	11370	
		Vcap=1.5V Vcc=1.8-5.5V TA=N40-85°C	PLL RCH8M to xxM clock source	16M	3620	4120	$\mu A$
				24M	5120	5850	
				32M FlashWait=1	6740	7710	
				40M FlashWait=1	8340	9580	
				48M FlashWait=1	9980	11430	
	All peripherals clock OFF	Vcap=1.5V Vcc=1.8-5.5V TA=N40-85°C	RCH clock source	4M	180	230	$\mu A$
				8M	330	390	
				16M	600	690	
				22.12M	820	930	
				24M	880	1000	
		Vcap=1.5V Vcc=1.8-5.5V TA=N40-85°C	PLL RCH4M to xxM clock source	16M	900	1020	$\mu A$
				24M	1110	1260	
				32M FlashWait=1	1410	1610	
				40M FlashWait=1	1730	1970	
				48M FlashWait=1	2040	2330	
	All peripherals clock ON, Run while(1) in Flash	Vcap=1.5V Vcc=1.8-5.5V	XTL32K clock source Driver=0x0	16M	960	1090	$\mu A$
				24M	1170	1330	
				32M FlashWait=1	1470	1670	
				40M FlashWait=1	1780	2030	
				48M FlashWait=1	2100	2390	
				TA=N40-25C	14	19	
$I_{DD}$ (LP Run)	All peripherals clock ON, Run while(1) in Flash	Vcap=1.5V Vcc=1.8-5.5V	XTL32K clock source Driver=0x0	TA=50C	15	20	$\mu A$
				TA=85C	21	28	
				TA=N40-25C	9	13	
	All peripherals clock OFF, Run while(1) in Flash	Vcap=1.5V Vcc=1.8-5.5V	XTL32K clock source Driver=0x0	TA=50C	10	14	$\mu A$
				TA=85C	16	22	

Symbol	Parameter	Conditions			Typ <sup>(1)</sup>	Max <sup>(2)</sup>	Unit
$I_{DD}$ (LP Sleep)	All peripherals clock ON	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K clock source Driver=0x0	$T_A=N40-25C$	9	10	$\mu A$
				$T_A=50C$	10	11	
				$T_A=85C$	16	18	
	All peripherals clock OFF	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K clock source Driver=0x0	$T_A=N40-25C$	4	4	$\mu A$
				$T_A=50C$	5	5	
				$T_A=85C$	11	13	
	LpTimer+RTC+32 K clk ON, Other clk OFF	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K clock source Driver=0x0	$T_A=N40-25C$	4	4	$\mu A$
				$T_A=50C$	5	6	
				$T_A=85C$	11	13	
$I_{DD}$ (DeepSleep mode)	RTC+WDT+LPT+ XTL32K +DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K Driver=0x0	$T_A=N40-25C$	1750	2040	$nA$
				$T_A=50C$	2460	2990	
				$T_A=85C$	6940	8620	
	LPT+XTL32K +DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K Driver=0x0	$T_A=N40-25C$	1630	1910	$nA$
				$T_A=50C$	2340	2850	
				$T_A=85C$	6810	8510	
	RTC+XTL32K +DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K Driver=0x0	$T_A=N40-25C$	1590	1870	$nA$
				$T_A=50C$	2300	2810	
				$T_A=85C$	6800	8470	
	XTL32K +DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$	XTL32K Driver=0x0	$T_A=N40-25C$	1580	1860	$nA$
				$T_A=50C$	2290	2790	
				$T_A=85C$	6750	8410	
	IRC32K +DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$		$T_A=N40-25C$	1570	1830	$nA$
				$T_A=50C$	2270	2750	
				$T_A=85C$	6750	8410	
	WDT +DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$		$T_A=N40-25C$	1300	1520	$nA$
				$T_A=50C$	1990	2430	
				$T_A=85C$	6410	8020	
	DeepSleep	$V_{cap}=1.5V$ $V_{CC}=1.8-5.5V$		$T_A=N40-25C$	1190	1400	$nA$
				$T_A=50C$	1880	2310	
				$T_A=85C$	6330	7970	

1. 若没有其他指定条件，该 Typ 的值是在  $25^{\circ}C$  &  $V_{CC} = 3.3V$  测得。
2. 若没有其他指定条件，该 Max 的值是  $V_{CC} = 1.8-5.5V$  & Temperature = N40 - 85°C 范围内的最大值。
3. 数据基于考核结果，不在生产中测试。

### 7.3.6 Wake-up time from low power modes

唤醒时间是在 RCH 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 休眠模式：时钟源是 RCH 振荡器
- 深度休眠模式：时钟源是进入深度休眠时所使用的时钟是 RCH 振荡器

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
T <sub>wu</sub>	休眠模式唤醒时间			1.8		μs
	深度休眠唤醒时间	F <sub>MCLK</sub> = 4MHz		9.0		μs
		F <sub>MCLK</sub> = 8MHz		6.0		μs
		F <sub>MCLK</sub> = 16MHz		5.0		μs
		F <sub>MCLK</sub> = 24MHz		4.0		μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

### 7.3.7 External clock source characteristics

#### 7.3.7.1 External high-speed clock input

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>XTH_ext</sub>	用户外部时钟频率 <sup>(1)</sup>		0	8	32	MHz
V <sub>XTHH</sub>	输入引脚高电平电压		0.7VCC		VCC	V
V <sub>XTHL</sub>	输入引脚低电平电压		VSS		0.3VCC	V
T <sub>r(XTH)</sub>	上升的时间 <sup>(1)</sup>				20	ns
T <sub>f(XTH)</sub>	下降的时间 <sup>(1)</sup>				20	ns
T <sub>w(XTH)</sub>	输入高或低的时间 <sup>(1)</sup>		16			ns
C <sub>in(XTH)</sub>	输入容抗 <sup>(1)</sup>			5		pF
Duty	占空比		40		60	%
I <sub>L</sub>	输入漏电流				±1	μA

1. 由设计保证，不在生产中测试。

#### 7.3.7.2 External low speed clock input

符号	参数	条件	最小值	典型值	最大值	单位
f <sub>XTL_ext</sub>	用户外部时钟频率 <sup>(1)</sup>		0	32.768	1000	kHz
V <sub>XTLH</sub>	输入引脚高电平电压		0.7VCC		VCC	V
V <sub>XTLL</sub>	输入引脚低电平电压		VSS		0.3VCC	V
T <sub>r(XTL)</sub>	上升的时间 <sup>(1)</sup>				50	ns
T <sub>f(XTL)</sub>	下降的时间 <sup>(1)</sup>				50	ns
T <sub>w(XTL)</sub>	输入高或低的时间 <sup>(1)</sup>		450			ns
C <sub>in(XTL)</sub>	输入容抗 <sup>(1)</sup>			5		pF
Duty	占空比		30		70	%
I <sub>L</sub>	输入漏电流				±1	μA

1. 由设计保证，不在生产中测试。

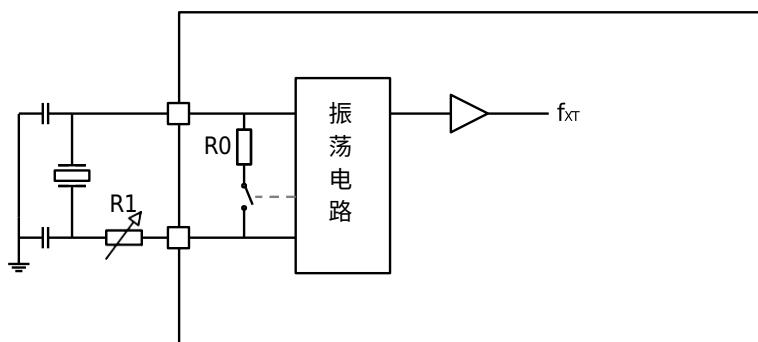
### 7.3.7.3 High-speed external clock XTH

高速外部时钟(XTH)可以使用一个 8~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

符号	参数	条件	最小值	典型值	最大值	单位
$F_{CLK}$	振荡频率	-	8	-	32	MHz
$ESR_{CLK}$	支持的晶振 ESR 范围	32MHz	-	-	60	$\Omega$
		24MHz	-	-	80	
		16MHz	-	-	100	
		8MHz	-	-	120	
$C_{LX}^{(3)}$	负载电容	按晶体制造商要求进行配置。	4	12	20	pF
Duty	占空比	-	40	50	60	%
$I_{dd}^{(4)}$	电流	XTH_CR[3:0]=0b1111	-	1000	-	$\mu A$
		XTH_CR[3:0]=0b1110	-	600	-	
		XTH_CR[3:0]=0b1010	-	370	-	
		XTH_CR[3:0]=0b0110	-	300	-	
		XTH_CR[3:0]=0b0010	-	160	-	
$g_m$	跨导	XTH_CR[3:0]=0b1111	-	11.75	-	$mA/V$
		XTH_CR[3:0]=0b1110 (32MHz, 24MHz 推荐值)	-	6.34	-	
		XTH_CR[3:0]=0b1101	-	4.38	-	
		XTH_CR[3:0]=0b1100	-	3.38	-	
		XTH_CR[3:0]=0b1011	-	7.41	-	
		XTH_CR[3:0]=0b1010 (16MHz 推荐值)	-	4.01	-	
		XTH_CR[3:0]=0b1001	-	2.77	-	
		XTH_CR[3:0]=0b1000	-	2.14	-	
		XTH_CR[3:0]=0b0111	-	5.59	-	
		XTH_CR[3:0]=0b0110 (12MHz 推荐值)	-	3.01	-	
		XTH_CR[3:0]=0b0101	-	2.08	-	
		XTH_CR[3:0]=0b0100	-	1.60	-	
		XTH_CR[3:0]=0b0011	-	2.50	-	
		XTH_CR[3:0]=0b0010 (8MHz 推 荐值)	-	1.30	-	

符号	参数	条件	最小值	典型值	最大值	单位
		XTH_CR[3:0]=0b0001	-	0.93	-	
		XTH_CR[3:0]=0b0000	-	0.72	-	
T <sub>start</sub> <sup>(5)</sup>	启动时间	32MHz, CL=16pF @ XTH_CR[3:0]=0b1110	-	500	-	μs
		8MHz, CL=16pF @ XTH_CR[3:0]=0b0010	-	2	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. C<sub>Lx</sub> 指 XTAL 的两个管脚的负载电容 C<sub>L1</sub> 和 C<sub>L2</sub>。对于 C<sub>L1</sub> 和 C<sub>L2</sub>，建议使用高质量的、为高频应用而设计瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C<sub>L1</sub> 和 C<sub>L2</sub> 具有相同参数。晶体制造商通常以 C<sub>L1</sub> 和 C<sub>L2</sub> 的串行组合给出负载电容的参数。在选择 C<sub>L1</sub> 和 C<sub>L2</sub> 时，应该根据晶振的频率和 ESR 等参数，并且将 PCB 和 MCU 引脚的容抗考虑在内。
4. 电流跟随频率和驱动能力的选择而变化。频率越高，驱动能力越强，电流消耗就越大。
5. T<sub>start</sub> 是启动时间，是从软件使能 XTH 开始测量，直至得到稳定的 32MHz/8MHz 振荡这段时间。这个数值是在 XTH\_CR[5:4] = 0b10 设置下，使用一个标准的晶体谐振器上测量得到，它可能因晶体制造商和型号的不同而变化较大。



### 注意：

- 晶体的匹配电容建议按照晶体制造商的技术手册的要求进行配置。  
如果晶体制造商给出了**负载电容的容值**，则匹配电容的容值应为晶体制造商所给出的负载电容容值的两倍。如果晶体制造商给出了**匹配电容的容值**，则直接使用晶体制造商所给出的匹配电容的容值即可。
- 芯片内已集成反馈电阻 R0。
- 阻尼电阻 R1 可选，阻值的取值取决于晶体特性，默认为 0Ω。

### 7.3.7.4 Low-speed external clock XTL

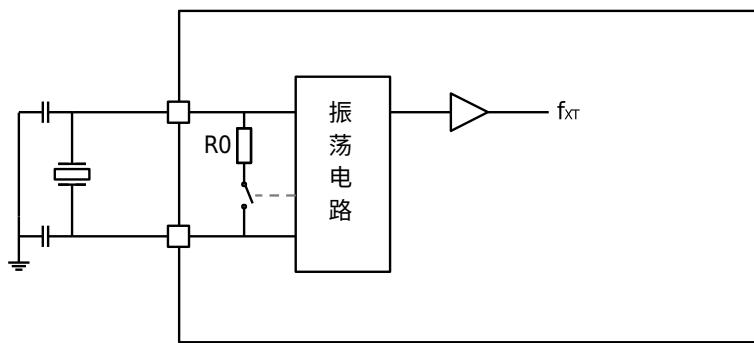
低速外部时钟(XTL)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

符号	参数	条件	最小值	典型值	最大值	单位
$F_{CLK}$	振荡频率	-	-	32.768	-	kHz
$ESR_{CLK}$	支持的晶振 ESR 范围	-	-	-	60	kΩ
$C_{Lx}^{(2)}$	负载电容	按晶体制造商要求进行配置。	8	12	20	pF
$DC_{ACLK}$	占空比	-	30	50	70	%
$I_{dd}^{(3)}$	电流	XTL_CR[3:0]=0b1111	-	1330	-	nA
		XTL_CR[3:0]=0b1011	-	1230	-	
		XTL_CR[3:0]=0b0111	-	1140	-	
		XTL_CR[3:0]=0b0011	-	1050	-	
		XTL_CR[3:0]=0b1110	-	630	-	
		XTL_CR[3:0]=0b1010 (推荐值)	-	580	-	
		XTL_CR[3:0]=0b0110	-	530	-	
		XTL_CR[3:0]=0b0010	-	490	-	
$g_m$	跨导	XTL_CR[3:0]=0b1111	-	14.64	-	μA/V
		XTL_CR[3:0]=0b1011	-	13.17	-	
		XTL_CR[3:0]=0b0111	-	11.67	-	
		XTL_CR[3:0]=0b0011	-	10.15	-	
		XTL_CR[3:0]=0b1110	-	7.37	-	
		XTL_CR[3:0]=0b1010 (推荐值)	-	6.62	-	
		XTL_CR[3:0]=0b0110	-	5.87	-	
		XTL_CR[3:0]=0b0010	-	5.10	-	
$T_{start}^{(4)}$	启动时间	ESR=30kΩ $C_L=12pF$ XTL_CR[3:0]=0b1010	-	2000	-	ms

- 由综合评估得出，不在生产中测试。
- $C_{Lx}$  指 XTAL 的两个管脚的负载电容，用户必须按晶体制造商的要求选择该电容的容值。  
如果晶体制造商给出了负载电容的容值，则匹配电容的容值应为晶体制造商所给出的负载电容容值的两倍。  
如果晶体制造商给出了匹配电容的容值，则直接使用晶体制造商所给出的匹配电容的容值即可。  
例：晶体制造商给出晶体的负载电容为 8pF 时，匹配电容的容值应为 16pF。考虑 PCB 与 MCU 引脚之间的分布电容，建议选择容值为 15pF 或 12pF 的匹配电容。

晶体制造商给出晶体的**匹配电容**为 12pF 时，匹配电容的容值应为 12pF。考虑 PCB 与 MCU 引脚之间的分布电容，建议选择容值为 10pF 或 8pF 的匹配电容。

3. 选择具有较小 ESR 值的高质量振荡器（如 MSIV-TIN32.768kHz），可以通过调节 XTL\_CR[3:0]设置值以优化电流消耗。电流消耗与电路提供的跨导 ( $g_m$ ) 成正比。
4.  $T_{start}$  是启动时间，是从软件使能 XTL 开始测量，直至得到稳定的 32768 振荡这段时间。这个数值是在 XTL\_CR[3:0]=0b1010 和 XTL\_CR[5:4]=0b11 设置下，使用一个标准的晶体谐振器上测量得到，它可能因晶体制造商和型号的不同而变化较大。



#### 注意：

- 晶体的**匹配电容**建议按照晶体制造商的技术手册的要求进行配置。  
如果晶体制造商给出了**负载电容的容值**，则匹配电容的容值应为晶体制造商所给出的负载电容容值的两倍。  
如果晶体制造商给出了**匹配电容的容值**，则直接使用晶体制造商所给出的匹配电容的容值即可。
- 芯片内已集成反馈电阻  $R_0$ 。

### 7.3.8 Internal clock source characteristics

#### 7.3.8.1 内部 RCH 振荡器

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dev	RCH 振荡器精度	User trimming step for given VCC and TA conditions		0.25		%
		VCC = 1.8 ~ 5.5V T <sub>AMB</sub> = -40 ~ 85°C	-3.5		+3.5	%
		VCC = 1.8 ~ 5.5V T <sub>AMB</sub> = -20 ~ 85°C	-2.5		+2.5	%
		VCC = 1.8 ~ 5.5V T <sub>AMB</sub> = -20 ~ 50°C	-2.0		+2.0	%
F <sub>CLK</sub>	振荡频率		4.0	4.0 8.0 16.0 22.12 24.0	24.0	MHz
I <sub>CLK</sub>	功耗	F <sub>MCLK</sub> = 4MHz		80		μA
		F <sub>MCLK</sub> = 8MHz		100		μA
		F <sub>MCLK</sub> = 16MHz		120		μA
		F <sub>MCLK</sub> = 24MHz		140		μA
DC <sub>CLK</sub>	占空比 <sup>(1)</sup>		45	50	55	%

1. 由综合评估得出，不在生产中测试。

#### 7.3.8.2 Internal RCL Oscillator

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
Dev	RCL 振荡器精度	User trimming step for given VCC and TA conditions		0.5		%
		VCC = 1.8 ~ 5.5V T <sub>AMB</sub> = -40 ~ 85°C T <sub>AMB</sub> = -40°C ~ 85°C	-5		+5	%
		VCC = 1.8 ~ 5.5V T <sub>AMB</sub> = -20 ~ 50°C	-3		+3	%
F <sub>CLK</sub>	振荡频率			38.4 32.768		kHz
T <sub>CLK</sub>	启动时间			150		μs
DC <sub>CLK</sub>	占空比 <sup>(1)</sup>		25	50	75	%
I <sub>CLK</sub>	功耗			0.35		μA

1. 由综合评估得出，不在生产中测试。

#### 7.3.8.3 Internal low speed clock 10k oscillator

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V	Operation voltage	-	1.8		5.5	V
Dev	振荡器精度 <sup>(1)</sup>	VCC = 1.8 ~ 5.5V T <sub>AMB</sub> = -20 ~ 50°C	-50	-	50	%
F <sub>CLK</sub>	振荡频率	VCC=3.3v T <sub>AMB</sub> = 25°C		10		KHz

1. 由综合评估得出，不在生产中测试。

#### 7.3.8.4 Internal USB-specific RCH48M oscillator

Parameter	Description	Min	Typ	Max	Units	Condition
DVCC	Analog 5V Supply	1.8	3.3	5.5	V	
T	Junction Temperature	-40	27	105	deg C	
F <sub>RCH48M</sub>	Frequency	-	48	-	MHz	-
TRIM	RCH48M user-trimming step	0.06 <sup>(2)</sup>	0.12	0.2 <sup>(2)</sup>	%	-
DUC <sub>RCH48M</sub>	Duty cycle	45 <sup>(2)</sup>	-	55 <sup>(2)</sup>	%	-
ACC <sub>RCH48M</sub>	Accuracy of the RCH48M oscillator(factory calibrated)	6 <sup>(3)</sup>	-	6 <sup>(3)</sup>	%	T <sub>A</sub> =-40 to 105 °C
		TBD <sup>(3)</sup>	-	TBD <sup>(3)</sup>	%	T <sub>A</sub> =-10 to 85 °C
		TBD <sup>(3)</sup>	-	TBD <sup>(3)</sup>	%	T <sub>A</sub> =0 to 70 °C
		2 <sup>(3)</sup>	-	2 <sup>(3)</sup>	%	T <sub>A</sub> =25 °C
t <sub>su</sub> (RCH48M)	RCH48M oscillator startup time	-	-	20 <sup>(2)</sup>	μs	
I <sub>DDA</sub> (RCH48M)	RCH48M oscillator power consumption	-	270	350 <sup>(2)</sup>	μA	

1. AVCC=3.3V, T<sub>A</sub>=-40 to 105 °C unless otherwise specified.
2. Guaranteed by design, not tested in production.
3. Data based on characterization results, not tested in production.

### 7.3.9 PLL Characteristics

符号	参数	条件	最小值	典型值	最大值	单位
Fin <sup>(1)</sup>	输入时钟		4	4	24	MHz
	输入时钟占空比		40		60	%
Fout	输出频率		8	-	48	MHz
Duty <sup>(1)</sup>	输出占空比		48%	-	52%	
Tlock <sup>(1)</sup>	锁定时间	输入频率 4MHz	-	100	200	μs

1. 由综合评估得出，不在生产中测试。

### 7.3.10 Memory characteristics

符号	参数	条件	最小值	典型值	最大值	单位
EC <sub>FLASH</sub>	擦写次数	Regulator voltage=1.5V, T <sub>AMB</sub> = 25°C	20			kcycles
RET <sub>FLASH</sub>	数据保存期限	T <sub>AMB</sub> = 85°C, after 20 kcycles	20			Years
T <sub>b_prog</sub>	编程时间 (字节)		22		30	μs
T <sub>w_prog</sub>	编程时间 (字)		40		52	μs
T <sub>p_erase</sub>	页擦除时间		4		5	ms
T <sub>m_erase</sub>	整片擦除时间		30		40	ms

### 7.3.11 EFT Characteristics

芯片复位可以使系统恢复正常操作。

符号	级别/类型
EFT to IO (IEC61000-4-4)	Class:4 (A)
EFT to Power (IEC61000-4-4)	Class:4 (A)

#### 软件建议

软件的流程中必须包含应对程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

在进行 EFT 测试时，可以把超出应用要求的干扰直接施加在芯片电源或 IO 上，当检测到意外动作的地方，软件部分进行加强以防止发生不可恢复的错误。

### 7.3.12 ESD characteristics

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>ESD_HBM</sub>	ESD @ Human Body Mode			4		kV
V <sub>ESD_CDM</sub>	ESD @ Charge Device Mode			1		kV
V <sub>ESD_MM</sub>	ESD @ machine Mode			200		V
I <sub>latchup</sub>	Latch up current			200		mA

### 7.3.13 I/O Port Characteristics

#### 7.3.13.1 Output Characteristics - Ports

表 7-9 端口输出特性

符号	参数	条件	最小值	最大值	单位
V <sub>OH</sub>	High level output voltage Source Current	Sourcing 4 mA, VCC = 3.3 V (see Note 1)	VCC-0.25		V
		Sourcing 8 mA, VCC = 3.3 V (see Note 2)	VCC-0.6		V
V <sub>OL</sub>	Low level output voltage Sink Current	Sinking 5 mA, VCC = 3.3 V (see Note 1)		VSS+0.25	V
		Sinking 14 mA, VCC = 3.3 V (see Note 2)		VSS+0.6	V
V <sub>OHD</sub>	High level output voltage Double source Current	Sourcing 8 mA, VCC = 3.3 V (see Note 1)	VCC-0.25		V
		Sourcing 18 mA, VCC = 3.3V (see Note 2)	VCC-0.6		V
V <sub>OLD</sub>	Low level output voltage Double Sink Current	Sinking 8 mA, VCC = 3.3 V (see Note 1)		VSS+0.25	V
		Sinking 18 mA, VCC = 3.3 V (see Note 2)		VSS+0.6	V

NOTES: 1. The maximum total current,  $I_{OH(max)}$  and  $I_{OL(max)}$ , for all outputs combined, should not exceed 40 mA to satisfy the maximum specified voltage drop.  
 2. The maximum total current,  $I_{OH(max)}$  and  $I_{OL(max)}$ , for all outputs combined, should not exceed 100 mA to satisfy the maximum specified voltage drop.

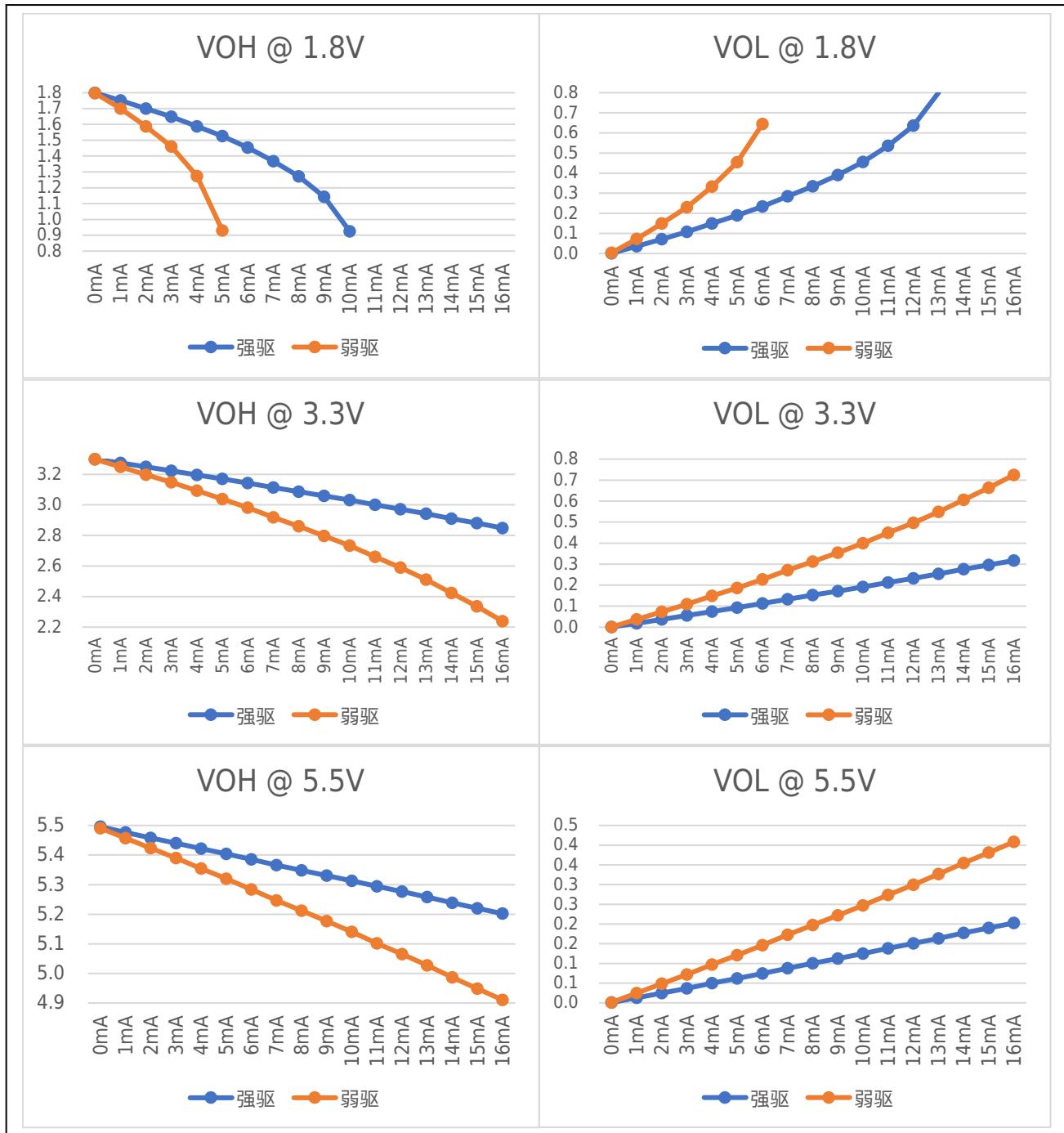


图 7-2 输出端口 VOH/ VOL 实测曲线

### 7.3.13.2 Input characteristics - ports PA, PB, PC, PD, PE, PF

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IH}$	Positive-going input threshold voltage	VCC=1.8V	0.7VCC			V
		VCC=3.3V	0.7VCC			V
		VCC=5.5V	0.7VCC			V
$V_{IL}$	Negative-going input threshold voltage	VCC=1.8V			0.3VCC	V
		VCC=3.3V			0.3VCC	V
		VCC=5.5V			0.3VCC	V
$V_{hys(1)}$	Input voltage hysteresis ( $V_{IH} - V_{IL}$ )	VCC=1.8V		0.3		V
		VCC=3.3V		0.4		V
		VCC=5.5V		0.6		V
$R_{pullhigh}$ (GPIO)	Pullup resistor	Pullup enabled VCC=3.3V		80		kΩ
$R_{pulllow}$ (GPIO)	Pulldown resistor	Pulldown enabled VCC=3.3V		40		kΩ
$C_{input}$	Input capacitance			5		pf

1. 由综合评估得出，不在生产中测试。

### 7.3.13.3 Input characteristics - USB\_DP, USB\_DM

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IH}$	Positive-going input threshold voltage	AVCC_USB = 3.0 ~ 3.6	0.7AVCC_USB			V
$V_{IL}$	Negative-going input threshold voltage				0.3AVCC_USB	V
$V_{hys(1)}$	Input voltage hysteresis ( $V_{IH} - V_{IL}$ )			0.3		V
$R_{pullhigh}$	Pullup resistor	Transmitting	1425		3090	Ohm
		Idle	900		1575	
$C_{input}$	Input capacitance			5		pf

1. 由综合评估得出，不在生产中测试。

### 7.3.13.4 Port External Input Sampling Requirements - Timer Gate/Timer Clock

符号	参数	条件	最小值	典型值	最大值	单位
t(int)	External interrupt timing	External trigger signal for the interrupt flag (see Note 1)	1.8V	30		ns
			3.3V	30		ns
			5.5V	30		ns
t(cap)	Timer capture timing	Timer4/5/6 capture pulse width Fsystem = 4MHz	1.8V	0.5		μs
			3.3V	0.5		μs
			5.5V	0.5		μs
t(clk)	Timer clock frequency applied to pin	Timer0/1/2/4/5/6 external clock input Fsystem = 4MHz	1.8V		PCLK/2	MHz
			3.3V		PCLK/2	MHz
			5.5V		PCLK/2	MHz
t(pca) <sup>(2)</sup>	PCA clock frequency applied to pin	PCA external clock input Fsystem = 4MHz	1.8V		PCLK/8	MHz
			3.3V		PCLK/8	MHz
			5.5V		PCLK/8	MHz

NOTES: 1. The external signal sets the interrupt flag every time the minimum t<sub>(int)</sub> parameters are met. It may be set even with trigger signals shorter than t<sub>(int)</sub>.

2. 由综合评估得出，不在生产中测试。

### 7.3.13.5 Port leakage characteristics - PA, PB, PC, PD, PE, PF

符号	参数	条件	最小值	典型值	最大值	单位
I <sub>lk</sub> (P <sub>x,y</sub> )	Leakage current	V <sub>(P<sub>x,y</sub>)</sub> (see Note 1, 2)		±50		nA

NOTES: 1. The leakage current is measured with VSS or VCC applied to the corresponding pin(s), unless otherwise noted.

2. The port pin must be selected as input.

### 7.3.14 RESETB Pin Characteristics

RESETB 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻。

符号	参数	条件	最小值	典型值	最大值	单位
VIL(RESETB) <sup>(1)</sup>	输入低电平电压		-0.3		0.3VCC	V
VIH(RESETB)	输入高电平电压		0.7VCC		VCC+0.3	V
V <sub>hys</sub> (RESETB)	施密特触发器电压迟滞			200		mV
R <sub>PU</sub>	弱上拉等效电阻	V <sub>IN</sub> = V <sub>SS</sub>		80		KΩ
T <sub>F</sub> (RESETB) <sup>(1)</sup>	输入滤波脉冲				2	μs
T <sub>NF</sub> (RESETB) <sup>(1)</sup>	输入非滤波脉冲		10			μs

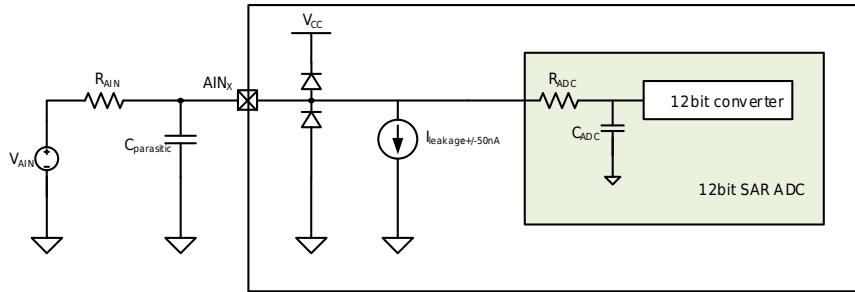
- 由设计保证，不在生产中测试。

### 7.3.15 ADC Characteristics

符号	参数	条件	最小值	典型值	最大值	单位
V <sub>ADCIN</sub>	Input voltage range	Single ended	0		V <sub>ADCREFIN</sub>	V
V <sub>ADCREFIN</sub>	Input range of external reference voltage	Single ended	0		AVCC	V
DEV <sub>AVCC/3</sub>	AVCC/3 精度			3		%
I <sub>ADC1</sub>	Active current including reference generator and buffer	200Ksps		2		mA
I <sub>ADC2</sub>	Active current without reference generator and buffer	1Msps		0.5		mA
C <sub>ADCIN</sub>	ADC input capacitance			16	19.2	pF
R <sub>ADC</sub> <sup>(1)</sup>	ADC sampling switch impedance			1.5		kΩ
R <sub>AIN</sub> <sup>(1)</sup>	ADC external input resistor <sup>(2)</sup>				100	kΩ
F <sub>ADCCLK</sub>	ADC clock Frequency				24M	Hz
T <sub>ADCSTART</sub>	Startup time of reference generator and ADC core			30		μs
T <sub>ADCCONV</sub>	Conversion time		20	24	28	cycles
ENOB	Effective Bits	1Msps@VCC>=2.7V 500Ksps@VCC>=2.4V 200Ksps@VCC>=1.8V REF=EXREF		10.3		Bit
		1Msps@VCC>=2.7V 500Ksps@VCC>=2.4V 200Ksps@VCC>=1.8V REF=VCC		10.3		Bit
		200Ksps@VCC>=1.8V REF=internal 1.5V		9.4		Bit
		200Ksps@VCC>=2.8V REF=internal 2.5V		9.4		Bit
SNR	Signal to Noise Ratio	1Msps@VCC>=2.7V 500Ksps@VCC>=2.4V 200Ksps@VCC>=1.8V REF=EXREF		68.2		dB
		1Msps@VCC>=2.7V 500Ksps@VCC>=2.4V 200Ksps@VCC>=1.8V REF=VCC		68.2		dB
		200Ksps@VCC>=1.8V REF=internal 1.5V		60		dB
		200Ksps@VCC>=2.8V REF=internal 2.5V		60		dB
DNL <sup>(1)</sup>	Differential non-linearity	200Ksps; VREF=EXREF/AVCC	-1		1	LSB
INL <sup>(1)</sup>	Integral non-linearity	200Ksps; VREF=EXREF/AVCC	-3		3	LSB
E <sub>o</sub>	Offset error			0		LSB
E <sub>g</sub>	Gain error			0		LSB

1. 由设计保证，不在生产中测试。

2. ADC 的典型应用如下图所示：



对于 0.5LSB 采样误差精度要求的条件下，外部输入阻抗的计算公式如下：

$$R_{AIN} = \frac{M}{F_{ADC} * C_{ADC} * (N+1) * \ln(2)} - R_{ADC}$$

其中  $F_{ADC}$  为 ADC 时钟频率，寄存器  $ADC\_CR0<3:2>$  可设定其与 PCLK 的关系，如下表。

下表为 ADC 时钟频率  $F_{ADC}$  和 PCLK 分频比关系：

$ADC\_CR0<3:2>$	N
00	1
01	2
10	4
11	8

M 为采样周期个数，由寄存器  $ADC\_CR0<13:12>$  设定。

下表为采样时间  $t_{sa}$  和 ADC 时钟频率  $F_{ADC}$  的关系：

$ADC\_CR0<13:12>$	M
00	4
01	6
10	8
11	12

下表为 ADC 时钟频率  $F_{ADC}$  和外部电阻  $R_{AIN}$  的关系 (M=12，采样误差 0.5LSB 的条件下)：

$R_{AIN}$ (kΩ)	$F_{ADC}$ (kHz)
10	5600
30	2100
50	1300
80	820
100	660
120	550
150	450

对于上述典型应用，应注意：

- 尽量减小 ADC 输入端口  $AIN_X$  的寄生电容  $C_{PARACITIC}$ ；
- 除了考虑  $R_{AIN}$  值外，如果信号源  $V_{AIN}$  的内阻较大时，也需要加入考虑。

### 7.3.16 VC Characteristics

符号	参数	条件	最小值	典型值	最大值	单位
Vin	Input voltage range		0		5.5	V
Vincom	Input common mode range		0		VCC-0.2	V
Voffset	Input offset	常温 25°C 3.3V	-10		+10	mV
Icomp	Comparator's current	VCx_BIAS_SEL=00		0.3		
		VCx_BIAS_SEL=01		1.2		
		VCx_BIAS_SEL=10		10		
		VCx_BIAS_SEL=11		20		μA
Tresponse	Comparator's response time when one input cross another	VCx_BIAS_SEL=00		20		
		VCx_BIAS_SEL=01		5		
		VCx_BIAS_SEL=10		1		μs
		VCx_BIAS_SEL=11		0.2		
Tsetup	Comparator's setup time when ENABLE. Input signals unchanged.	VCx_BIAS_SEL=00		20		
		VCx_BIAS_SEL=01		5		
		VCx_BIAS_SEL=10		1		μs
		VCx_BIAS_SEL=11		0.2		
Twarmup	From main bandgap enable to Temp sensor voltage, ADC internal 1.5V, 2.5V reference stable			20		
						μs
Tfilter	Digital filter time	VC_debounce = 000		7		
		VC_debounce = 001		14		
		VC_debounce = 010		28		
		VC_debounce = 011		112		
		VC_debounce = 100		450		
		VC_debounce = 101		1800		
		VC_debounce = 110		7200		
		VC_debounce = 111		28800		

### 7.3.17 OPA Features

OPA: (AVCC=2.2 ~ 5.5 V, AVSS=0 V, Ta=-40 ~ +85°C)

符号	参数	条件	最小值	典型值	最大值	单位
Vi	输入电压		0	-	AVCC	V
Vo	输出电压 <sup>(1)</sup>		0.1	-	AVCC-0.2	V
Io	输出电流 <sup>(1)</sup>				2.2	mA
RL	负载电阻 <sup>(1)</sup>		5K			Ohm
Tstart	初始化时间 <sup>(2)</sup>				20	μs
Vio	输入失调电压	ViC=AVCC/2, Vo=AVCC/2, RL=5kΩ, RS=50 pF		±6		mV
PM	相位裕度 <sup>(1)</sup>	ViC=AVCC/2, Vo=AVCC/2 RL=5kΩ, CL=50pF		80	-	deg
UGBW	单位增益带宽 <sup>(1)</sup>	ViC=AVCC/2, Vo=AVCC/2 RL=5kΩ, CL=50pF		9.3		MHz
SR	压摆率 <sup>(1)</sup>	RL=5kΩ, CL=50pF		8		V/μs

1. 由设计保证，不在生产中测试。
2. 需要同时设置 BGR\_CR<0>=1

### 7.3.18 LCD Controller

符号	参数	工作条件	最小值	典型值	最大值	单位
$I_{LCD}$	工作电流	VCC=3.3V, 外部电容模式		0.2		$\mu A$
		VCC=3.3V, 外部电阻模式		0.2		$\mu A$
		VCC=3.3V, 内部电阻模式		3.3		$\mu A$
$R_H$	低驱动电阻			1M		$\Omega$
$R_L$	高驱动电阻			360K		$\Omega$
$V_{LCDH}$	LCD 可调最高电压			VCC	V	
$V_{LCD3}$	LCD 最高电压			VLCDH	V	
$V_{LCD2}$	LCD 2/3 电压			2/3 VLCDH	V	
$V_{LCD1}$	LCD 1/3 电压			1/3 VLCDH	V	
$V_{LCD0}$	LCD 最低电压		0			V
$\Delta V_{XX}$	LCD 电压偏差	$T_A=-40\sim85^\circ C$		$\pm 5\%$		

### 7.3.19 DAC Characteristics

符号	参数	工作条件	最小值	典型值	最大值	单位
$V_{DACOUT}$	Output voltage range	AVCC voltage reference , single ended	0		Vcc	V
$V_{DACCm}$	Output common mode voltage range		0		Vcc	V
$I_{DAC}$	Active current	500KSamples/s		15		$\mu A$
$SR_{DAC}$	Sample rate			500	Ksps	
$t_{DACCONV}$	Conversion time		2			$\mu s$
$t_{DACSETTLE}$	Setting time			5		$\mu s$
$SNR_{DAC}$	Signal to Noise Ratio			59		dB
$SNDR_{DAC}$	Signal to Noise and Distortion Ratio			57		dB
$SFDR_{DAC}$	Spurious Free Dynamic Range			56		dB
$V_{DACOFFSET}$	Offset voltage	w/o buffer		2		mV
$DNL_{DAC}$	Differential non-linearity			$\pm 1$		LSB
$INL_{DAC}$	Integral non-linearity			$\pm 5$		LSB

### 7.3.20 TIM timer characteristics

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见下表。

表 7-10 高级定时器 (ADVTIM) 特性

符号	参数	条件	最小值	最大值	单位
$t_{res}$	定时器分辨时间		1		$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	20.8		ns
$f_{ext}$	外部时钟频率		0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK}=48MHz$	0	24	MHz
$Res_{Tim}$	定时器分辨率			16	位
$T_{counter}$	选择内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	0.0208	1363	$\mu s$
$T_{MAX\_COUNT}$	最大可能计数			67108864	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$		1.4	s

1. 由设计保证，不在生产中测试。

表 7-11 通用定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res}$	定时器分辨时间		1		$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	20.8		ns
$f_{ext}$	外部时钟频率		0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK}=48MHz$	0	24	MHz
$Res_{Tim}$	定时器分辨率			16	位
		模式 0 自由计数		32	位
$T_{counter}$	选择内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	0.0208	1363	$\mu s$
$T_{MAX\_COUNT}$	最大可能计数			16777216	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$		349.5	ms

1. 由设计保证，不在生产中测试。

表 7-12 PCA 特性

符号	参数	条件	最小值	最大值	单位
$t_{res}$	定时器分辨时间		1		$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	20.8		ns
$f_{ext}$	外部时钟频率		0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK}=48MHz$	0	24	MHz
$Res_{Tim}$	定时器分辨率			16	位
$T_{counter}$	选择内部时钟时，16 位计数器 时钟周期		1	65536	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	0.0208	1363	$\mu s$
$T_{MAX\_COUNT}$	最大可能计数			2097152	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$		43.69	ms

1. 由设计保证，不在生产中测试。

表 7-13 低功耗定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res}$	定时器分辨时间		1		$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	20.8		ns
$f_{ext}$	外部时钟频率		0	$f_{TIMCLK}/2$	MHz
		$f_{TIMCLK}=48MHz$	0	24	MHz
$Res_{Tim}$	定时器分辨率			16	位
$T_{counter}$	选择内部时钟时，16 位计数器 时钟周期		1	65536	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$	0.0208	1363	$\mu s$
$T_{MAX\_COUNT}$	最大可能计数			16777216	$t_{TIMCLK}$
		$f_{TIMCLK}=48MHz$		349.53	ms

1. 由设计保证，不在生产中测试。

表 7-14 WDT 特性

符号	参数	条件	最小值	最大值	单位
$t_{res}$	WDT 溢出时间	$f_{WDTCLK}=10kHz$	1.6	52000	ms

1. 由设计保证，不在生产中测试。

### 7.3.21 Communication interfaces

#### 7.3.21.1 I2C Features

I2C 接口特性如下表：

表 7-15 I2C 接口特性

符号	参数	标准模式 (100K)		快速模式 (400K)		高速模式 (1M)		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
tSCLL	SCL 时钟低时间	4.7		1.25		0.5		μs
tSCLH	SCL 时钟高时间	4.0		0.6		0.26		μs
tsu.SDA	SDA 建立时间	250		100		50		ns
tHD.SDA	SDA 保持时间	0		0		0		μs
tHD.STA	开始条件保持时间	2.5		0.625		0.25		μs
tsu.STA	重复的开始条件建立时间	2.5		0.6		0.25		μs
tsu.STO	停止条件建立时间	0.25		0.25		0.25		μs
tBUF	总线空闲(停止条件至开始条件)	4.7		1.3		0.5		μs

- 由设计保证，不在生产中测试。

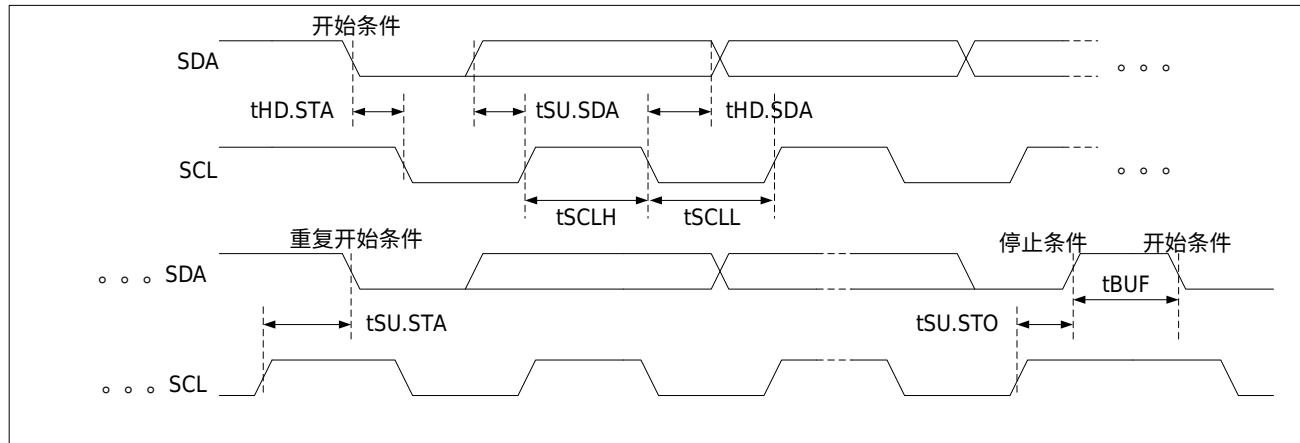


图 7-3 I2C 接口时序

### 7.3.21.2 SPI Features

表 7-16 SPI 接口特性<sup>(1) (2)</sup>

符号	参数	条件	最小值	最大值	单位
$t_c(SCK)$	串行时钟的周期 <sup>(3)</sup>	主机发送模式 $f_{PCLK} = 32\text{MHz}$	62.5	-	ns
		主机接收模式 $f_{PCLK} = 48\text{MHz}$	160	-	ns
		从机发送模式 $f_{PCLK} = 48\text{MHz}$	160	-	ns
		从机接收模式 $f_{PCLK} = 48\text{MHz}$	84	-	ns
$t_w(SCKH)$	串行时钟的高电平时间	主机模式	$0.45 \times t_c(SCK)$	-	ns
		从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_w(SCKL)$	串行时钟的低电平时间	主机模式	$0.45 \times t_c(SCK)$	-	ns
		从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_{su(SSN)}$	从机选择的建立时间	从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_h(SSN)$	从机选择的保持时间	从机模式	$0.45 \times t_c(SCK)$	-	ns
$t_v(MO)$	主机数据输出的生效时间	-	-	3	ns
$t_h(MO)$	主机数据输出的保持时间	-	2	-	ns
$t_v(SO)$	从机数据输出的生效时间	-	-	$20+1.5*T_{PCLK}$	ns
$t_h(SO)$	从机数据输出的保持时间	-	$10+0.5*T_{PCLK}$	-	ns
$t_{su(MI)}$	主机数据输入的建立时间	-	10	-	ns
$t_h(MI)$	主机数据输入的保持时间	-	2	-	ns
$t_{su(SI)}$	从机数据输入的建立时间	-	10	-	ns
$t_h(SI)$	从机数据输入的保持时间	-	2	-	ns

1. 由设计保证，不在生产中测试。
2. 数据基于VCC=3.0V条件给出。
3. 主机模式最大分频系数为PCLK/2，从机模式最大分频系数为PCLK/4。

SPI 接口信号的波形和时序参数如下：

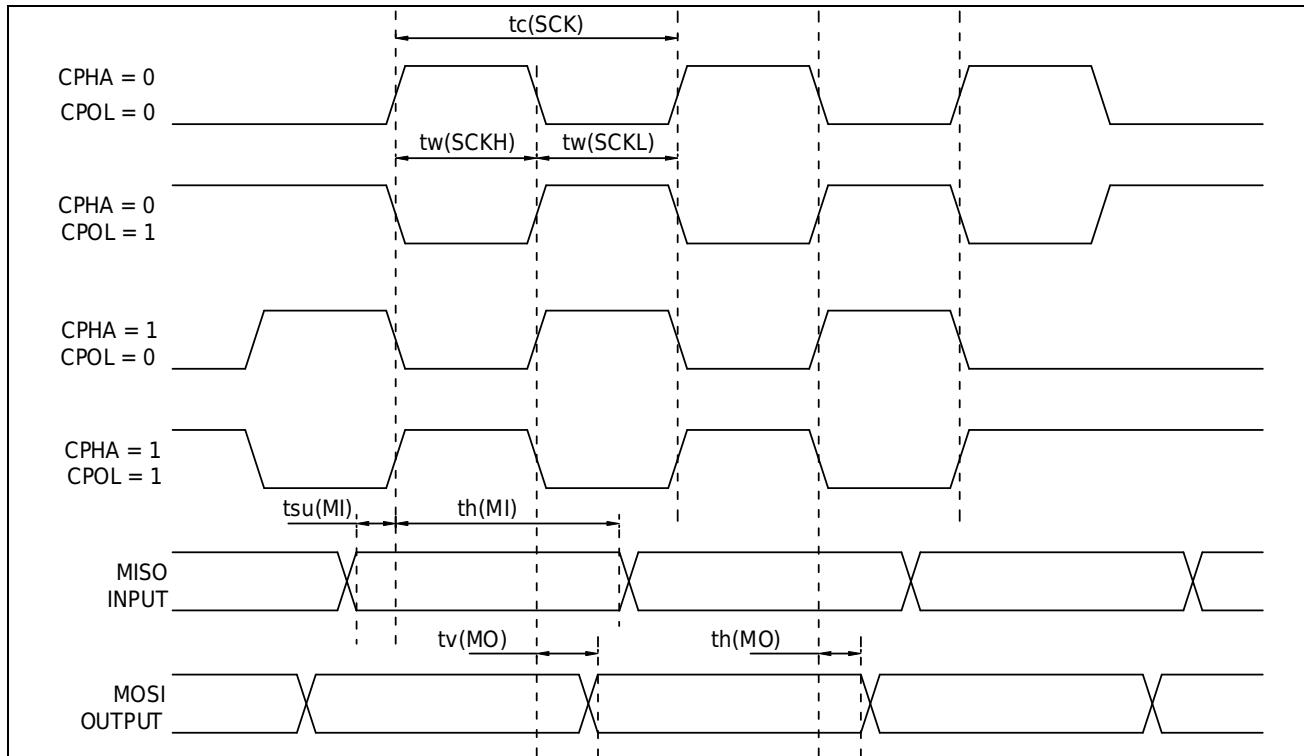


图 7-4 SPI 时序图 (主机模式)

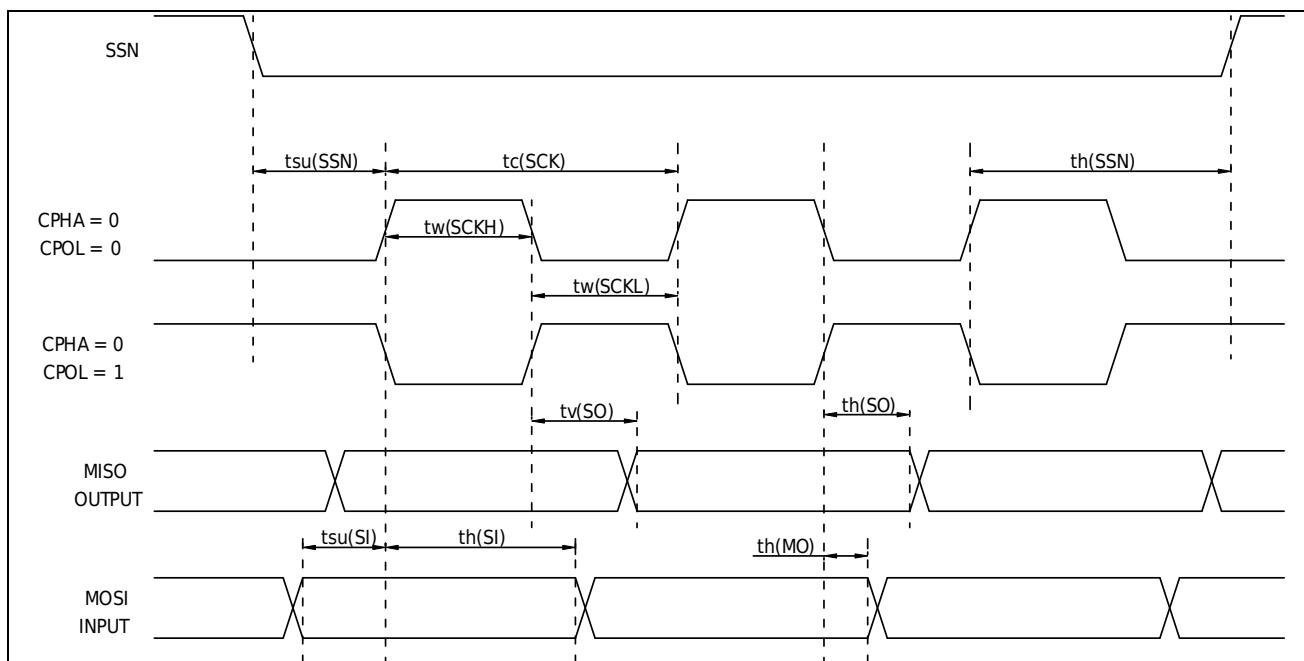


图 7-5 SPI 时序图 (从机模式 cpha=0)

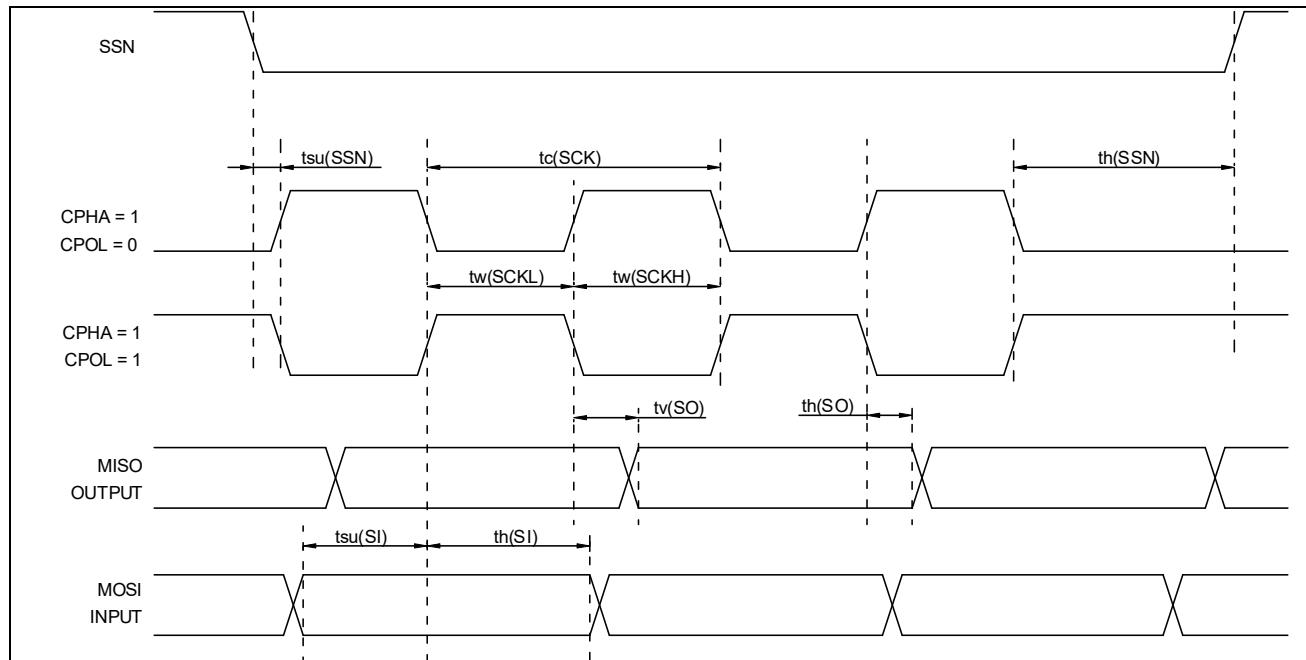
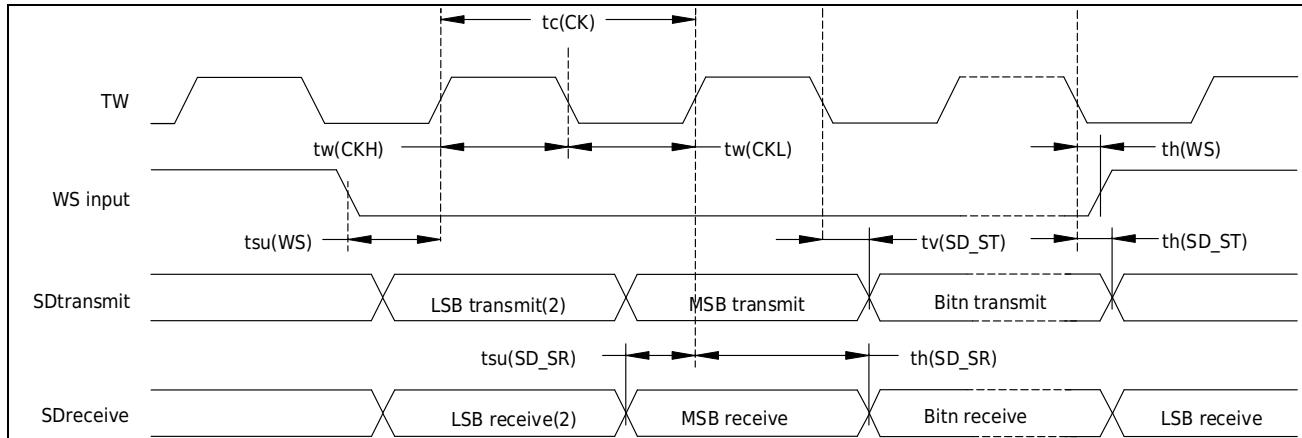


图 7-6 SPI 时序图 (从机模式 cpha=1)

### 7.3.21.3 I2S Features<sup>(1)</sup>

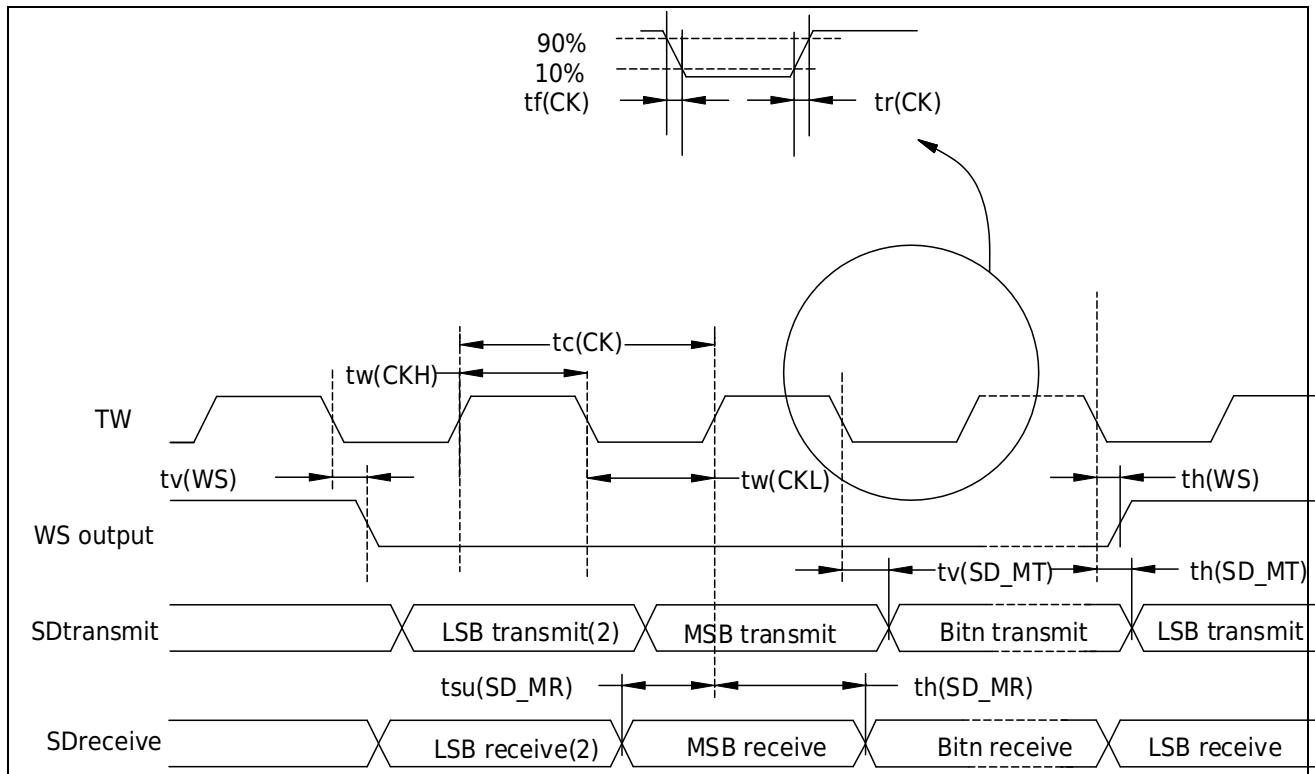
符号	参数	条件	最小值	最大值	单位
$f_{ck}$	I2S 时钟频率	Master mode (data:16bits, audio freq 48kHz)	1.597	1.601	MHz
		Slave mode	0	6.5	
$t_{r(ck)}$	I2S 时钟上升时间	Capacitive load $C_L=15\text{pF}$	-	10	ns
$T_{f(ck)}$	I2S 时钟下降时间		-	12	
$t_{w(ckh)}$	I2S 时钟高电平时间	Master $f_{pclk}=16\text{MHz}$ , audio freq 48kHz	306	-	
$t_{w(ckl)}$	I2S 时钟低电平时间		312	-	
$t_{v(ws)}$	WS 有效时间	Master mode	2	-	
$T_h(ws)$	WS 保持时间	Master mode	2	-	
$T_{su(ws)}$	WS 建立时间	Slave mode	7	-	
$T_h(ws)$	WS 保持时间	Slave mode	0	-	
Duty(sck)	从模式时钟占空比	Slave mode	25	75	%
$T_{su(SD\_MR)}$	SD 输入建立时间	Master receiver	6	-	ns
$T_{su(SD\_SR)}$		Slave receiver	2	-	
$T_h(SD\_MR)$ <sup>(2)</sup>	SD 输入保持时间	Master receiver	4	-	
$T_h(SD\_SR)$ <sup>(2)</sup>		Slave receiver	0.5	-	
$T_v(SD\_MR)$ <sup>(2)</sup>	SD 输出建立时间	Master transmitter	-	4	
$T_v(SD\_SR)$ <sup>(2)</sup>		Slave transmitter	-	20	
$T_h(SD\_MR)$	SD 输出保持时间	Master transmitter	0	-	
$T_h(SD\_SR)$		Slave transmitter	13	-	

1. 由设计保证，不在生产中测试。
2. 与  $F_{PCLK}$  相关，例如  $F_{PCLK}=10\text{M}$   $T_{PCLK}=1/F_{PCLK}=100\text{ns}$



1. Measurement points are done at CMOS levels:  $0.3 \times V_{DDIOX}$  and  $0.7 \times V_{DDIOX}$ .
2. LSB transmit/receive of the previously transmitted byte. No LSB transmit/receive is sent before the first byte.

图 7-7 I2S slave timing diagram



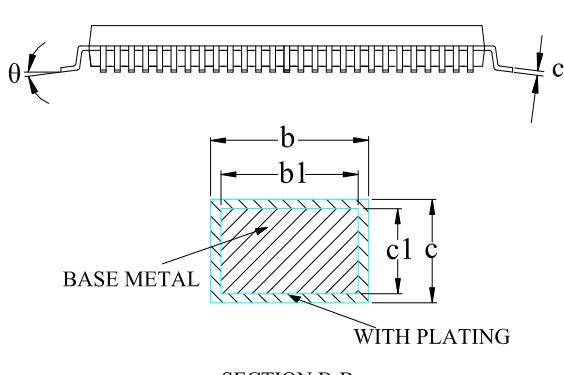
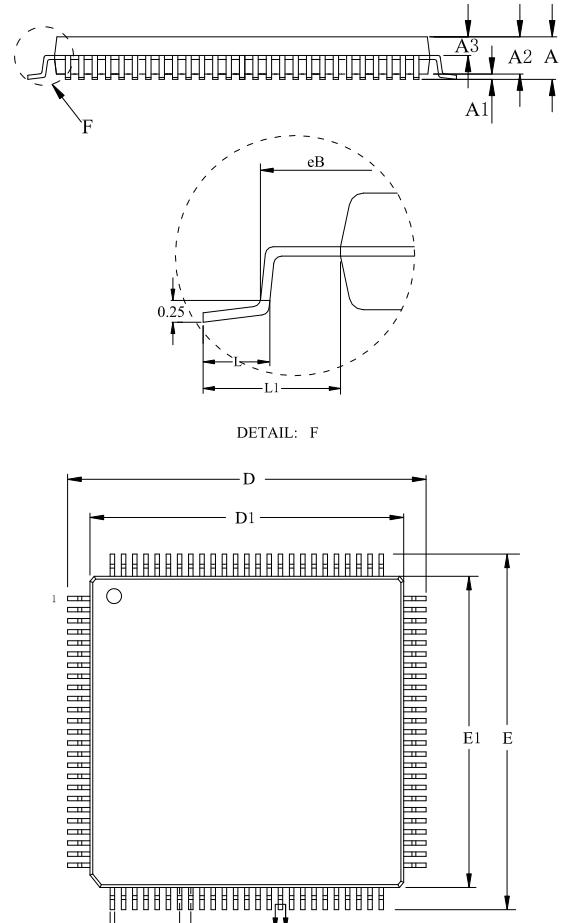
1. Data based on characterization results, not tested in production.
2. LSB transmit/receive of the previously transmitted byte. No LSB transmit/receive is sent before the first byte.

图 7-8 I2S master timing diagram

## 8 Packaging Information

### 8.1 Package Dimensions

LQFP100 封装

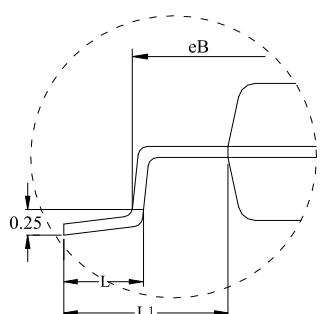
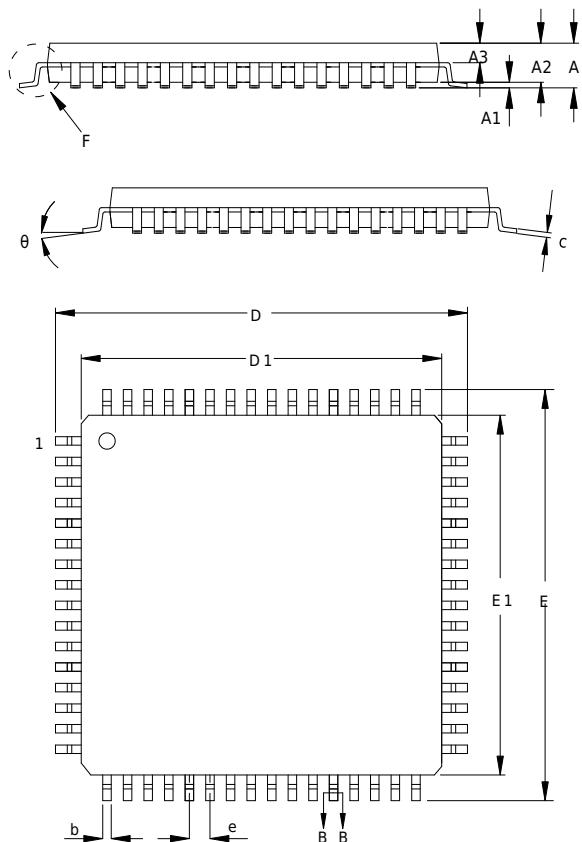


Symbol	14 x 14 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
eB	15.05	--	15.35
e	0.50BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0	--	7°

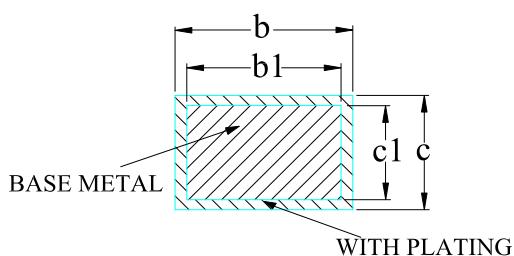
**NOTE:**

- Dimensions "D1" and "E1" do not include mold flash.

LQFP64 封装



DETAIL: F



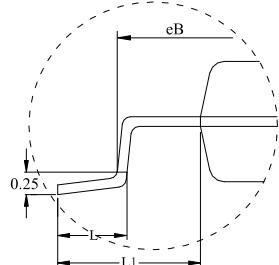
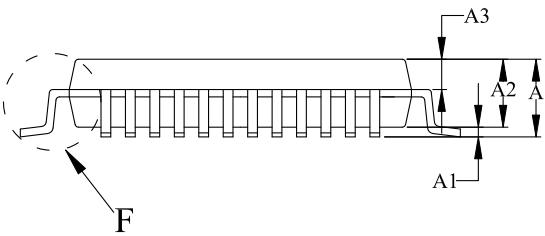
SECTION B-B

Symbol	10 x 10 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
eB	11.05	--	11.25
e	0.50BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0°	--	7°

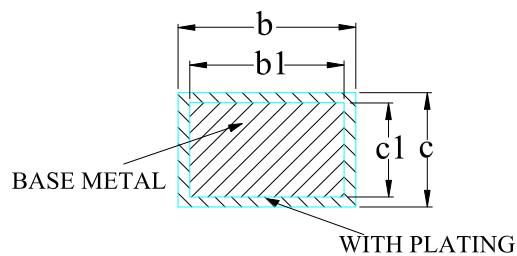
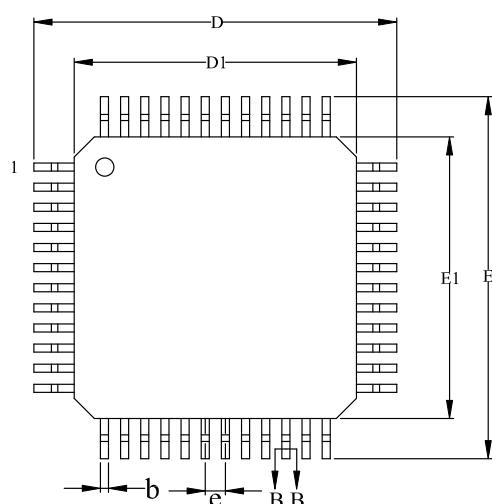
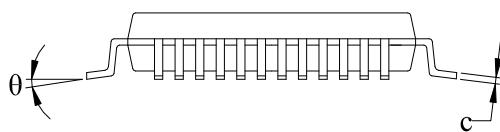
**NOTE:**

- Dimensions "D1" and "E1" do not include mold flash.

LQFP48 封装



DETAIL: F



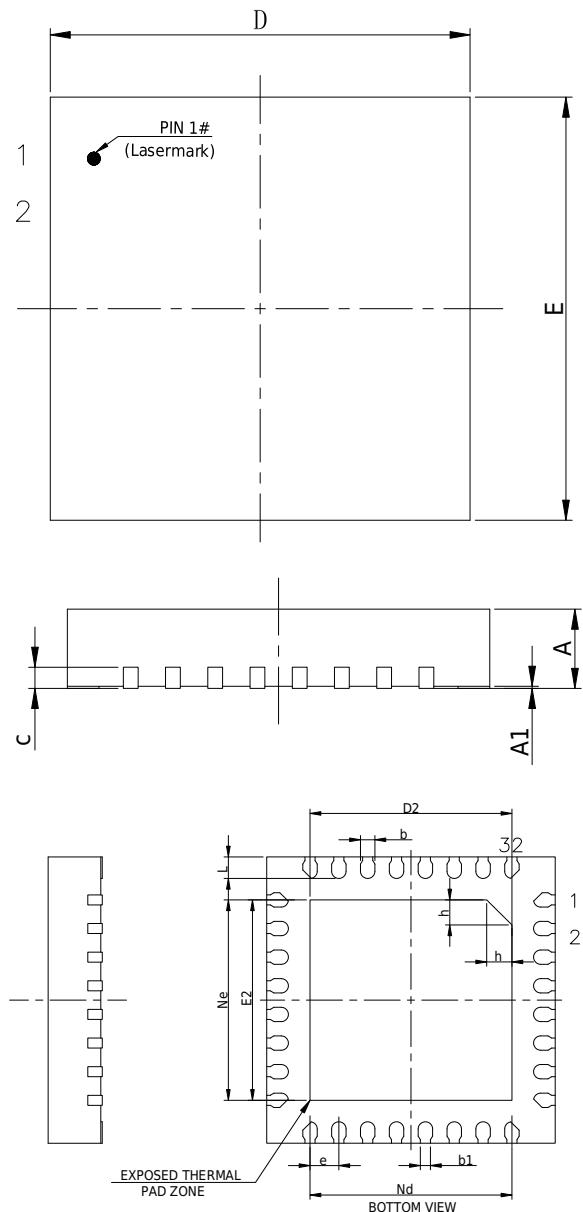
SECTION B-B

Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	--	0.26
b1	0.17	0.20	0.23
c	0.13	--	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
$e_B$	8.10	--	8.25
e	0.50BSC		
L	0.40	--	0.65
$L_1$	1.00REF		
$\theta$	0	--	7°

**NOTE:**

- Dimensions "D1" and "E1" do not include mold flash.

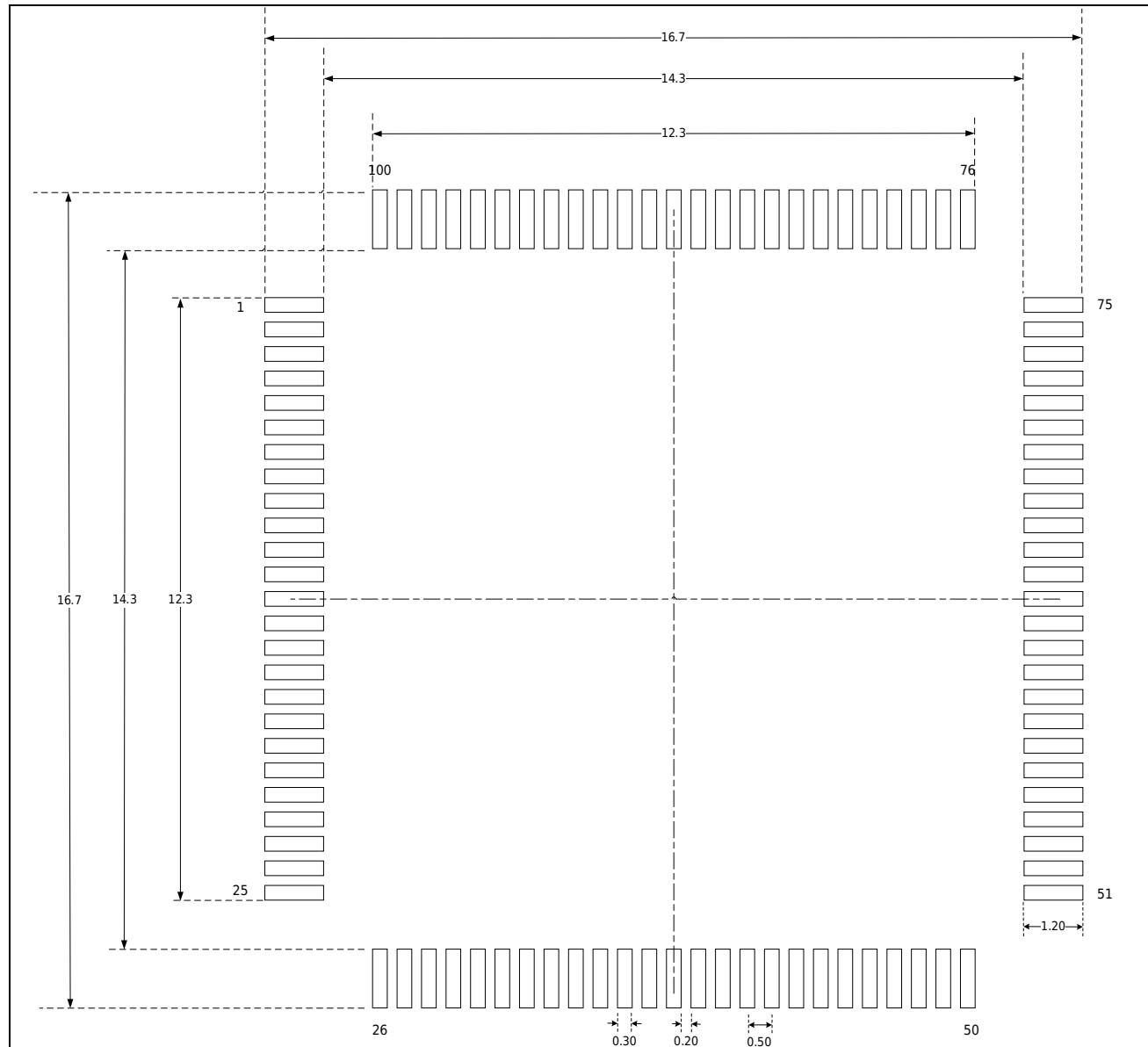
**QFN32 封装**



Symbol	5 x 5 Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.20	0.25	0.30
b1	0.16REF		
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.70	3.80	3.90
e	0.50BSC		
Ne	3.50BSC		
Nd	3.50BSC		
E	4.90	5.00	5.10
E2	3.70	3.80	3.90
L	0.25	0.30	0.35
h	0.30	0.35	0.40
L/F 载体尺寸	4.10 x 4.10		

## 8.2 Pad Diagram

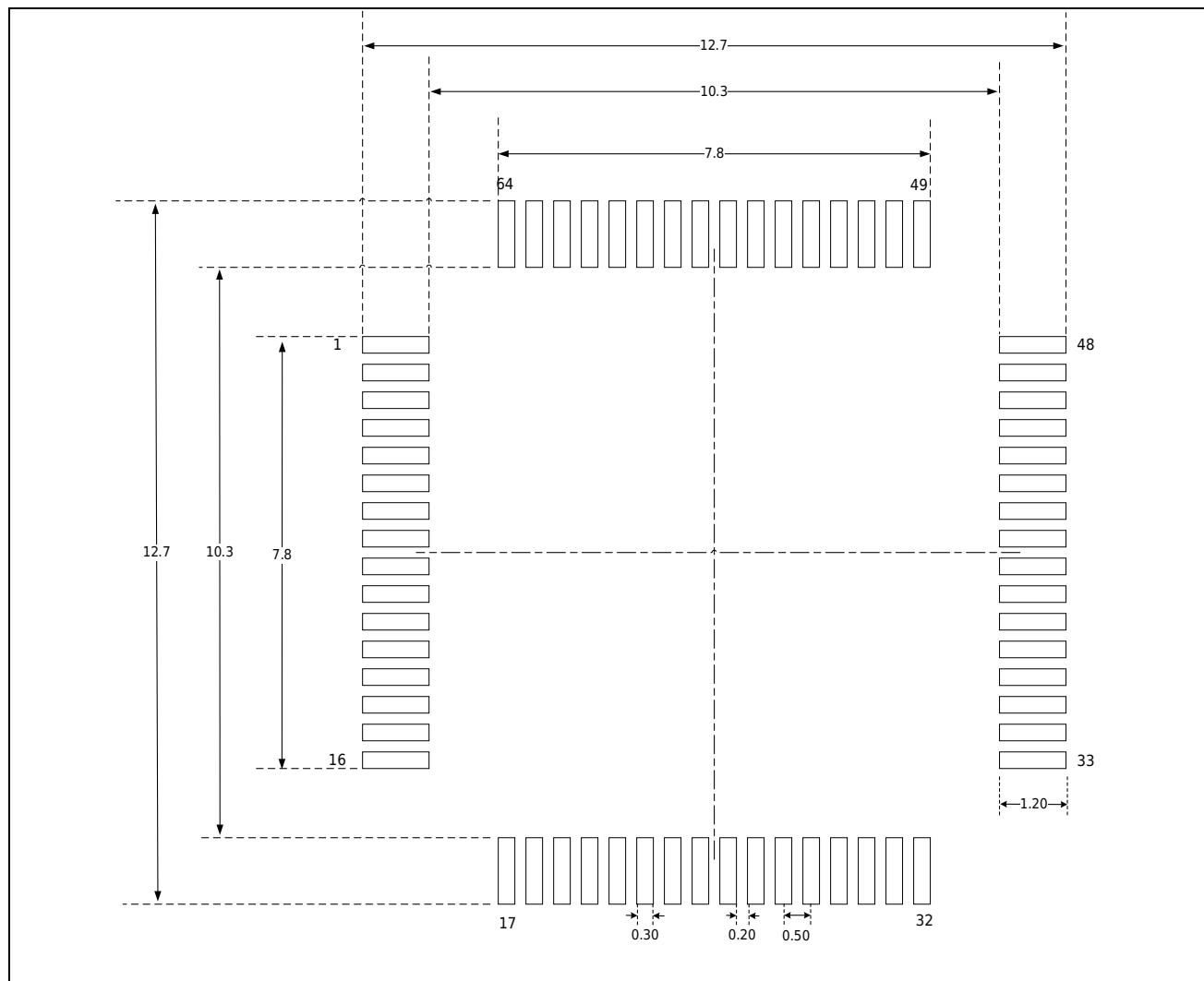
## LQFP100 封装 (14mm x 14mm)



***NOTE:***

- Dimensions are expressed in millimeters.
  - 尺寸仅做参考。

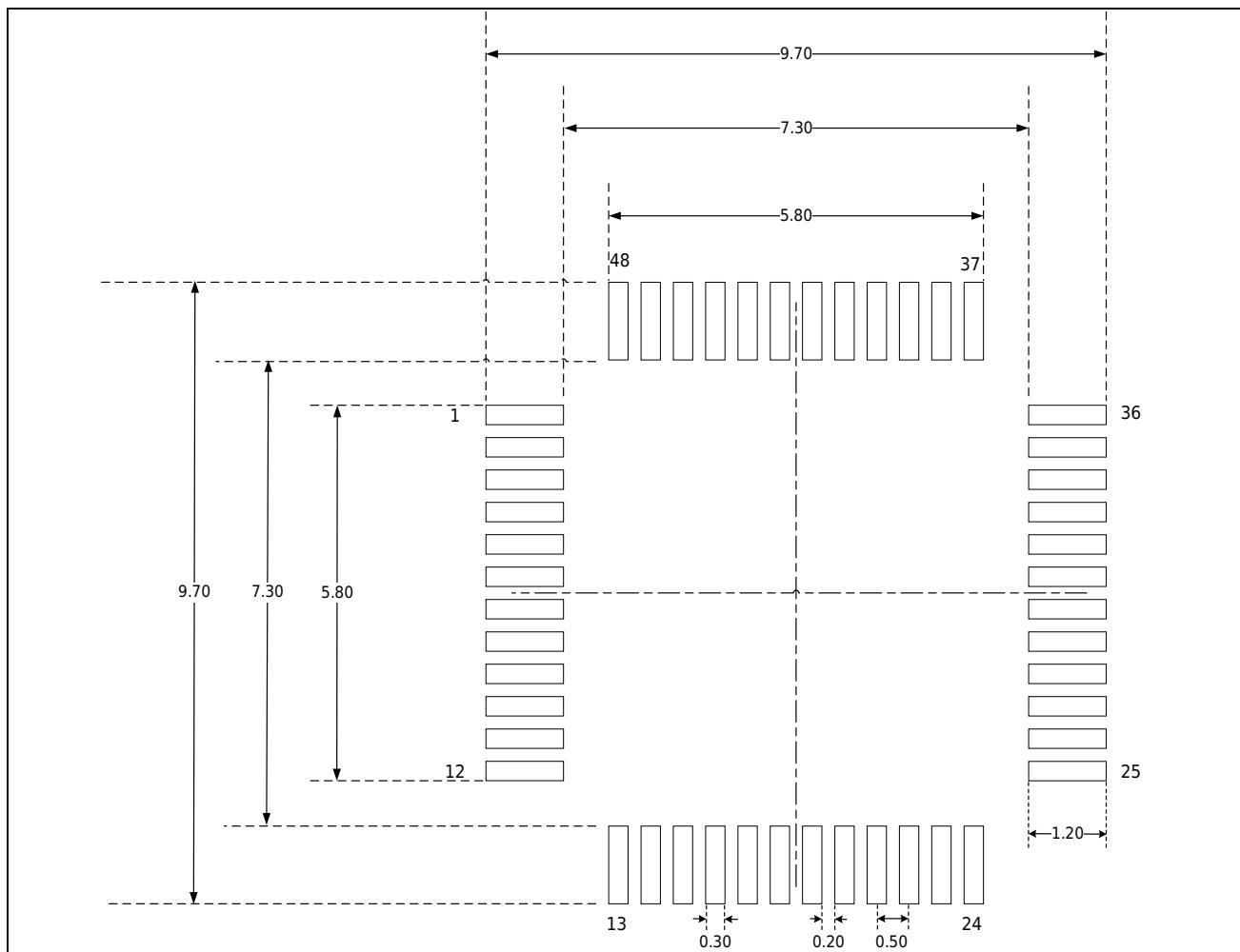
LQFP64 封装 (10mm x 10mm)



**NOTE:**

- Dimensions are expressed in millimeters.
- 尺寸仅做参考。

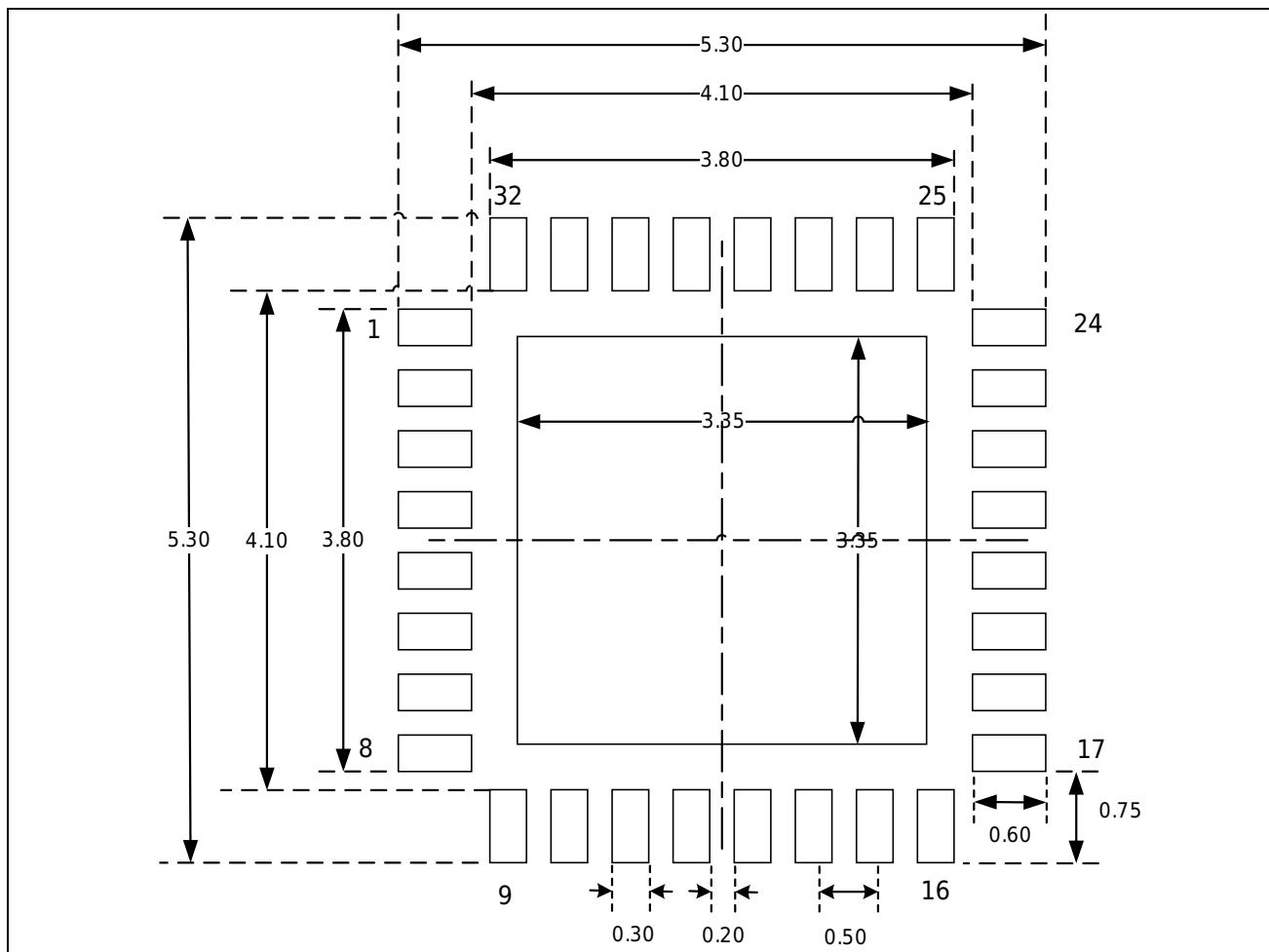
LQFP48 封装 (7mm x 7mm)



**NOTE:**

- Dimensions are expressed in millimeters.
- 尺寸仅做参考。

## QFN32 封装 (5mm x 5mm)



***NOTE:***

- Dimensions are expressed in millimeters.
  - 尺寸仅做参考。

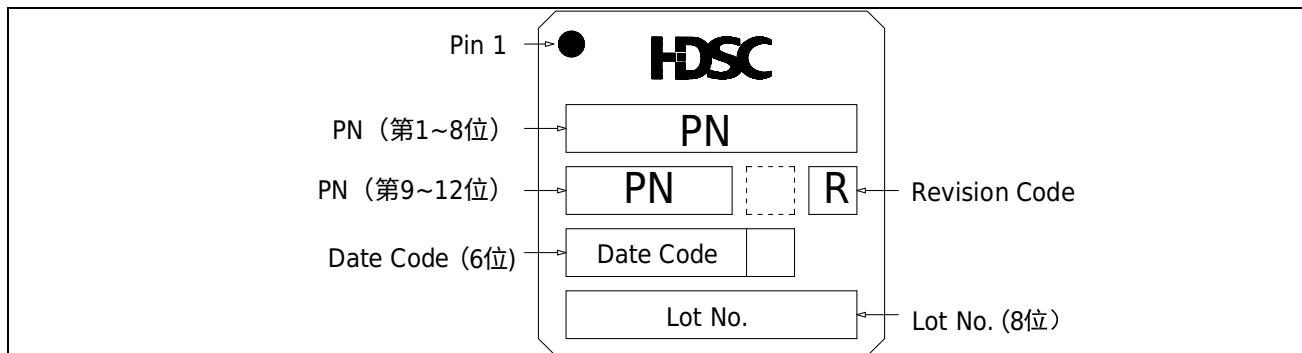
## 8.3 Marking Description

以下给出各封装正面丝印的 Pin 1 位置和信息说明。

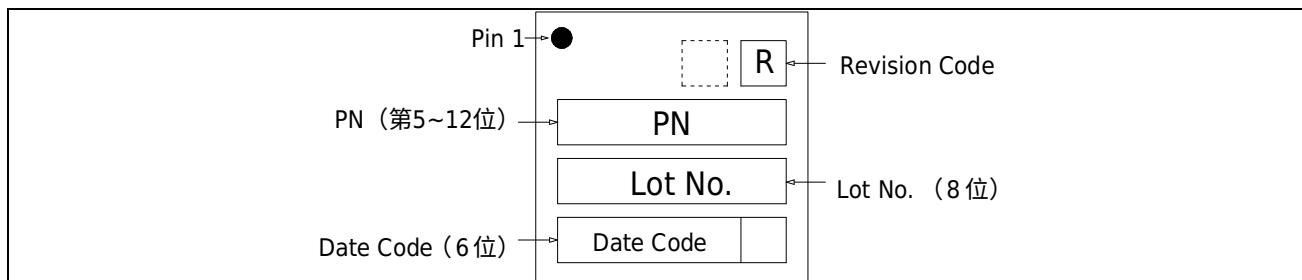
**LQFP100 封装 (14mm x 14mm)**

**LQFP64 封装 (10mm x 10mm)**

**LQFP48 封装 (7mm x 7mm)**



**QFN32 封装 (5mm x 5mm)**



**注意：**

- 上图空白框表示与生产相关的可选标记，本节不作说明。

## 8.4 Package Thermal Resistance

When the packaged chip works at a specified working environment temperature, the junction temperature  $T_j$  ( $^{\circ}\text{C}$ ) on the chip surface can be calculated according to the following formula:

$$T_j = T_{\text{amb}} + (P_D \times \theta_{JA})$$

- $T_{\text{amb}}$  refers to the working environment temperature when the packaged chip works, in  $^{\circ}\text{C}$ ;
- $\theta_{JA}$  refers to the thermal resistance coefficient of the package to the working environment, in  $^{\circ}\text{C}/\text{W}$ ;
- $P_D$  is equal to the sum of the chip's internal power consumption and I/O power consumption, in W. The chip's internal power consumption is the product's  $\text{IDD} \times \text{VDD}$ , and the I/O power consumption refers to the power consumption generated by the I/O pins when the chip is working. Usually, this part is very small and can be ignored.

When the chip works at a specified working environment temperature, the junction temperature  $T_j$  on the chip surface must not exceed the maximum allowable junction temperature  $T_J$  of the chip.

表 8-1 各封装热阻系数表

Package Type and Size	Thermal Resistance Junction-ambient Value ( $\theta_{JA}$ )	Unit
LQFP100 14mm x 14mm / 0.5mm pitch	50 +/- 10%	$^{\circ}\text{C}/\text{W}$
LQFP64 10mm x 10mm / 0.5mm pitch	65 +/- 10%	$^{\circ}\text{C}/\text{W}$
LQFP48 7mm x 7mm / 0.5mm pitch	75 +/- 10%	$^{\circ}\text{C}/\text{W}$
QFN32 5mm x 5mm / 0.5mm pitch	42 +/- 10%	$^{\circ}\text{C}/\text{W}$

## 9 Ordering Information

Part Number		HC32L072PATA-LQFP100	HC32L072KATA-LQFP64	HC32L072JATA-LQ48	HC32L072FAUA-QN32TR	HC32L073PATA-LQFP100	HC32L073KATA-LQFP64	HC32L073JATA-LQ48
Memory (bytes)	Flash	128K	128K	128K	128K	128K	128K	128K
	RAM	16K	16K	16K	16K	16K	16K	16K
I/O		86	50	36	22	86	52	38
TIMER	GTIMER	4	4	4	4	4	4	4
	ATIMER	3	3	3	3	3	3	3
	LPTIMER	2	2	2	2	2	2	2
	RTC	✓	✓	✓	✓	✓	✓	✓
	PCNT	1	1	1	1	1	1	1
Connectivity	UART	4	4	2	2	4	4	2
	LPUART	2	2	2	1	2	2	2
	I2C	2	2	2	1	2	2	2
	SPI	2	2	2	1	2	2	2
	USB	✓	✓	✓	✓	✓	-	-
	CAN	✓	✓	✓	✓	✓	✓	✓
	I2S	2	2	2	1	2	2	2
Analog	ADC*12bit	24ch	23ch	17ch	10ch	24ch	23ch	17ch
	DAC*12bit	2ch	2ch	2ch	2ch	2ch	2ch	2ch
	OP	5	5	3	1	5	5	3
	Comp	3	3	3	3	3	3	3
Display	LCD	-	-	-	-	4*52/6*50/8*48	4*40/6*38/8*36	4*26
Security	AES	✓	✓	✓	✓	✓	✓	✓
LVD		✓	✓	✓	✓	✓	✓	✓
LVR		✓	✓	✓	✓	✓	✓	✓
Votage	Vdd	1.8~5.5V	1.8~5.5V	1.8~5.5V	1.8~5.5V	1.8~5.5V	1.8~5.5V	1.8~5.5V
Package		LQFP100(14*14)	LQFP64(10*10)	LQFP48(7*7)	QFN32(5*5)	LQFP100(14*14)	LQFP64(10*10)	LQFP48(7*7)
Shipping form		Tray	Tray	Tray	Tape	Tray	Tray	Tray
Product thickness		1.6mm	1.6mm	1.6mm	0.75mm	1.6mm	1.6mm	1.6mm
Pad spacing		0.5mm	0.5mm	0.5mm	0.5mm	0.5mm	0.5mm	0.5mm

Before ordering, please contact the sales office for the latest mass production information.

## Version Revision History

Version	Date	Description
Rev1.00	2019/11/18	First draft published.
Rev1.10	2019/12/25	Updated the following information: ① Added QFN32 package; ② Typical application circuit diagram; ③ Illustrations and precautions for high-speed external clock XTH and low-speed external clock XTL; ④ Silkscreen description; ⑤ General working conditions description; ⑥ Ordering information.
Rev1.20	2020/04/10	Updated the following information: ① Pin function description; ② Added AVCC/3 accuracy in ADC characteristics; ③ 44/45/47/48pin changes for HC32L073KATA; ④ 32/33/35/36pin changes for HC32L073JATA.
Rev1.30	2020/05/29	Updated the following information: ① Corrected typos in 7.3.7.2; ② Added LCD controller; ③ RCL oscillator accuracy in 7.3.8.2; ④ Added low power timer description in Product Features.
Rev1.40	2020/06/30	Updated the following information: ① Added I2S information in the pin function description; ② Corrected LPTIM to LPTIMO, LPTIMx_ETR to LPTIMx_EXT; ③ Unified the pin function names.
Rev1.50	2020/07/31	Updated the following information: ① Added Sections 7.3.20, 7.3.21, 8.2, and 8.4; ② 7.3.11 Levels; ③ 7.3.13.2 Values of VIH and VIL.
Rev1.60	2020/09/30	Updated the following information: ① Functional block diagram; ② Added SPI features and I2S features (1); ③ 1.4 description; ④ 7.3.14 VIL and VIH; ⑤ Added 7.3.13.3; ⑥ The number of OPAs for HC32L072FAUA is 1.
Rev1.70	2021/05/31	Updated the following information: ① Modified the statement; ② Corrected the ANALOG function of PB04 in the pin function description; ③ tHD STA and tSU STO parameters in the I2C characteristics; ④ Data retention period in the memory characteristics; ⑤ Added the gm parameter in the external clock source characteristics.
Rev1.80	2022/03/09	Company Logo updated.
Rev1.81	2022/08/13	Updated the following information: ① 3.2 Pin function description, deleted the PF01 function mapping of TIM4_CHB; ② 7.3.14 RESETB pin characteristics, input filter pulse time modification.
Rev1.82	2023/06/21	Updated the following information: ① The APB1 address range error in the storage area mapping diagram was modified.
Rev1.83	2024/06/25	Updated the following information: ① Modified the number of ADC and VC channels in 1.29 and 1.31, deleted the 1.2V related description, and deleted the 1.2V related description in 7.3.16; ② Modified the storage temperature range in Table 7-3 Temperature Characteristics; ③ Added the "7.3.8.3 Internal Low-Speed Clock 10k Oscillator" section.
Rev1.84	2024/12/12	Updated the following information: ① Updated the contents of chapters "7.3.7.3 High-speed external clock XTH" and "7.3.7.4 Low-speed external clock XTL".
Rev1.85	2025/03/28	Updated the following information: ① Updated the relevant parameters in Table 7-16 SPI interface characteristics; ② Modified the maximum value of the input filtered pulse and the minimum value of the input non-filtered pulse in 7.3.14 RESETB pin characteristics.