

32 位微控制器

HC32L07x_F072 系列

勘误表

Rev1.03 2024 年 09 月

适用对象

产品系列	产品型号	产品系列	产品型号
L 系列	HC32L072 HC32L073	F 系列	HC32F072

声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2024 小华半导体有限公司 保留所有权利

目 录

适用对象	2
声 明	3
目 录	4
1 摘要	6
2 HC32L07x/ HC32F072 系列的勘误	7
2.1 烧录	8
2.1.1 在 1.8V 供电下, SWD 模式烧录需要降低速度	8
2.2 ADC	8
2.2.1 ADC 的顺序扫描和插队扫描不要同时使用	8
2.3 I2C	8
2.3.1 I2C 初始化之前需要复位该模块	8
2.3.2 I2C 的引脚配置	8
2.3.3 I2C 作为主机在发送数据阶段, 某些状态下收不到 NACK	9
2.4 SPI	9
2.4.1 从机 NCS 固定接地时, SPI 模块使能后就不要关闭	9
2.4.2 SPI 用作多从机时 MISO 引脚异常	9
2.4.3 SPI 作为从机模式时, NSS 被拉低后初始化注意事项	9
2.5 GPIO	10
2.5.1 在 DeepSleep 模式下, 较高频率的 GPIO 唤醒会出现芯片复位	10
2.5.2 上电时部分 IO 带有一定驱动能力	10
2.5.3 未封装的 GPIO 端口初始化上拉处理	10
2.6 UART_LPUART	10
2.6.1 接收完成标志 RC 与奇偶校验错误标志 PE 置起不同步	10
2.6.2 接收完成标志 RC 与帧错误标志 FE 置起不同步	11
2.7 USB	11
2.7.1 USB 访问 SRAM 的地址范围为 0x2000_0000~0x2000_1fff(8K)	11
2.8 CAN	11
2.8.1 总线被干扰时发出未定义帧	11
2.8.2 总线被干扰时发出未定义波形占用总线	11
2.8.3 通信时钟不分频时采样点不准确	12
2.9 DAC	12
2.9.1 DAC 在高温下直接输出有偏差	12
2.9.2 DAC 通过 OPA 输出产生尖峰	12
2.10 时钟	13
2.10.1 外部无源时钟 XTH 频率的选择	13
版本修订记录	14

新增 2.10 时钟章节关于外部无源时钟 XTH 频率的选择。	14
---------------------------------------	----

1 摘要

本文档主要介绍 HC32L07x/ HC32F072 系列芯片的使用限制和变通措施。

2 HC32L07x/ HC32F072 系列的勘误

表 2-1 勘误表条目统计

勘误类型	具体勘误事项
2.1 烧录	2.1.1 在 1.8V 供电下，SWD 模式烧录需要降低速度
2.2 ADC	2.2.1 ADC 的顺序扫描和插队扫描不要同时使用
2.3 I2C	2.3.1 I2C 初始化之前需要复位该模块
	2.3.2 I2C 的引脚配置
	2.3.3 I2C 作为主机在发送数据阶段，某些状态下收不到 NACK
2.4 SPI	2.4.1 从机 NCS 固定接地时，SPI 模块使能后就不要关闭
	2.4.2 SPI 用作多从机时 MISO 引脚异常
	2.4.3 SPI 作为从机模式时，NSS 被拉低后初始化注意事项
2.5 GPIO	2.5.1 在 DeepSleep 模式下，较高频率的 GPIO 唤醒会出现芯片复位
	2.5.2 上电时部分 IO 带有一定驱动能力
	2.5.3 未封装的 GPIO 端口初始化上拉处理
2.6 UART_LPUART	2.6.1 接收完成标志 RC 与奇偶校验错误标志 PE 置起不同步
	2.6.2 接收完成标志 RC 与帧错误标志 FE 置起不同步
2.7 USB	2.7.1 USB 访问 SRAM 的地址范围为 0x2000_0000~0x2000_1fff(8K)
2.8 CAN	2.8.1 总线被干扰时发出未定义帧
	2.8.2 总线被干扰时发出未定义波形占用总线
	2.8.3 通信时钟不分频时采样点不准确
2.9 DAC	2.9.1 DAC 在高温下直接输出有偏差
	2.9.2 DAC 通过 OPA 输出产生尖峰
2.10 时钟	2.10.1 外部无源时钟 XTH 频率的选择

2.1 烧录

2.1.1 在 1.8V 供电下，SWD 模式烧录需要降低速度

■ 问题描述

在 1.8V 供电情况下，GPIO 速度慢，使用离线编程器的 SWD 模式高速烧录可能会失败。

■ 变通措施

在 1.8V 供电情况下，如需使用离线编程器的 SWD 模式烧录，需要降低速度，使用低速模式才能烧录成功。

2.2 ADC

2.2.1 ADC 的顺序扫描和插队扫描不要同时使用

■ 问题描述

当 ADC 的顺序扫描和插队扫描模式同时使用的时候，可能会出现插队扫描数据丢失，或者顺序扫描和插队扫描无法进行的情况。

■ 变通措施

将顺序扫描和插队扫描分开使用，同一时刻只使用顺序扫描或者插队扫描模式进行 ADC 采样。

2.3 I2C

2.3.1 I2C 初始化之前需要复位该模块

■ 问题描述

上电或者复位后，I2C 模块一些寄存器内部没有被复位。

■ 变通措施

初始化之前，使能对应的 I2C 外设时钟之后，需要使用复位寄存器复位一下 I2C 模块，复位寄存器对应 bit 位先写 0 再写 1。

2.3.2 I2C 的引脚配置

■ 问题描述

如果先将 I/O 设置复用为 I2C 功能引脚，再使能 I2C 外设时钟，然后再使用复位寄存器复位 I2C 模块，在使能外设时钟到复位 I2C 模块的这段时间，I2C 的引脚可能会输出翻转脉冲信号。

■ 变通措施

需要先使能 I2C 的外设时钟，然后调用复位寄存器复位 I2C 的模块，再将该 GPIO 复用为 I2C 的引脚。

2.3.3 I2C 作为主机在发送数据阶段，某些状态下收不到 NACK

■ 问题描述

I2C 作为主机，在发送数据阶段，在状态代码 0x18 和 0x28 情况下发送完数据，不会释放 SDA 总线，而是拉低了 SDA 总线。

■ 变通措施

根据具体的应用在协议层做相应的措施或使用 IO 模拟 I2C。

2.4 SPI

2.4.1 从机 NCS 固定接地时，SPI 模块使能后就不要关闭

■ 问题描述

SPI 和没有 NCS 接口的设备通信时，如果 SCKO 和 CPOL 不同相，在 SPEN 使能和关闭的时候，SCK 会有脉冲输出，导致通信异常。

■ 变通措施

从机 NCS 固定接地时，SPI 模块使能后就不要关闭。

2.4.2 SPI 用作多从机时 MISO 引脚异常

■ 问题描述

SPI 作为多从机通信时，当发送最后一个 bit 位是 0 之后主机 CS 拉高，MISO 会保持低电平。

■ 变通措施

当最后一个字节发送完成，软件将 MISO 变为输入上拉状态，当从机遇到 CS 拉低后，再变为 MISO 引脚。

2.4.3 SPI 作为从机模式时，NSS 被拉低后初始化注意事项

■ 问题描述

SPI 模块用作从机模式时：

当 CPHA=0 时，NSS 信号被拉低后再初始化模块，该从机无法收发数据；

当 CPHA=1 时，NSS 信号被拉低后再初始化模块，该从机可以收发数据。

■ 变通措施

SPI 模块用作从机模式时：

当 CPHA=0 时，在 NSS 信号被拉低之前，要初始化该模块。

2.5 GPIO

2.5.1 在 DeepSleep 模式下，较高频率的 GPIO 唤醒会出现芯片复位

■ 问题描述

DeepSleep 时候，在 GPIO 输入大于 50KHz 的周期性唤醒信号时，芯片可能会发生复位。

■ 变通措施

DeepSleep 时候，输入的唤醒信号如果为周期性信号，不大于 50KHz。

2.5.2 上电时部分 IO 带有一定驱动能力

■ 问题描述

在芯片上电至 VCAP 电压稳定期间，部分具有模拟输出复用功能的 IO 可能存在输出弱驱能力的低压脉冲现象。

■ 变通措施

- 1) 在使用时，避免这些引脚用作输出功能，或避免连接到对低压、弱驱敏感的器件（如三极管、MOS 管等）；
- 2) 如必须作为输出功能使用，可以采用外部驱动方式确保上电期间 IO 固定为低电平来降低芯片上电期间对外部器件影响；
- 3) 提高 MCU 上电速率，可以间接减小 IO 上可能出现的脉冲所持续的时间来降低芯片上电期间对外部器件的影响。

2.5.3 未封装的 GPIO 端口初始化上拉处理

■ 问题描述

对于芯片的小封装型号，相较最大封装，有些引脚未封装出来，当芯片进入 DeepSleep 模式的时候，这些未封装出来的引脚如果没有处理，也会影响芯片的最低功耗指标。

■ 变通措施

参照芯片的最大封装，可以将这些未封装出来的引脚设置为输入上拉或输入下拉。

那些已封装出来但未使用的引脚，也可以参照上述处理；对于封装出来并存在外部电路连接的管脚，需要避免和片外电压信号形成压差导致漏电。

2.6 UART_LPUART

2.6.1 接收完成标志 RC 与奇偶校验错误标志 PE 置起不同步

■ 问题描述

带有奇偶校验错误标志 PE 功能的 UART_LPUART，运行在 MODE2/3 且使能硬件奇偶校验功能时，如果发生奇偶校验错误，PE 标志与 RC 标志置起不同步。特别是对于停止位为 1.5bit 或 2bit 的情况。

■ 变通措施

中断方式：可以只使能 RC 接收中断，在 RC 接收中断内查询奇偶校验错误标志 PE 是否置起。

查询方式：建议先判断接收完成标志 RC 是否置起，再判断奇偶校验错误标志 PE 是否置起。

2.6.2 接收完成标志 RC 与帧错误标志 FE 置起不同步

■ 问题描述

带有帧错误标志 FE 功能的 UART_LPUART，运行在 MODE1/2/3 时，如果发生帧错误，FE 标志与 RC 标志置起不同步。特别是对于停止位为 1.5bit 或 2bit 的情况。

■ 变通措施

中断方式：可以只使能 RC 接收中断，在 RC 接收中断内查询帧错误标志 FE 是否置起。

查询方式：建议先判断接收完成标志 RC 是否置起，再判断帧错误标志 FE 是否置起。

2.7 USB

2.7.1 USB 访问 SRAM 的地址范围为 0x2000_0000~0x2000_1fff(8K)

■ 问题描述

L07x/ F072 系列的 RAM 空间为 16K，但是 USB 部分的访问空间只能访问前 8K。

■ 变通措施

将 USB 需要访问的 RAM 上相关变量指定在 RAM 前 8K 的地址。

2.8 CAN

2.8.1 总线被干扰时发出未定义帧

■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出应用程序未定义的帧，包括未定义的 ID 或未定义的数据。

■ 变通措施

变通措施包括以下几点：

- 1) 发送使能后，在发送完成之前，不向任何发送 Buffer 填充数据并使能发送；
- 2) 在应用程序中增加消息有效性确认机制，如增加握手协议、增加帧（包括 ID 和数据）的校验、根据系统状态判断新接收的帧是否采用等。

2.8.2 总线被干扰时发出未定义波形占用总线

■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出 CAN 协议未定义的波形占用总线。

■ 变通措施

建议每次只填充发送一帧数据，并做发送超时处理。正常发送完成后，可直接继续填充并发送新的帧；如果发送超时，需重新初始化 CAN 控制器并等待至少 11 个 CAN 位时间，再进行发送。发送超时的时间，可粗略的根据总线节点总数以及波特率来计算。

以如下条件举例说明：

- 1) 如总线节点 10 个；
- 2) 波特率 1Mbps；
- 3) 数据长度 8 字节，设发送所需的最长时间为 140us；

理论上，在正常情况下，10 个节点依次全部发完一帧需要至少约 1.4ms，那么超时时间可设置为 2ms 或更长。但当总线被干扰时，超时时间应再长一些，如 5ms。

发送超时后，CAN 控制器的初始化流程如下：

- 1) 关闭 CAN 控制器的外设时钟（通过 SYSCTRL_PERI_CLKEN1 寄存器）；
- 2) 使能 CAN 控制器的外设时钟（通过 SYSCTRL_PERI_CLKEN1 寄存器）；
- 3) 初始化 CAN 控制器的寄存器。

2.8.3 通信时钟不分频时采样点不准确

■ 问题描述

当通信时钟不分频（CAN_BT.PRESC=0x00）时，CAN 通信的采样点不准确。

■ 变通措施

在配置位时间时，必须对通信时钟进行分频（CAN_BT.PRESC>0x1）。

2.9 DAC

2.9.1 DAC 在高温下直接输出有偏差

■ 问题描述

在 85℃及以上温度时候，DAC 直接输出会有偏差，影响性能。

■ 变通措施

将 DAC 通过 OPA 的 buffer 功能输出。

2.9.2 DAC 通过 OPA 输出产生尖峰

■ 问题描述

在使用 DAC 通过 OPA 输出正弦波时，在 0 点（对应 CODE：2048）附近会产生几 mV 到十几 mV 的尖峰。

■ 变通措施

需要外加滤波电路。

2.10 时钟

2.10.1 外部无源时钟 XTH 频率的选择

■ 问题描述

某些 8MHz 的无源晶体，ESR 偏大，匹配该类晶体的时候，如匹配不好的情况下，可能出现无法起振或者起振异常的现象。

■ 变通措施

外部无源时钟 XTH 推荐使用低 ESR 的 16MHz~32MHz 晶体，并且需要做好匹配。

版本修订记录

版本号	修订日期	修订内容
Rev1.0	2023/02/10	初版发布。
Rev1.01	2023/07/14	1) 修改“2.4.2 上电时部分 IO 带有一定驱动能力”章节内容描述； 2) 新增“ADC”章节内容。
Rev1.02	2024/04/19	1) “SPI”章节，新增“SPI 作为从机模式时，NSS 被拉低后初始化注意事项”内容； 2) “CAN”章节，新增“通信时钟不分频时采样点不准确”内容。
Rev1.03	2024/09/02	新增 2.10 时钟章节关于外部无源时钟 XTH 频率的选择。