

## Project 3 RaceTrack Memory Explorations

### 1. RaceTrack Memory

基本概念:

**Domain:** 一个 racetrack 条带上可以存储一位数据的结构。

**Racetrack (RT):** 一个条带, 上面可以包含多个 domain。

**Shift:** Domain 可以在条带上平移 (Shift), 但是平移操作总是对条带上所有的 domain 同时进行的。无法改变 domain 的相互顺序和距离。

**Port:** 端口, 由读写头和晶体管构成。分为读写端口, 写端口和读端口, 其晶体管面积依次减小。读写头可以被固定在晶体管的任意位置, 其大小忽略不计。只有读写头正对的 Domain 中存放的数据才能够被访问, 其他的 Domain 必须通过 Shift 操作移动到有端口才可以被访问。条带和端口物理上均固定不动。

**Group:** 由多个条带组成, 每个 Group 中的条带必须同时 Shift。通常一个 Group 由 512 个条带构成, Group 的一行 (512 个条带各取一个 domain) 对应一个 cache 数据块。

Racetrack Memory 作为 Cache 而言最大的不同就是对于每个 Group 上存储的不同数据块, 访问延迟是不相同的, 其延迟等于移动的时间+访问 domain 的时间。

### 2. 要求

#### 2.1 基本要求 (共 10 分):

理解和掌握 RM 的基本特性并在下列几个层面中选择至少一个进行探索。针对一般或特殊的使用场景, 提出一种比较优化的设计。

- a) 读、写端口的摆放
- b) Set 的划分
- c) Set 的编址
- d) 读写、替换、调度等优化策略
- e) 其他层面

#### 2.2 实验要求 (共 10 分):

- a) 修改 Gem5 或者自己编写一个 Cache 的 simulator, 实现 Baseline 和 RM 两种特性, 并保证功能正确 (5 分)。
- b) 通过实验验证你的策略相比 Baseline 的优势有哪些, 并进行分析 (5 分)

#### 2.3 附加分:

对于完成度很高/工作量很大的小组会视情况给予 0~5 分的附加分。

### 3. 具体参数和 Baseline

BaseLine:

Cpu 时钟频率=2Ghz

对于 Gem5 而言, L1 参数采用默认, 对于自己实现的情况, 忽视 L1 细节, 默认所有的输入为 L1 传到 L2 的请求。

L2 容量: 4M

L2 相连度: 8

L2 读写延迟: 1/1 cycle

Shift 操作延迟: 1cycle

每个条带上的 Domain 数: 64

每个 Group 中的条带数: 512

读写端口的晶体管大小: 12 个 Domian

写端口的晶体管大小: 8 个 Domian

读端口的晶体管大小: 4 个 Domian

BaseLine (如果研究相应方向, 可做适当调整):

每个条带上的端口排布情况:

对于 64 个 Domain 的条带, 默认情况下在第 0, 16, 32, 48 个 domian 上方有一个读写端口。

L2 替换策略: LRU

Set 的划分: 默认情况下对于一个 Group 中包含的 64 个 block, 0~7 属于 set0, 8~16 属于 set1, 依次类推, 同理则第二个 group 包含 set8~set15。

截止日期:

1) 展示设计时间: 2014 年 12 月 29 日

2) 提交报告时间: 2015 年 1 月 26 日