

SISTEMAS DIGITALES II

EXAMEN FINAL

Fecha: 2021/01/29

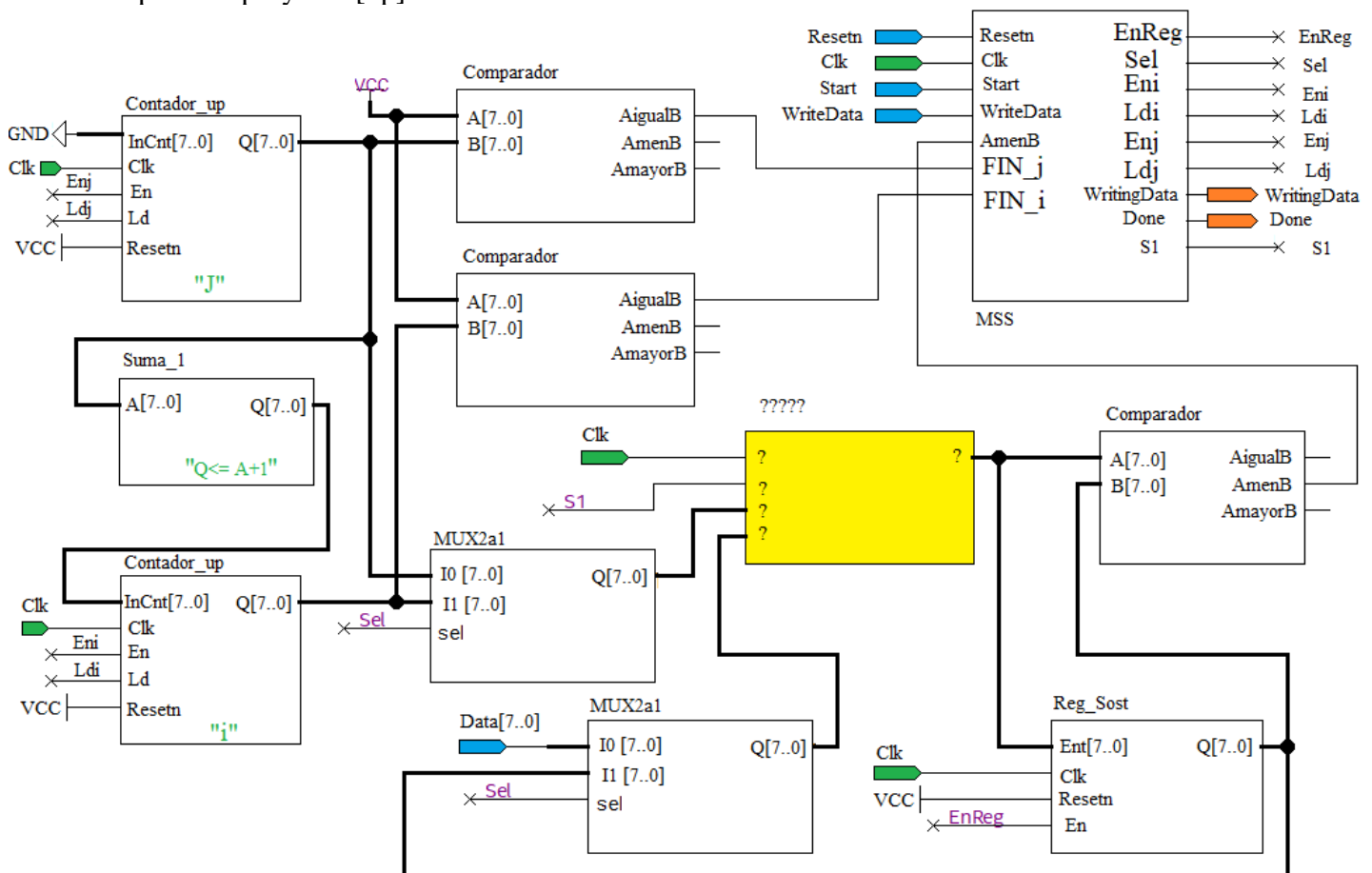
PAO2 2020-2021

Nombre: _____ Paralelo: _____

Problema #1: (x%)

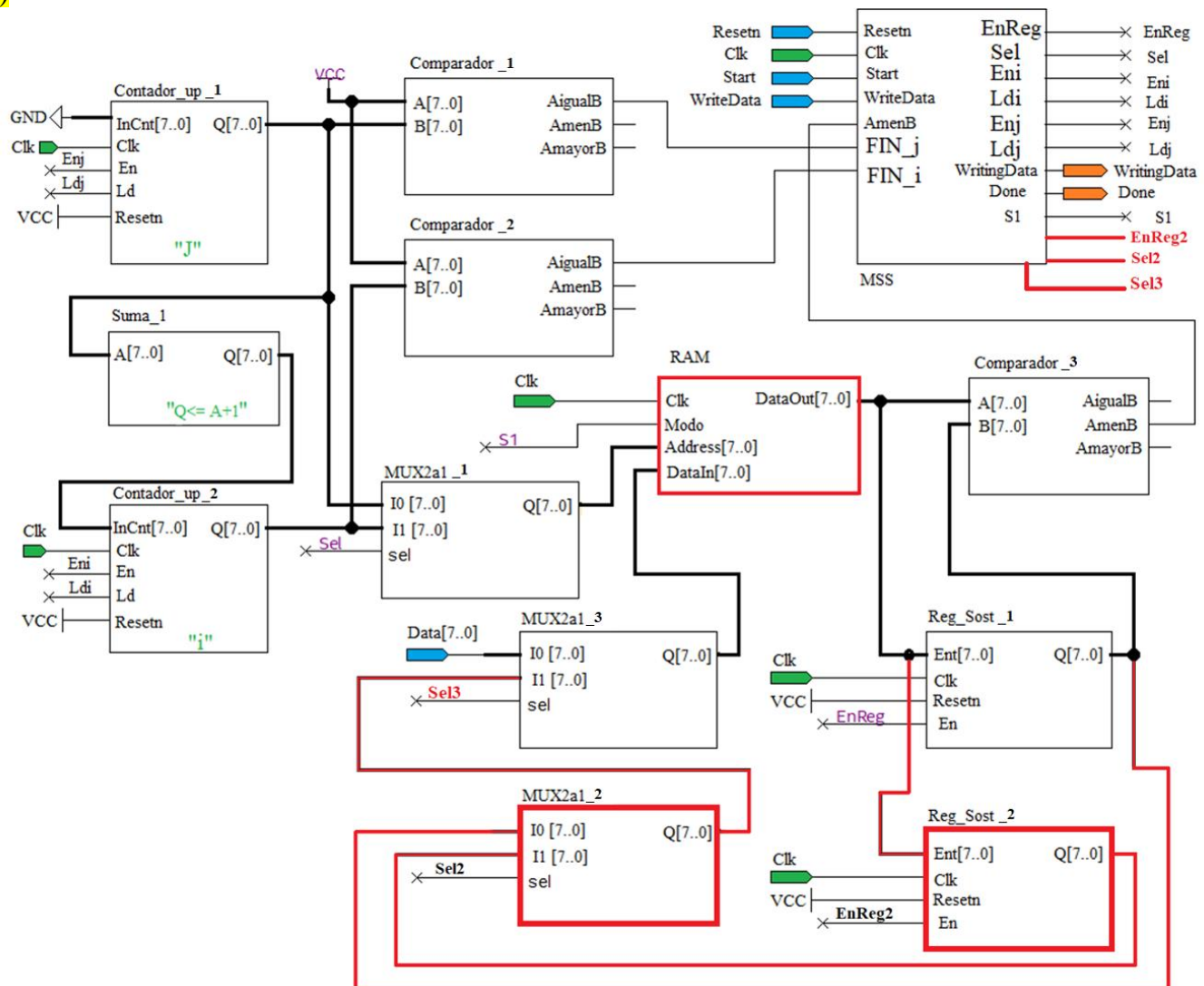
La siguiente partición funcional que incluye una Maquina Secuencial Sincrónica (MSS), debe realizar un ordenamiento de 255 valores de **Mayor a Menor**. El ingreso de estos valores de 8 bits se debe realizar de uno a uno, estos valores ingresan por el puerto "Data", mientras se están ingresando los datos, la MSS pone en alto la salida "WritingData", indicando que este proceso está siendo ejecutado y el mismo no terminará hasta completar los 255 valores. El ordenamiento de los números ingresados previamente se deberá realizar de mayor a menor, para lo cual se recomienda usar el contador_up "j" y el contador_up "i" en el proceso de búsqueda y comparación. Se pide:

- Completar la partición funcional indicando el nombre del bloque amarillo con los respectivos nombres de las señales. Además, agregue cualquier componente que Ud. crea necesario para que el sistema funcione correctamente (justifique su respuesta). [3p]
- Elaborar el ASM de la MSS, para que el circuito realice el proceso de ingreso de valores y luego el de ordenamiento. Se recomienda presionar y soltar la entrada "Start" para dar el arranque al sistema completo. Asimismo, al finalizar la búsqueda, la MSS enciende la salida "Done" hasta que se presione y suelte nuevamente el botón "Start"[9p]
- Finalmente, realizar el código VHDL del sistema completo con portMap, completando el nombre y funcionamiento del bloque faltante, nombres de señales y tamaño de buses. Asuma que los elementos que están en la partición funcional (incluido el de color amarillo) ya existen en la misma carpeta del proyecto [8p]

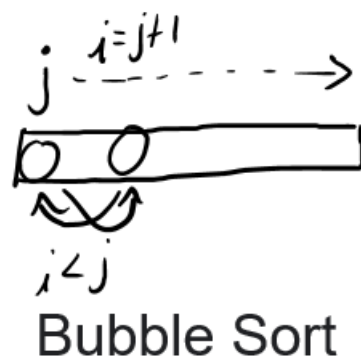


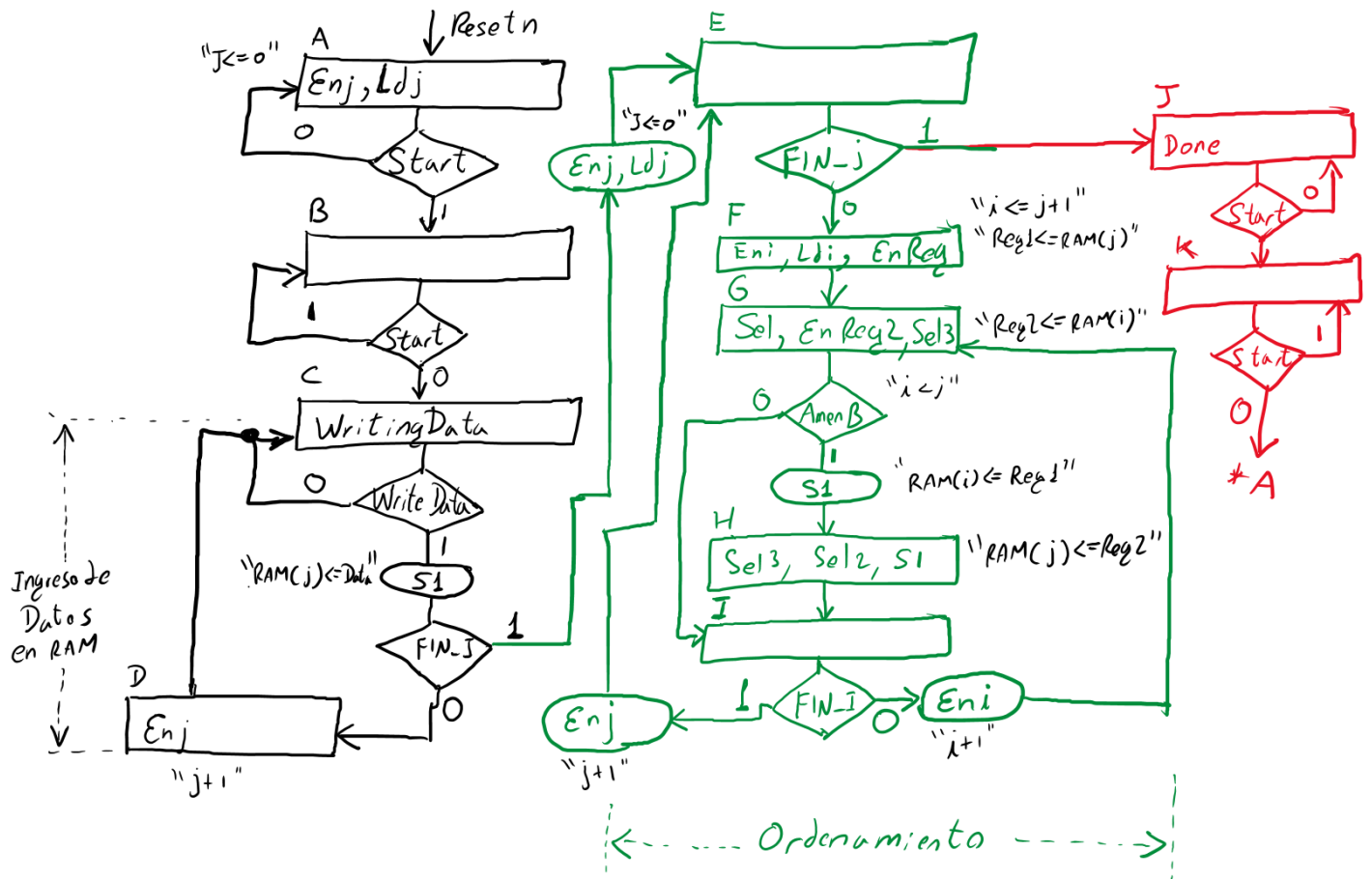
Resolución:

a)



b)





c)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

library work;
use work.mylibrary.all;

entity ExamenFinal is
    port( Resetn, Clk, Start, WriteData: in std_logic;
          Data: in std_logic_vector(7 downto 0);
          WritingData, Done: out std_logic);
end ExamenFinal;
```

architecture comportamiento of ExamenFinal is

```
--Contadores
signal Q_Contador1,Q_Contador2: std_logic_vector(7 downto 0);
-- Sumador
signal Q_Suma1: std_logic_vector(7 downto 0);
--Comparador
signal finj,fini,AmenB :std_logic;
--Multiplexor
signal Sel, Sel2, Sel3: std_logic;
signal Q_Mux1,Q_Mux2,Q_Mux3: std_logic_vector(7 downto 0);
--Registros
signal Q_Reg1,Q_Reg2: std_logic_vector(7 downto 0);
--RAM
signal Q_RAM: std_logic_vector(7 downto 0);
```

begin

```
Contador_up_1: Contador_up port map ("00000000",Clk,Enj,Ldj,'1',Q_Contador1);
Suma_1: Suma_1 port map (Q_Contador1,Q_Suma1);
Contador_up_2: Contador_up port map (Q_Suma1,Clk,Eni,Ldi,'1',Q_Contador2);
Comparador_1: Comparador port map ("11111111",Q_Contador1,finj);
Comparador_2: Comparador port map ("11111111",Q_Contador2,fini);
Comparador_3: Comparador port map (Q_RAM,Q_Reg1,AmenB);
MUX2a1_1: MUX2a1 port map (Q_Contador1,Q_Contador2,Sel,Q_Mux1);
MUX2a1_2: MUX2a1 port map (Q_Reg1,Q_Reg2,Sel2,Q_Mux2);
MUX2a1_3: MUX2a1 port map (Data,Q_Mux2,Sel3,Q_Mux3);
RAM: RAM port map (Clk,S1,Q_Mux1,Q_Mux3,Q_RAM);
Reg_Sost_1: Reg_Sost port map(Q_RAM,Clk,'1',EnReg,Q_Reg1);
Reg_Sost_2: Reg_Sost port map(Q_RAM,Clk,'1',EnReg2,Q_Reg2);
MSS: MSS port map (Reset,Clk,Start,WriteData,AmenB,finj,fini,EnReg,Sel,Eni,Ldi...
,Enj,Ldj,WritingData,Done,S1,EnReg2,Sel2,Sel3);
```

end comportamiento;