

Conforme mostra a simplificação, o segmento g irá permanecer aceso em todos os casos, pois $g = 1$. No circuito, no caso de uma montagem prática, essa ligação deverá ser feita através de um resistor, convenientemente calculado conforme o V_{cc} , para não danificar o display.

5.4 Circuitos Aritméticos

Dentro do conjunto de circuitos combinacionais aplicados para finalidade específica nos sistemas digitais, destacam-se os circuitos aritméticos. São utilizados, principalmente, para construir a **ULA (Unidade Lógica Aritmética)** dos microprocessadores e, ainda, encontrados disponíveis em circuitos integrados comerciais. Neste tópico, abordaremos os principais circuitos aritméticos e seus subsistemas derivados.

5.4.1 Meio Somador

Antes de iniciarmos o assunto, vamos relembrar alguns tópicos importantes da soma de 2 números binários:

$$\begin{array}{r}
 0 \quad 0 \quad 1 \quad 11 \\
 + 0 \quad + 1 \quad + 0 \quad + 1 \\
 \hline
 0 \quad 1 \quad 1 \quad 10
 \end{array}$$

transporte

Após essa breve introdução, vamos montar uma tabela da verdade da soma de 2 números binários de 1 algarismo:

A	B	S	Ts
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Ts → transporte de saída
 $(0 + 0 = 0 \rightarrow Ts = 0)$
 $(0 + 1 = 1 \rightarrow Ts = 0)$
 $(1 + 0 = 1 \rightarrow Ts = 0)$
 $(1 + 1 = 0 \rightarrow Ts = 1)$

Tabela 5.17

Representando cada número por 1 bit, podemos, então, montar um circuito que possui como entradas A e B, e como saída, a soma dos algarismos (S) e o respectivo transporte de saída (Ts). As expressões características do circuito, extraídas da tabela, são:

$$S = A \oplus B$$

$$T_s = AB$$

O circuito a partir destas expressões é visto na figura 5.31.

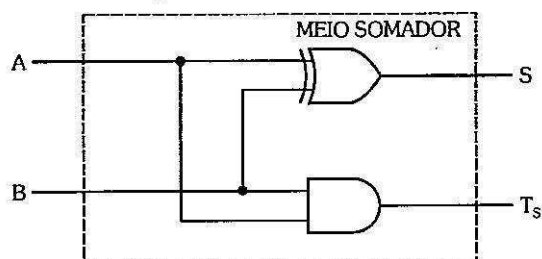


Figura 5.31

A representação em bloco deste circuito é vista na figura 5.32.

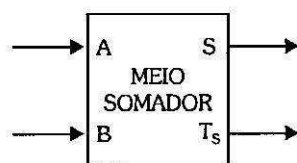
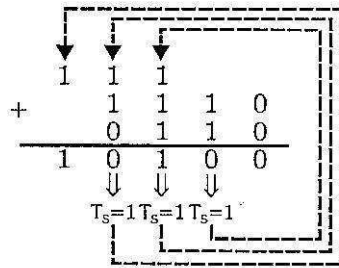


Figura 5.32

Este circuito Meio Somador é também conhecido como **Half Adder**, sendo a saída de transporte denominada **carry out**, ambos os termos derivados do inglês.

5.4.2 Somador Completo

O Meio Somador possibilita efetuar a soma de números binários com 1 algarismo. Para se fazer a soma de números binários de mais algarismos, esse circuito torna-se insuficiente, pois não possibilita a introdução do transporte de entrada proveniente da coluna anterior. Para melhor compreensão, vamos analisar o caso da soma: $1110_2 + 110_2$. Assim sendo, temos:



A coluna 1 tem como resultado um transporte de saída igual a 0. A coluna 2 tem como resultado 0 e um transporte de saída igual a 1. A coluna 3 tem um transporte de entrada igual a 1 (T_s da coluna anterior), possui resultado 1 e transporte de saída igual a 1. A coluna 4 tem transporte de entrada igual a 1, resultado 0 e transporte de saída 1. A coluna 5 possui apenas um transporte de entrada (T_s da coluna 4) e, obviamente, seu resultado será igual a 1.

Para fazermos a soma de 2 números binários de mais algarismos, basta somarmos coluna a coluna, levando em conta o transporte de entrada que nada mais é do que o T_s da coluna anterior.

O Somador Completo é um circuito para efetuar a soma completa de uma coluna, considerando o transporte de entrada. Vamos, agora, montar a tabela da verdade deste circuito:

A	B	T_E	S	T_s	$T_E \rightarrow$ transporte de entrada
0	0	0	0	0	$(0 + 0 + 0 = 0 \rightarrow T_s = 0)$
0	0	1	1	0	$(0 + 0 + 1 = 1 \rightarrow T_s = 0)$
0	1	0	1	0	$(0 + 1 + 0 = 1 \rightarrow T_s = 0)$
0	1	1	0	1	$(0 + 1 + 1 = 0 \rightarrow T_s = 1)$
1	0	0	1	0	$(1 + 0 + 0 = 1 \rightarrow T_s = 0)$
1	0	1	0	1	$(1 + 0 + 1 = 0 \rightarrow T_s = 1)$
1	1	0	0	1	$(1 + 1 + 0 = 0 \rightarrow T_s = 1)$
1	1	1	1	1	$(1 + 1 + 1 = 1 \rightarrow T_s = 1)$

Tabela 5.18

Vamos, então, escrever as expressões características, sem simplificação, de um Somador Completo:

$$S = \overline{A}\overline{B}T_E + \overline{A}B\overline{T_E} + A\overline{B}\overline{T_E} + ABT_E$$

$$T_s = \overline{A}BT_E + A\overline{B}T_E + AB\overline{T_E} + ABT_E$$

Transpondo para diagramas de Veitch-Karnaugh, temos:

S:

	\bar{B}		B	
\bar{A}	0	1	0	1
A	1	0	1	0
	\bar{T}_E	T_E	\bar{T}_E	T_E

Figura 5.33

Conforme já estudado, podemos escrever:

$$S = A \oplus B \oplus T_E$$

T_S :

	\bar{B}		B	
\bar{A}	0	0	1	0
A	0	1	1	1
	\bar{T}_E	T_E	\bar{T}_E	T_E

$$T_S = BT_E + AT_E + AB$$

Figura 5.34

Vamos, através das expressões, esquematizar o circuito Somador Completo:

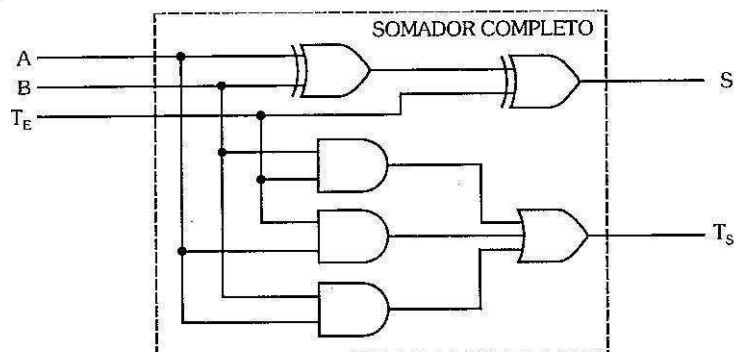


Figura 5.35

Da mesma forma, o circuito apresentado em bloco, é visto na figura 5.36.

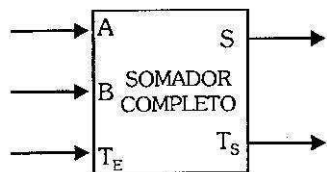


Figura 5.36

O circuito Somador Completo é também conhecido como **Full Adder**, sendo a entrada de transporte denominada **carry in**, ambos os termos derivados do inglês.

Vamos, para exemplo de aplicação, montar um sistema em blocos que efetua a soma de 2 números de 4 bits, conforme o esquema a seguir:

$$\begin{array}{r}
 A_3 \quad A_2 \quad A_1 \quad A_0 \\
 + \quad B_3 \quad B_2 \quad B_1 \quad B_0 \\
 \hline
 S_4 \quad S_3 \quad S_2 \quad S_1 \quad S_0
 \end{array}$$

Para efetuar a soma dos bits A_0 e B_0 dos números (1ª coluna), vamos utilizar um Meio Somador, pois não existe transporte de entrada, mas para as outras colunas utilizaremos Somadores Completos, pois necessitaremos considerar os transportes provenientes das colunas anteriores. O sistema montado é visto na figura 5.37.

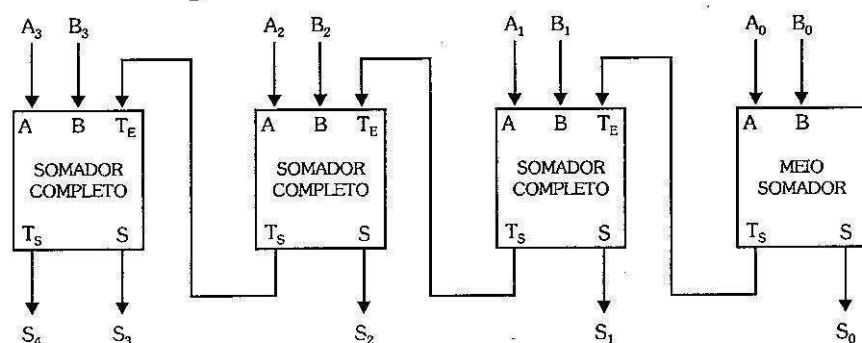


Figura 5.37

Generalizando para um sistema que efetua a soma de 2 números de m bits ($m = n + 1$), temos:

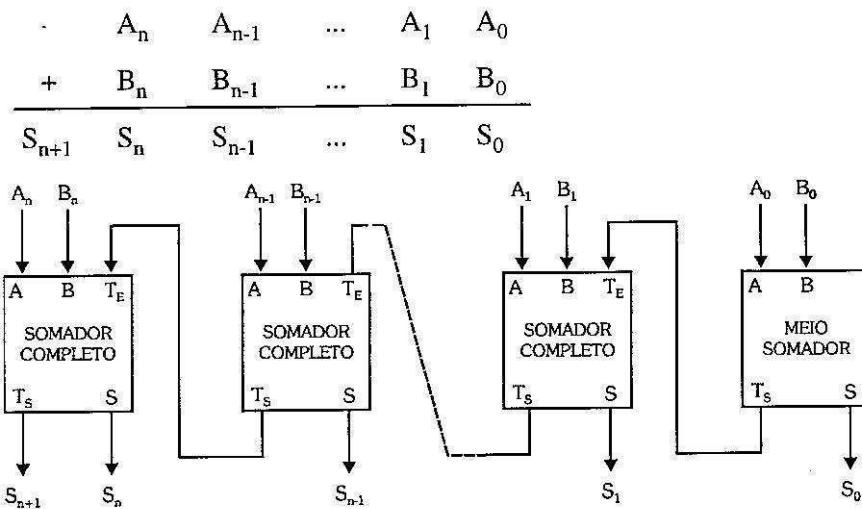
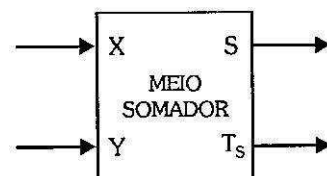


Figura 5.38

5.4.3 Somador Completo a partir de Meio Somadores

Podemos construir um Somador Completo a partir de 2 Meio Somadores. Para isso, vamos analisar as expressões de ambos os blocos:

Meio Somador:



$$S = X \oplus Y$$

$$T_S = XY$$

Figura 5.39

Somador Completo:



$$S = A \oplus B \oplus T_E$$

$$T_S = \bar{A}BT_E + A\bar{B}T_E + AB\bar{T}_E + ABT_E$$

Figura 5.40

Fatorando a expressão de T_s , temos:

$$T_s = T_E (\overline{A}B + A\overline{B}) + AB (\overline{T_E} + T_E) \therefore T_s = T_E (A \oplus B) + AB$$

Ligando A e B nas entradas do Meio Somador 1, temos:

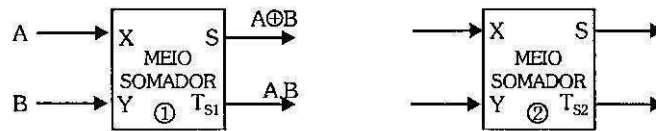


Figura 5.41

Ligando a saída S do Meio Somador 1 à entrada X do outro Meio Somador e à entrada Y deste, a variável T_E , temos:

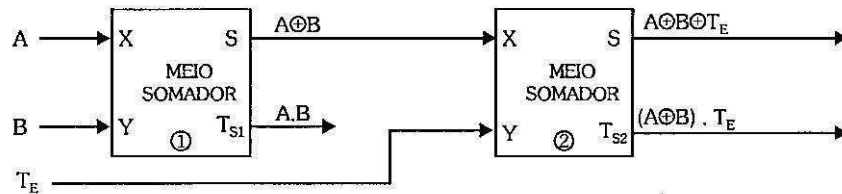


Figura 5.42

Notamos que a saída S do Meio Somador 2 apresenta a soma completa de 2 números.

Analisando as saídas T_{s1} e T_{s2} , notamos que são os termos da expressão de T_s de um Somador Completo, logo se fizermos a soma dessas 2 saídas (Porta OU), teremos na saída o T_s de um Somador Completo. A figura 5.43 mostra o circuito completo com essa ligação.

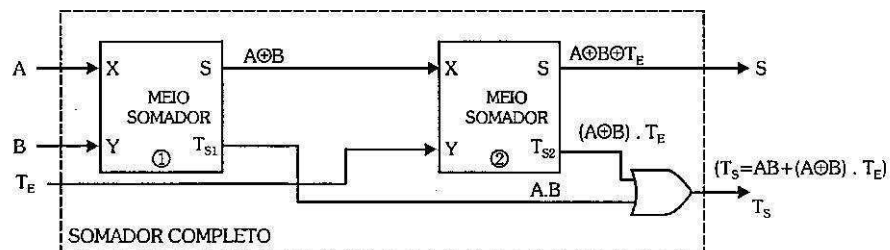


Figura 5.43

5.4.4 Meio Subtrator

Antes de iniciarmos o assunto, vamos relembrar alguns tópicos importantes da subtração de números binários:

$$0 - 0 = 0$$

$$0 - 1 = 1 \text{ e transporta } 1 \text{ ("empresta" } 1)$$

$$1 - 0 = 1$$

$$1 - 1 = 0$$

Vamos montar a tabela da verdade de uma subtração de 2 números binários de 1 algarismo:

A	B	S	Ts	
0	0	0	0	$(0 - 0 = 0 \rightarrow Ts = 0)$
0	1	1	1	$(0 - 1 = 1 \rightarrow Ts = 1)$
1	0	1	0	$(1 - 0 = 1 \rightarrow Ts = 0)$
1	1	0	0	$(1 - 1 = 0 \rightarrow Ts = 0)$

Tabela 5.19

Representando cada número por 1 bit, podemos montar um circuito com as entradas A e B, e como saída, a subtração (S) e o transporte de saída (Ts).

As expressões características do circuito, extraídas da tabela, são:

$$S = A \oplus B$$

$$Ts = \overline{A}B$$

O circuito a partir destas, é visto na figura 5.44.

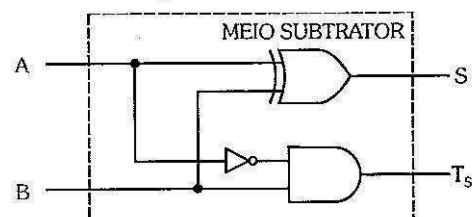


Figura 5.44

Em bloco, o circuito recebe a representação da figura 5.45.

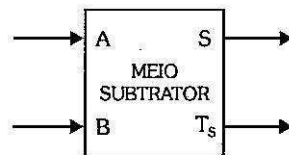


Figura 5.45

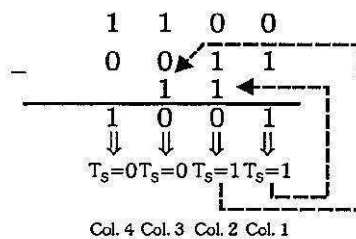
Do inglês, o circuito recebe a denominação **Half Subtractor**.

5.4.5 Subtrator Completo

O Meio Subtrator possibilita-nos efetuar a subtração de números binários de 1 algarismo. Para se fazer uma subtração com números de mais algarismos, este circuito torna-se insuficiente, pois não possibilita a entrada do transporte (T_E), proveniente da coluna anterior.

Para compreendermos melhor, vamos analisar a subtração:

$1100_2 - 11_2$. Assim sendo, temos:



A coluna 1 tem como resultado de saída 1 e apresenta um transporte de saída igual a 1. A coluna 2 tem um transporte de entrada igual a 1 (T_s da coluna anterior), um resultado igual a 0 e um $T_s = 1$. A coluna 3 tem: $T_E = 1$, resultado igual a 0 e $T_s = 0$. A coluna 4 tem: $T_E = 0$, resultado igual a 1 e $T_s = 0$.

Para fazermos a subtração de números binários de mais algarismos, basta subtrairmos coluna a coluna, levando em conta o transporte de entrada, que nada mais é do que o T_s da coluna anterior.

O Subtrator Completo é um circuito que efetua a subtração completa de uma coluna, ou seja, considera o transporte de entrada proveniente da coluna anterior. Vamos, agora, montar a tabela da verdade deste circuito:

A	B	T _E	S	T _S
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Tabela 5.20

As expressões características extraídas da tabela são:

$$S = \bar{A}\bar{B}T_E + \bar{A}B\bar{T}_E + A\bar{B}\bar{T}_E + ABT_E$$

$$T_S = \bar{A}\bar{B}T_E + \bar{A}B\bar{T}_E + A\bar{B}T_E + AB\bar{T}_E$$

Vamos simplificar estas expressões:

S:

	\bar{B}	B	
\bar{A}	0	1	0
A	1	0	1
	\bar{T}_E	T_E	\bar{T}_E

(a) $S = A \oplus B \oplus T_E$

T_S:

	\bar{B}	B	
\bar{A}	0	1	1
A	0	0	1
	\bar{T}_E	T_E	\bar{T}_E

(b) $T_S = \bar{A}B + \bar{A}T_E + BT_E$

Figura 5.46

O circuito derivado das expressões é visto na figura 5.47.

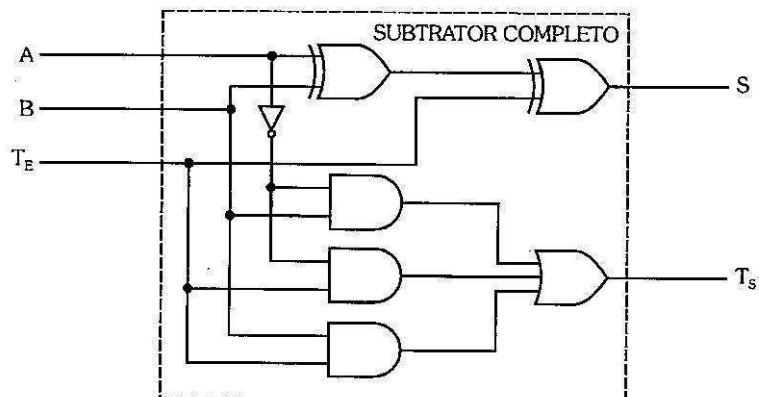


Figura 5.47

Em bloco, recebe a representação da figura 5.48.

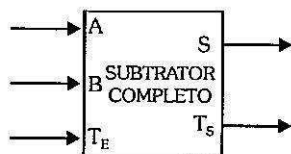


Figura 5.48

A denominação derivada do inglês é **Full Subtractor**.

Da mesma forma, podemos esquematizar um sistema subtrator para 2 números de m bits ($m = n + 1$). A figura 5.49 mostra um sistema subtrator genérico para 2 números de m bits.

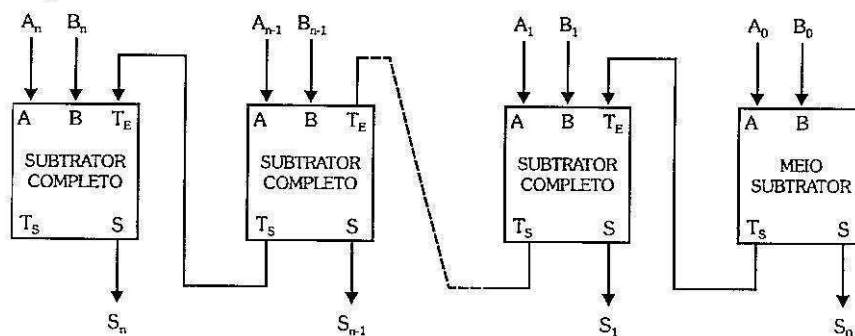


Figura 5.49

Neste sistema, a saída de transporte (T_s) do último bloco torna-se desnecessária se o número $A_n...A_0$ (minuendo) for maior ou igual a $B_n...B_0$.

(subtraendo), porém poderá ser utilizada no caso contrário para sinalizar que o resultado é negativo, estando, então, na notação do complemento de 2.

5.4.6 Subtrator Completo a partir de Meio Subtratores

Podemos construir um Subtrator Completo a partir de 2 Meio Subtratores. Para isso, vamos analisar as expressões de ambos os blocos:

Meio Subtrator:

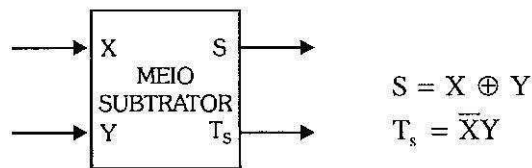


Figura 5.50

Subtrator Completo:

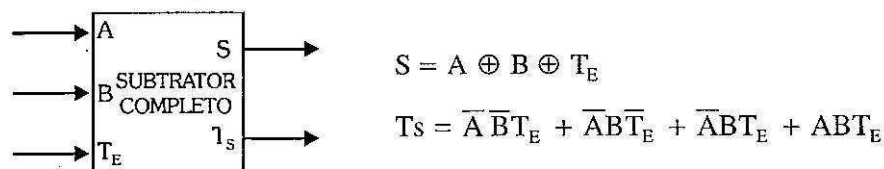


Figura 5.51

Fatorando a expressão de T_s , temos:

$$T_s = T_E (\overline{A} \overline{B} + AB) + \overline{A} B (\overline{T}_E + T_E)$$

$$T_s = T_E (A \odot B) + \overline{A} B \quad \therefore \quad T_s = T_E (\overline{A \oplus B}) + \overline{A} B$$

Ligando A e B nas entradas X e Y do Meio Subtrator 1, temos:

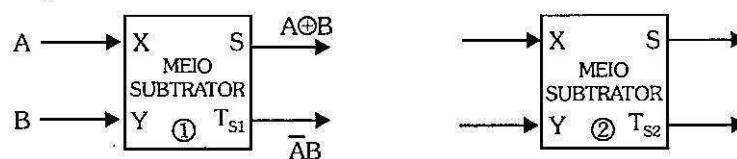


Figura 5.52

Ligando a saída S na entrada X do 2º bloco, e à entrada Y, a variável T_E , temos:

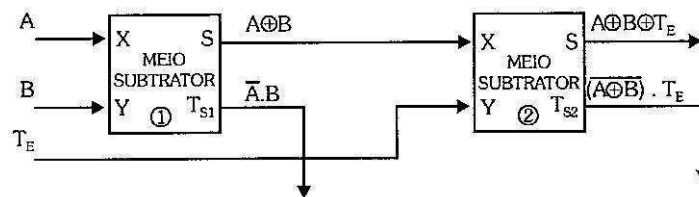


Figura 5.53

Notamos que a saída S do Meio Subtrator 2 apresenta a subtração completa de 2 números.

Analisando as saídas T_{S1} e T_{S2} , notamos que são os termos da expressão de T_s de um Subtrator Completo. Se injetarmos T_{S1} e T_{S2} nas entradas de uma porta OU, teremos na saída o T_s de um Subtrator Completo. O circuito com essa ligação é visto na figura 5.54.

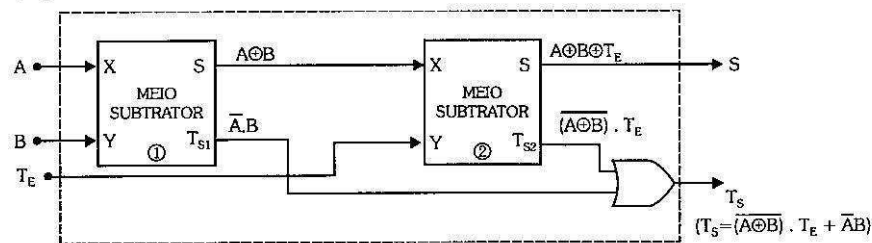


Figura 5.54

5.4.7 Somador/Subtrator Completo

Podemos esquematizar um circuito que efetue as duas operações. Para isso, vamos introduzir uma outra entrada que permanecendo em nível 0, faz o circuito efetuar uma soma completa, e permanecendo em nível 1, faz efetuar uma subtração completa.

Vamos, agora, montar a tabela da verdade do circuito, sendo M a variável de controle ($M = 0 \rightarrow$ soma e $M = 1 \rightarrow$ subtração):

M	A	B	T _E	S	T _S
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

Soma
Completa
(M = 0)

Subtração
Completa
(M = 1)

Tabela 5.21

Vamos simplificar as saídas S e Ts, através dos diagramas de Veitch-Karnaugh:

S:

		\bar{B}	B	
	0	1	0	1
\bar{M}	1	0	1	0
M	1	0	1	0
	0	1	0	1
	\bar{T}_E	T_E	\bar{T}_E	

Figura 5.55

Do diagrama, obtemos:

$$S = \overline{A}\overline{B}\overline{T_E} + \overline{A}B\overline{T_E} + A\overline{B}T_E + AB\overline{T_E}$$

Fatorando a expressão, temos:

$$S = \overline{A}(\overline{B}T_E + B\overline{T_E}) + A(\overline{B}\overline{T_E} + BT_E)$$

$$S = \overline{A}(B \oplus T_E) + A(B \odot T_E)$$

$$S = \overline{A}(B \oplus T_E) + A(\overline{B \oplus T_E})$$

$$\therefore S = A \oplus B \oplus T_E$$

Ts:

	\overline{B}	B			
	0	0	1	0	\overline{A}
\overline{M}	0	1	1	1	A
M	0	0	1	0	
	0	1	1	1	\overline{A}
	$\overline{T_E}$	T_E	$\overline{T_E}$		

Figura 5.56

Do diagrama, obtemos: $Ts = BT_E + \overline{M}AB + \overline{M}AT_E + M\overline{A}B + M\overline{A}T_E$

Fatorando a expressão, temos:

$$Ts = BT_E + B(\overline{M}A + M\overline{A}) + T_E(\overline{M}A + M\overline{A})$$

$$Ts = BT_E + B(M \oplus A) + T_E(M \oplus A)$$

$$Ts = BT_E + (M \oplus A)(B + T_E)$$

Vamos, então, esquematizar o circuito:

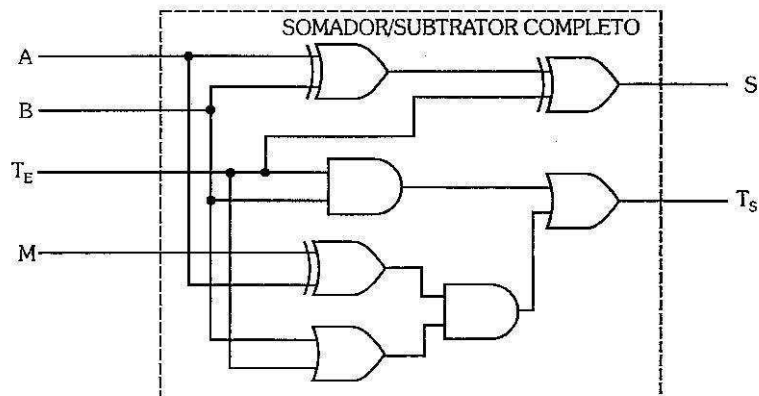


Figura 5.57

A figura 5.58 mostra a representação deste circuito Somador/Subtrator Completo, em bloco:

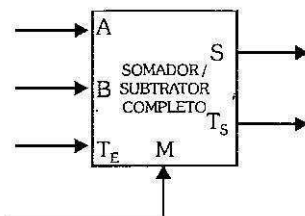


Figura 5.58

5.4.8 Exercícios Resolvidos

- 1 - Desenhe um sistema somador para 2 números de 2 bits apenas com blocos de Somadores Completos.

Para obtermos este sistema, necessitaríamos de um Meio Somador e um Somador Completo. A solução é obtida aplicando nível 0 (terra) à entrada de transporte do (T_E) do somador relativo ao bit menos significativo, transformando-o em Meio Somador, pois esta entrada fica eliminada. A figura 5.59 apresenta este sistema, composto apenas de Somadores Completos.

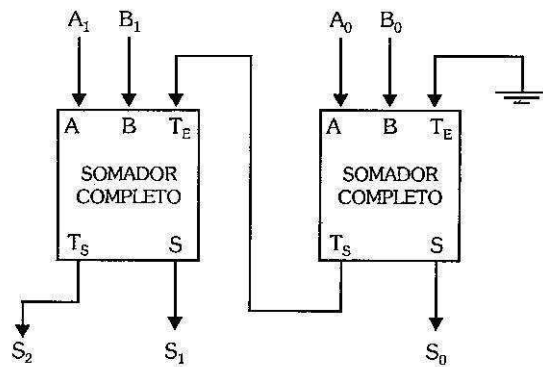


Figura 5.59

- 2 - Desenvolva um circuito com uma entrada de controle M, para fornecer à saída o complemento de 1 de um número binário de 1 bit. ($M = 0 \Rightarrow$ Saída = número de entrada e $M = 1 \Rightarrow$ Saída = complemento de 1).

Para solucionar, vamos levantar a tabela da verdade, considerando a variável de controle M.

M	A	S
0	0	0
0	1	1
1	0	1
1	1	0

{ Saída = número de entrada
 { Saída = complemento de 1

Tabela 5.22

A partir da tabela, obtemos a expressão: $S = \overline{M}A + M\overline{A}$ ou $S = M \oplus A$, sendo o circuito derivado, visto na figura 5.60.

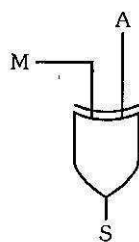


Figura 5.60

Através do circuito, podemos constatar que M igual a 0 a saída é igual ao bit A da entrada ($A = 0 \Rightarrow 0 \oplus 0 = 0$ e $A = 1 \Rightarrow 0 \oplus 1 = 1$), e para M igual a 1 a saída é oposta ($A = 0 \Rightarrow 1 \oplus 0 = 1$ e $A = 1 \Rightarrow 1 \oplus 1 = 0$).

- 3 - Esquematize, em blocos, um sistema subtrator para 2 números com 2 bits.

O sistema proposto irá realizar a subtração do número A_1A_0 com o número B_1B_0 . Assim sendo, temos:

$$\begin{array}{r} A_1 \ A_0 \\ - \ B_1 \ B_0 \\ \hline S_1 \ S_0 \end{array}$$

Para a 1ª coluna da operação, vamos utilizar um Meio Subtrator, pois não há transporte de entrada. Para a 2ª coluna, porém, utilizamos um Subtrator Completo, pois este possui entrada para o bit proveniente da coluna anterior. O circuito, assim esquematizado, é visto na figura 5.61.

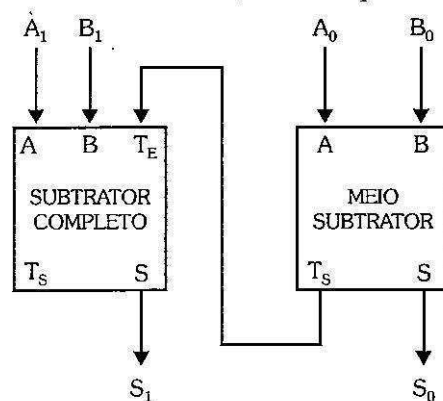
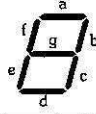


Figura 5.61

5.5 Quadro Resumo

Códigos					
Decimal	BCD 8421	Excesso 3	Gray	2 entre 5	Jonhson
0	0 0 0 0	0 0 1 1	0 0 0 0	0 0 0 1 1	0 0 0 0 0
1	0 0 0 1	0 1 0 0	0 0 0 1	0 0 1 0 1	0 0 0 0 1
2	0 0 1 0	0 1 0 1	0 0 1 1	0 0 1 1 0	0 0 0 1 1
3	0 0 1 1	0 1 1 0	0 0 1 0	0 1 0 0 1	0 0 1 1 1
4	0 1 0 0	0 1 1 1	0 1 1 0	0 1 0 1 0	0 1 1 1 1
5	0 1 0 1	1 0 0 0	0 1 1 1	0 1 1 0 0	1 1 1 1 1
6	0 1 1 0	1 0 0 1	0 1 0 1	1 0 0 0 1	1 1 1 1 0
7	0 1 1 1	1 0 1 0	0 1 0 0	1 0 0 1 0	1 1 1 0 0
8	1 0 0 0	1 0 1 1	1 1 0 0	1 0 1 0 0	1 1 0 0 0
9	1 0 0 1	1 1 0 0	1 1 0 1	1 1 0 0 0	1 0 0 0 0

Display de 7 segmentos		
	catodo comum	Cada segmento acende com 1 aplicado ao respectivo anodo.
	anodo comum	Cada segmento acende com 0 aplicado ao respectivo catodo.




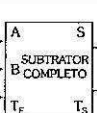
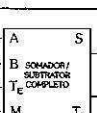
Circuitos Aritméticos		
Meio Somador		$S = A \oplus B$ $T_s = AB$
Meio Subtrator		$S = A \oplus B$ $T_s = \overline{A}B$
Somador Completo		$S = A \oplus B \oplus T_E$ $T_s = AB + (A \oplus B) \cdot T_E$ $T_s = AB + AT_E + BT_E$
Subtrator Completo		$S = A \oplus B \oplus T_E$ $T_s = \overline{A}B + (A \oplus B) \cdot T_E$ $T_s = \overline{A}B + \overline{A}T_E + BT_E$
Somador/Subtrator Completo M = 0 → Somador M = 1 → Subtrator		$S = A \oplus B \oplus T_E$ $T_s = BT_E + (M \oplus A) \cdot (B + T_E)$

Tabela 5.23

5.6 Exercícios Propostos

- 5.6.1** - Elabore um Codificador Decimal/Binário para, a partir de um teclado com chaves numeradas de 0 a 3, fornecer nas saídas o código correspondente. Considere que as entradas das portas em vazio equivalem à aplicação de nível lógico 1.
- 5.6.2** - Projete um circuito combinacional para em um conjunto de 4 fios, fornecer nível 0 em apenas um deles por vez (estando os demais em nível 1), conforme seleção binária aplicada às entradas digitais.
- 5.6.3** - Elabore um decodificador 3 para 8 onde, conforme as combinações entre os 3 fios de entrada, 1 entre os 8 fios de saída é ativado (nível 1).
- 5.6.4** - Desenvolva um circuito que transforme do código BCD 8421 para o código de Johnson.
- 5.6.5** - Projete um decodificador do código Gray para o Excesso 3. Dê apenas as expressões simplificadas.
- 5.6.6** - Projete um decodificador para, a partir de um código binário, escrever a sequência de 1 a 5 em um display de 7 segmentos catodo comum.
- 5.6.7** - Idem ao anterior, para escrever a sequência da figura 5.62 em um display de 7 segmentos anodo comum.

CARACTERE	C	D	P	L	A	Y	E	r
CASO	0	1	2	3	4	5	6	7

Figura 5.62

- 5.6.8** - Monte a tabela e simplifique as expressões do decodificador do código Gray para hexadecimal, visualizado em um display de 7 segmentos catodo comum.
- 5.6.9** - Faça o projeto e desenhe o circuito para, a partir de um código binário, escrever a sequência do sistema hexadecimal em um display de 7 segmentos anodo comum.
- 5.6.10** - Mostre como um bloco Somador Completo pode ser utilizado para efetuar a soma de 3 números de 1 bit.

- 5.6.11** - Esquematize, em blocos, um sistema subtrator para 2 números de 4 bits.
- 5.6.12** - Utilizando o sistema obtido no exercício 5.6.11, faça um estudo e conclua qual o resultado obtido no caso de o minuendo ($A_3 A_2 A_1 A_0$) ser menor que o subtraendo ($B_3 B_2 B_1 B_0$).
- 5.6.13** - Elabore um Meio Somador/ Meio Subtrator ($M = 0 \rightarrow$ Meio Somador e $M = 1 \rightarrow$ Meio Subtrator).
- 5.6.14** - Esquematize, em blocos, um sistema Somador/Subtrator Completo para 2 números de 4 bits.
- 5.6.15** - Estenda o circuito obtido no exercício resolvido nº 2 (item 5.48), para um de 4 bits.
- 5.6.16** - Utilizando blocos de Somadores Completos, elabore um sistema subtrator para 2 números de 2 bits.
- 5.6.17** - Utilizando blocos de Somadores Completos, elabore um sistema para 2 números de 2 bits que faça soma ou subtração, conforme o nível aplicado a uma entrada de controle M ($M = 0 \rightarrow$ soma e $M = 1 \rightarrow$ subtração).