



Bookmarks

- ▶ [Hello! Computer Organization!](#)
- ▶ [基础知识](#)
- ▶ [Logisim](#)
- ▶ [Verilog-HDL与ISE](#)
- ▶ [MIPS指令集及汇编语言](#)
- ▶ [P0-Logisim简单部件与状态机](#)
- ▼ **P1-Verilog简单部件与状态机**

课下测试

P1-Verilog简单部件与状态机 > 课下测试 > Verilog部件设计（三）

Verilog部件设计（三）

☐ Bookmark this page

3、Verilog 实现 EXT

EXT为扩展单元，其主要功能是完成将输入到其中的16位数据进行符号扩展、零扩展以及将输入的16位数加载到高位等操作。具体模块端口定义如下：

信号名	方向	描述
<code>imm[15:0]</code>	I	输入 EXT 内部需要被扩展的 16 位数据。
<code>EOp[1:0]</code>	I	输入数据进行扩展的方式的选择信号。 00：将 <code>imm</code> 进行 符号扩展 到 32 位 01：将 <code>imm</code> 进行 高位零扩展 到 32 位 10：将 <code>imm</code> 加载到高位，低位补 0 11：将 <code>imm</code> 进行符号扩展后左移两位
<code>ext[31:0]</code>	O	进行扩展之后的输出数据。

模块功能定义如下：

序号	功能名称	功能描述
1	符号扩展	将 <code>Input</code> 进行符号扩展到 32 位。
2	零扩展	将 <code>input</code> 进行高位补零扩展到 32 位。
3	加载到高位	将 <code>Input</code> 加载到高位，低位补 0。
4	符号扩展后左移	将 <code>Input</code> 符号扩展后，左移两位。

要求：

- 必须严格按照模块的端口定义
- 文件内模块名: `ext`

Verilog实现EXT

1 point possible (ungraded)

提交入口

 No file chosen

Submit

Discussion

Topic: P1-Verilog简单部件与状态机：Lab0-课下测试 / Verilog部件设计（三）

Show Discussion