



Bookmarks

▶ [Hello! Computer Organization!](#)

▶ [基础知识](#)

▶ [Logisim](#)

▶ [Verilog-HDL与 ISE](#)

▶ [MIPS指令集及汇编语言](#)

▼ [P0-Logisim简单部件与状态机](#)

课下测试

P0-Logisim简单部件与状态机 > 课下测试 > 实现4-bit ALU(P0.L0.Q2)

实现4-bit ALU(P0.L0.Q2)

🔖 Bookmark this page

4-bit ALU

1 point possible (ungraded)

提交要求

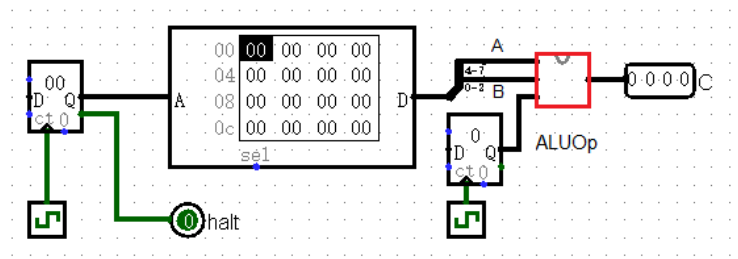
使用Logisim搭建一个四位运算单元ALU并提交。具体模块端口定义如下：


信号名	方向	描述
A[3:0]	I	参与 ALU 计算的第一个值
B[3:0]	I	参与 ALU 计算的第二个值
ALUOp[1:0]	I	ALU 功能的选择信号 00: ALU 进行加法运算 01: ALU 进行减法运算 10: ALU 进行与运算 11: ALU 进行或运算
C[3: 0]	O	ALU 的计算结果

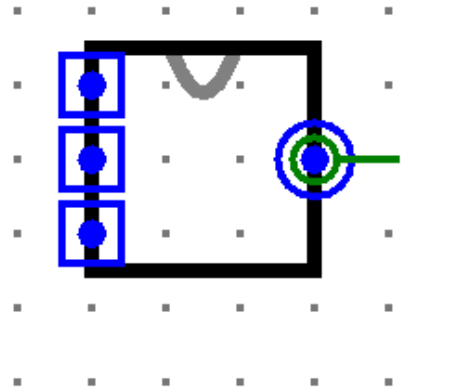
模块功能定义如下：

序号	功能名称	功能描述
1	加运算	$C = A + B$
2	减运算	$C = A - B$
3	与运算	$C = A \& B$
4	或运算	$C = A B$

- 必须严格按照模块的端口定义
- 文件内模块名: alu
- 测试电路: (标红部分为你需要搭建的电路)



- 注意:请保证模块的**appearance**与下图完全一致, 否则有可能造成评测错误(查看模块appearance方法:在 Logisim中打开相应模块后点击左上角  按钮)



提交入口

Choose Files No file chosen

Submit

Discussion

Topic: P0: Lab0 - 课下测试 / 实现4bitALU

Show Discussion