



Bookmarks

- ▶ [Hello! Computer Organization!](#)
- ▶ [基础知识](#)
- ▶ [Logisim](#)
- ▶ [Verilog-HDL与 ISE](#)
- ▶ [MIPS指令集及汇编语言](#)
- ▶ [P0-Logisim简单部件与状态机](#)
- ▼ [P1-Verilog简单部件与状态机](#)

[课下测试](#)

P1-Verilog简单部件与状态机 > 课下测试 > Verilog时序逻辑

Verilog时序逻辑

[Bookmark this page](#)

提交要求

1、前言

在完成了 Verilog 门部件设计的两道编程题之后，相信大家对于使用 Verilog 进行设计的一般流程和方法已经有了初步的认识。现在，我们将进行下一步的挑战——设计包含时序逻辑的 Verilog 部件，这也将是我们从组合逻辑部件到之后的有限自动机的重要过渡。在 ISE 的线上教程中，我们曾设计了一个简易的计数器，今天的任务就是设计一个加强版的计数器——格雷码计数器。如果你对格雷码的定义和优点等知识有所遗忘，这个链接可以帮到你：[格雷码-wikipedia](#)

2、模块规格

我们的格雷码计数器端口定义如下：

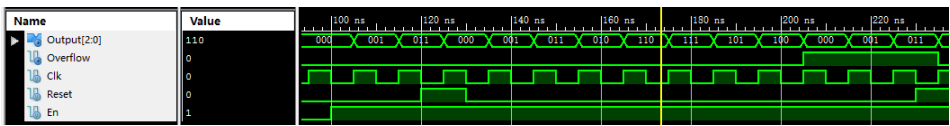
信号名 ^o	方向 ^o	描述 ^o
Clk ^o	I ^o	时钟信号 ^o
Reset ^o	I ^o	同步复位信号 ^o
En ^o	I ^o	使能信号 ^o
Output[2:0] ^o	O ^o	计数器当前值 ^o
Overflow ^o	O ^o	溢出标志位 ^o

我们要实现的功能如下：

- 1、在任意一个时钟上升沿到来的时候，如果复位信号有效，则将计数器清零；
- 2、每个时钟上升沿到来的时候，如果使能信号有效，计数器的值+1；
- 3、在满足1时，即使2的条件满足，也不必执行2；
- 4、计数器初值为0；

5、当计数器的值在+1后出现溢出的情况时，将会回到零，同时从发生溢出的这个时钟上升沿开始，溢出标志位将会持续输出1，直到计数器被清零为止（其余情况下溢出标志位必须为0）。

示范波形：



为了方便大家设计，这里附上3位格雷码的计数方式：

十进制数 ^a	二进制数 ^a	格雷码 ^a
0 ^a	000 ^a	000 ^a
1 ^a	001 ^a	001 ^a
2 ^a	010 ^a	011 ^a
3 ^a	011 ^a	010 ^a
4 ^a	100 ^a	110 ^a
5 ^a	101 ^a	111 ^a
6 ^a	110 ^a	101 ^a
7 ^a	111 ^a	100 ^a

3、要求

- 必须严格按照模块的端口定义
- 文件内模块名: gray

格雷码计数器

1 point possible (ungraded)

提交入口

Choose Files No file chosen

Submit

Discussion

Topic: P1-Verilog简单部件与状态机：Lab0-课下测试 / Verilog时序逻辑

Show Discussion