



Bookmarks

- ▶ [Hello! Computer Organization!](#)
- ▶ [基础知识](#)
- ▶ [Logisim](#)
- ▶ [Verilog-HDL与ISE](#)
- ▶ [MIPS指令集及汇编语言](#)
- ▶ [P0-Logisim简单部件与状态机](#)
- ▼ **[P1-Verilog简单部件与状态机](#)**

课下测试

P1-Verilog简单部件与状态机 > 课下测试 > Verilog部件设计（一）

Verilog部件设计（一）

[Bookmark this page](#)

前言

在这个部分中，我们的目标是完成 **Splitter** 还有 **ALU** 的搭建。相信经过之前的学习，大家对这两个部件已经有了一定的了解。在组合逻辑电路中，这将是相当简单的例子，也希望大家能够从这些简单的例子中，感受到使用 **Verilog** 进行设计的一般流程，并且学会如何测试自己所搭建电路的正确性。在本门课程中，**Debug** 还有测试将会是非常重要的技能，希望大家能在课下努力锻炼这种能力。

1、Verilog 实现 Splitter

使用 **Verilog** 搭建一个32位 **Splitter**，给定一个32位的二进制数作为输入，将其划分为四个8位的二进制数作为输出。

信号名	方向	描述
A [31:0]	I	输入的二进制数
O1[7:0]	O	A 的[31:24]位
O2[7:0]	O	A 的[23:16]位
O3[7:0]	O	A 的[15:8]位
O4[7:0]	O	A 的[7:0]位

要求：

- 必须严格按照模块的端口定义
- 文件内模块名: splitter

Verilog实现Splitter

1.0/1 point (ungraded)

提交入口

[Choose Files](#) No file chosen**Judger Identifier: 10.3.14.39**

Test Case #1: Accepted

Comment: Accepted.

Submit

Discussion

Topic: P1-Verilog简单部件与状态机：Lab0-课下测试 / Verilog部件设计（一）

Show Discussion