**Описание UART интерфейса**

При отсутствии данных для передачи линия находится в состоянии ожидания (IDLE). Для начала передачи на линию выставляется старт-бит (START). После этого на линию выставляются по одному биты слова данных (DATA), начиная с младшего. Количество бит в слове может быть от 5 до 8.

После этого на линию может выставляться бит четности (PARITY). Бит четности рассчитывается на основе бит данных. Три возможных варианта:

* Even - бит равен '1' при нечетном числе единиц в слове данных;
* Odd - бит равен '0' при нечетном числе единиц в слове данных;
* None - бит четности не используется.

Далее на линию должен выставляться один или два стоп-бита (STOP). После окончания передачи линия переходит в состояние ожидания (IDLE). Следующая передача может начаться сразу после предыдущей, без перехода в состояние IDLE.

Таблица 1. Состояние линии и сигналы

|  |  |
| --- | --- |
| **Состояние линии** | **Значение сигналов** |
| IDLE | '1' |
| START | '0' |
| DATA0 | data[0] |
| DATA1 | data[1] |
| … | .. |
| DATAN | data[n] |
| PARITY | рассчитывается |
| STOP | '1' |

Таблица 2. Скорости приема и передачи

|  |  |
| --- | --- |
| **Возможные скорости передачи (бит/с)** | |
| 1200 | 38400 |
| 2400 | 57600 |
| 4800 | 115200 |
| 9600 | 230400 |
| 14400 | 460800 |
| 19200 | 921600 |



Рисунок 1. Возможные временные диаграммы для UART интерфейса

**Описание AXI - Stream интерфейса**

Все изменения сигналов интерфейса осуществляются синхронно с тактовым сигналом ACLK. Сигнал сброса ARESETN является синхронным с активным низким уровнем.

Сигналы TVALID и TREADY с помощью handshake протокола определяют, как будет осуществляться передача данных TDATA и TUSER. Для передачи данных оба сигнал TVALID и TREADY должны быть установлены в '1'. Первым может быть установлен либо TVALID, либо TREADY, либо они оба могут быть установлены на одном и том же такте ACLK.

Master не может ждать установки TREADY перед тем, как установить TVALID. Если TVALID установлен, он должен оставаться установленным до передачи данных по TREADY.

Slave может ждать TVALID перед тем, как установить соответствующий ему TREADY. Если slave установил TREADY, он может его сбросить до установки TVALID.

Таблица 1. Назначение сигналов AXI - Stream

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| ACLK | тактовый сигнал |
| ARESTN | сигнал сброса |
| TDATA | данные для передачи, 8\*N бит |
| TUSER | дополнительные данные для передачи, K бит |
| TVALID | данные для передачи доступны на шине |
| TREADY | приемник готов получить данные |

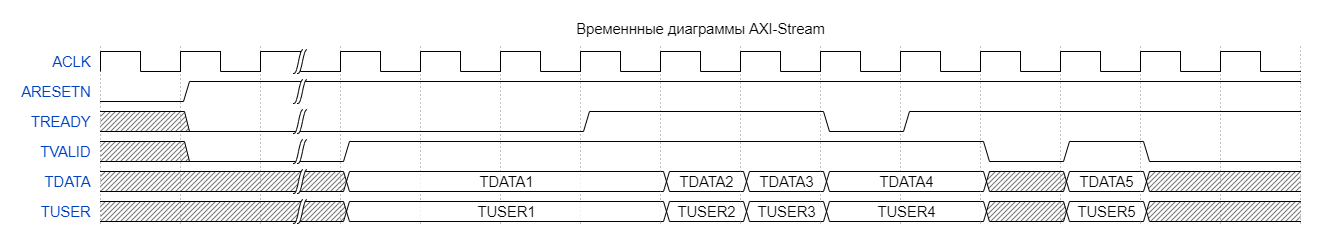


Рисунок 1. Возможная временная диаграмма для AXI-Stream интерфейса

**Описание приемной части IP-ядра**

После сброса сигнала ARESETN приемник находится в состоянии ожидания данных. По спаду сигнала RX приемник устанавливает сигнал RX\_FALLING, инициализирует и стартует счетчики. Максимальное значение счетчика устанавливается половине числа тактов ACLK на период бита (Cycles per Period - CPP), чтобы попасть на середину старт-бита.

Досчитав до CPP/2, счетчик сбрасывается и его максимальное значение устанавливается равным CPP, чтобы попасть на середину бита данных. По окончании счета устанавливается сигнал CLK\_COUNT\_DONE, счетчик сбрасывается и в регистр сдвига записывается первый полученный бит. Счетчик числа принятых бит увеличивается на единицу. Аналогичным образом принимаются остальные биты данных. При приеме последнего бита данных устанавливается сигнал BIT\_COUNT\_DONE.

Если передается бит четности, то он принимается также, как и биты данных. Далее в зависимости от настройки Even или Odd, определяется приняты данные с ошибкой или нет. Результат сохраняется в регистр ошибок.

Далее принимается стоп-бит, если передается второй стоп-бит он также принимается. После этого выдаем полученные данные на выход и переходим в состояние ожидания новых данных.

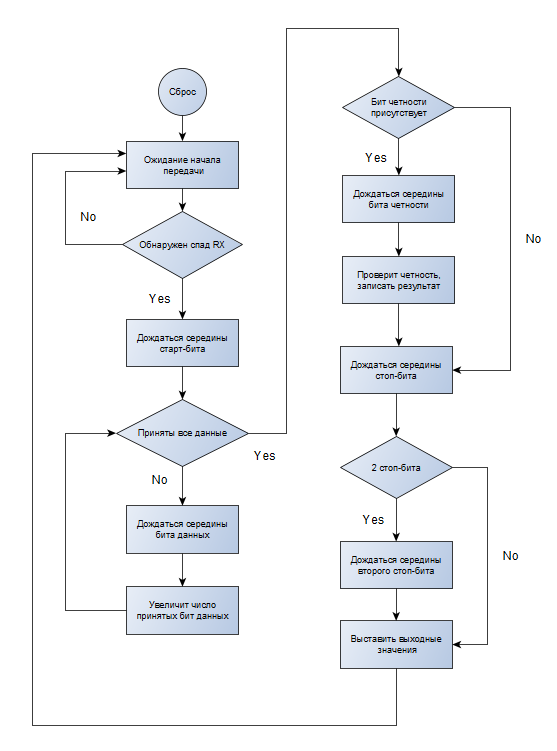
****

Рисунок 1. Блок диаграмма алгоритма приема

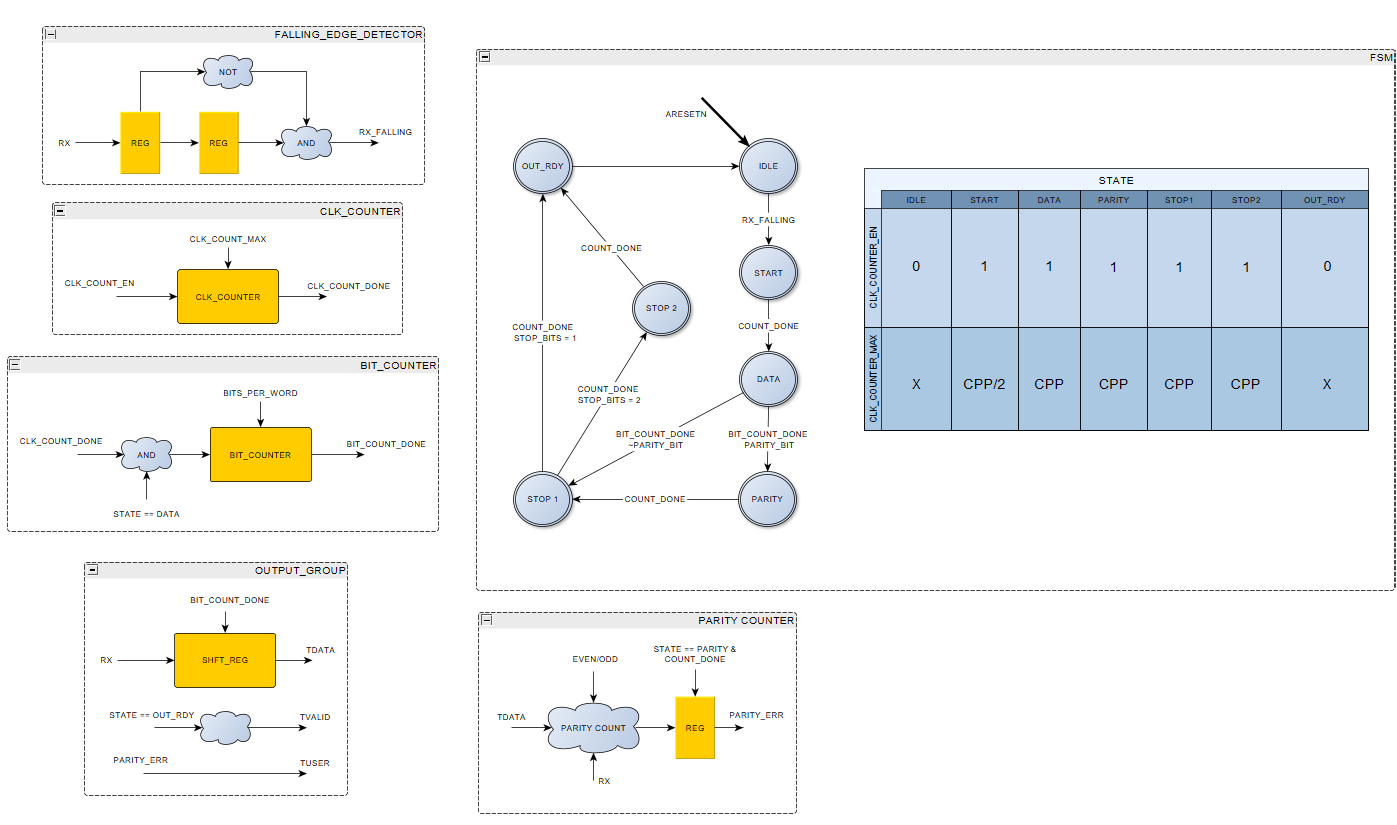


Рисунок 2. Блок схема приемной части ядра

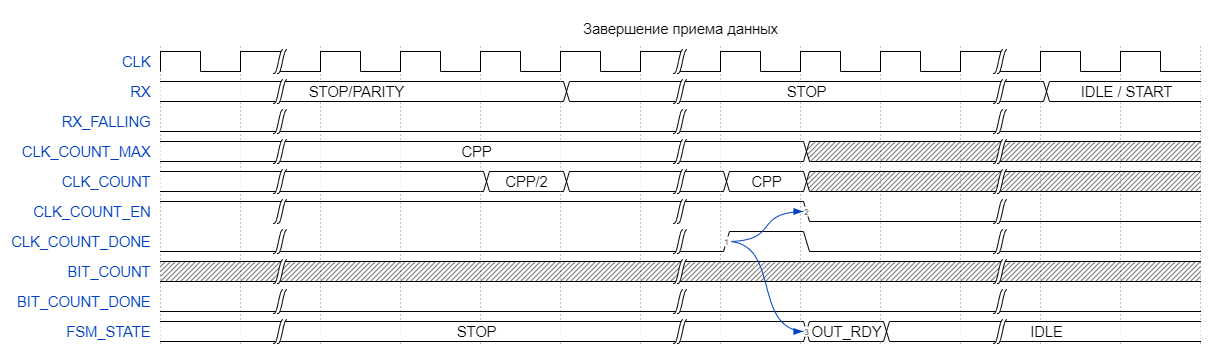
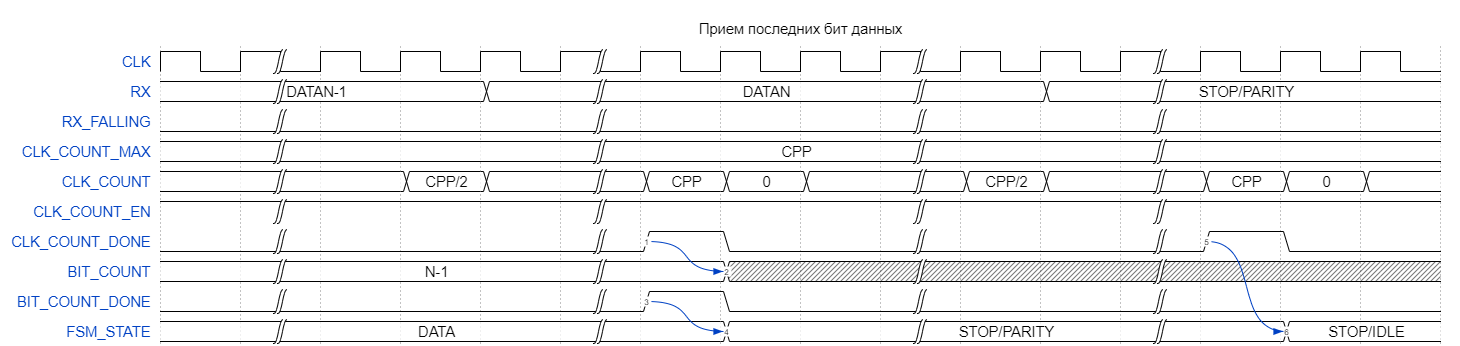
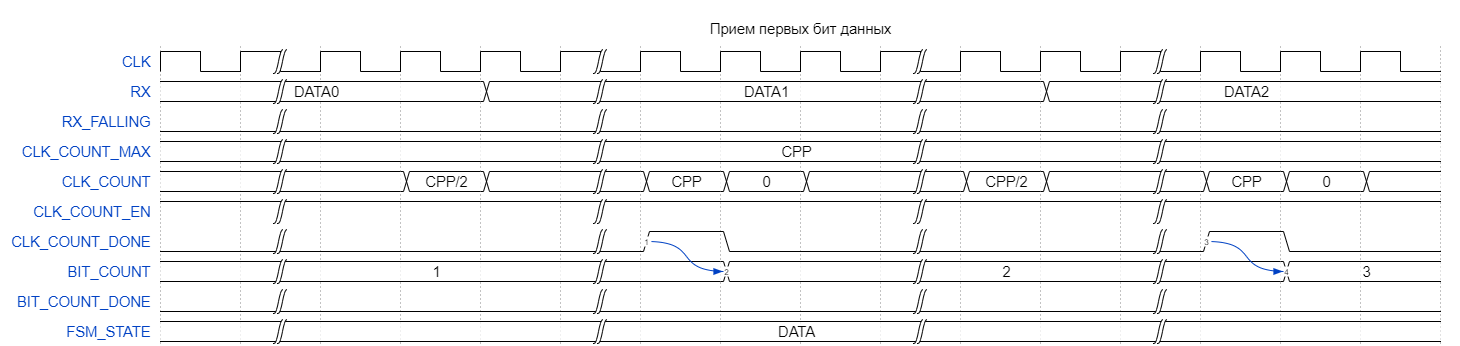
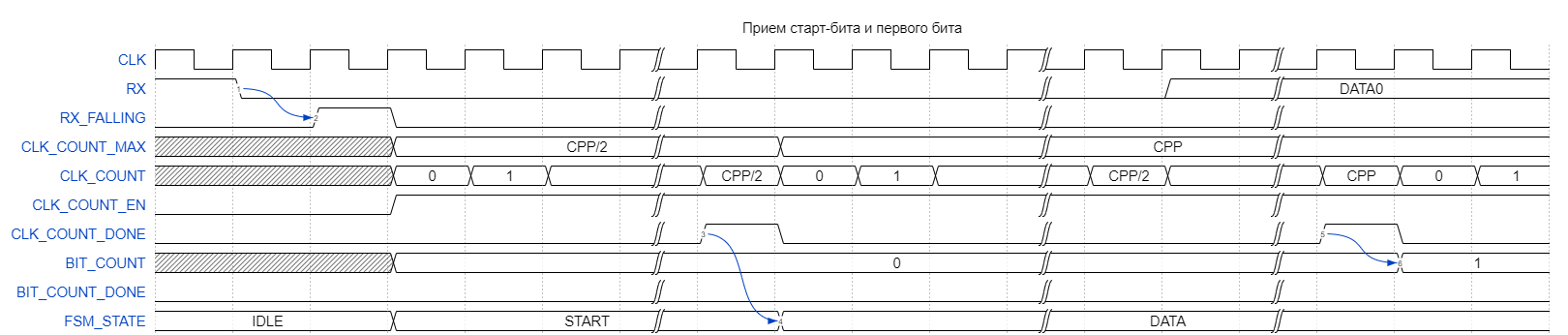


Рисунок 3. Временные диаграммы приемной части ядра

**Описание приемной части IP-ядра**

После сброса сигнала ARESETN приемник находится в состоянии ожидания данных. По спаду сигнала RX приемник устанавливает сигнал RX\_FALLING, инициализирует и стартует счетчики. Максимальное значение счетчика устанавливается половине числа тактов ACLK на период бита (Cycles per Period - CPP), чтобы попасть на середину старт-бита.

Досчитав до CPP/2, счетчик сбрасывается и его максимальное значение устанавливается равным CPP, чтобы попасть на середину бита данных. По окончании счета устанавливается сигнал CLK\_COUNT\_DONE, счетчик сбрасывается и в регистр сдвига записывается первый полученный бит. Счетчик числа принятых бит увеличивается на единицу. Аналогичным образом принимаются остальные биты данных. При приеме последнего бита данных устанавливается сигнал BIT\_COUNT\_DONE.

Если передается бит четности, то он принимается также, как и биты данных. Далее в зависимости от настройки Even или Odd, определяется приняты данные с ошибкой или нет. Результат сохраняется в регистр ошибок.

Далее принимается стоп-бит, если передается второй стоп-бит он также принимается. После этого выдаем полученные данные на выход и переходим в состояние ожидания новых данных.

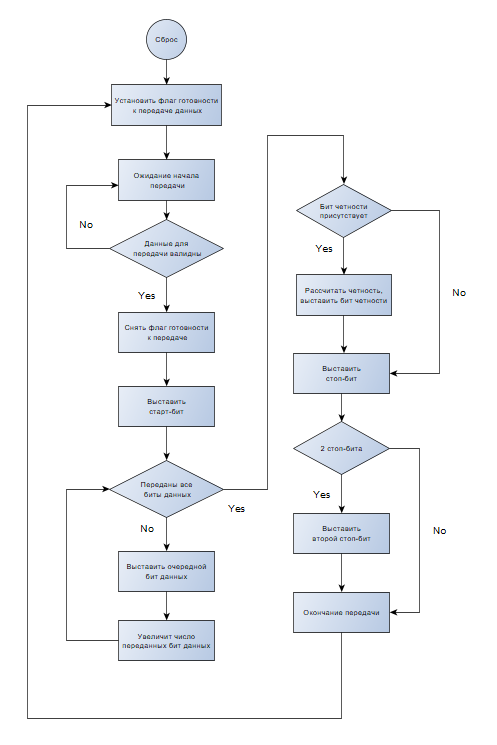
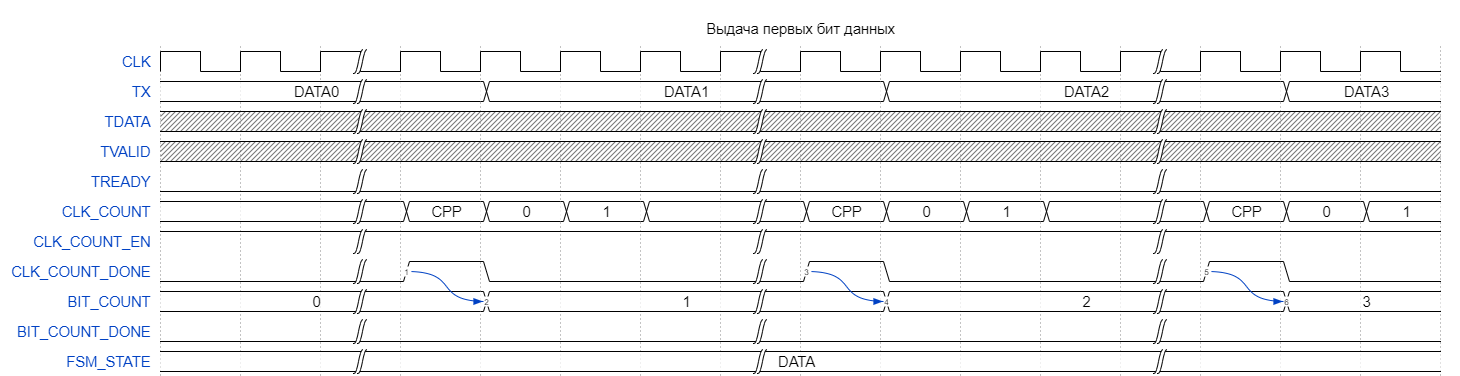
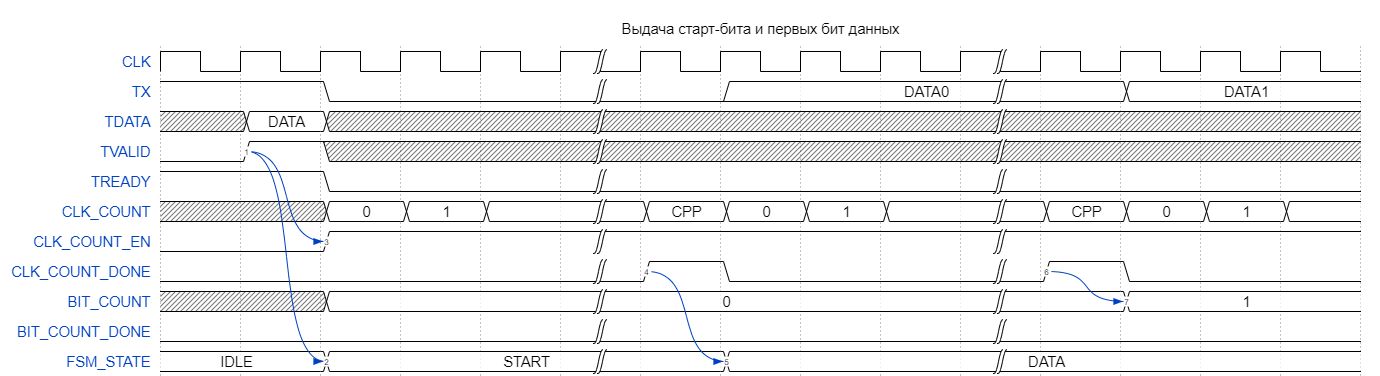
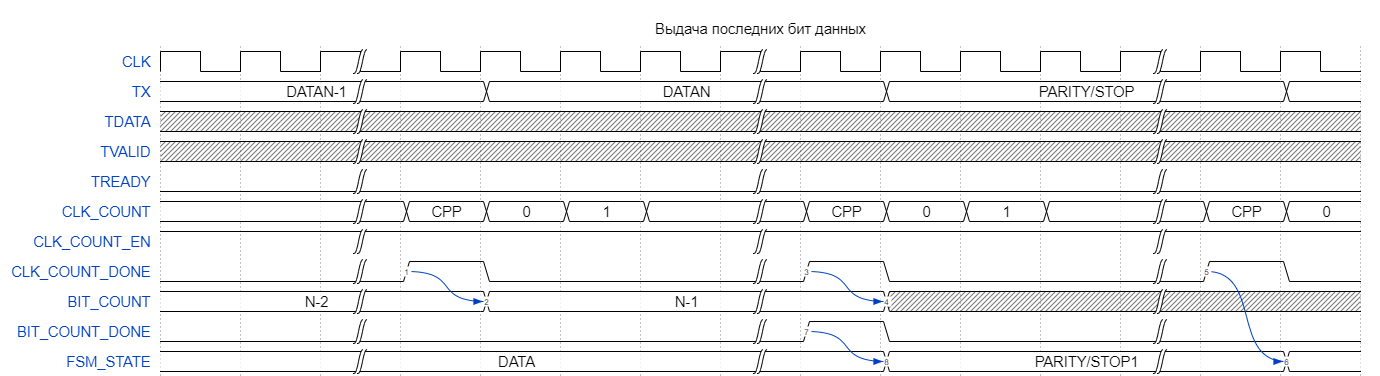


Рисунок 1. Блок диаграмма алгоритма передачи





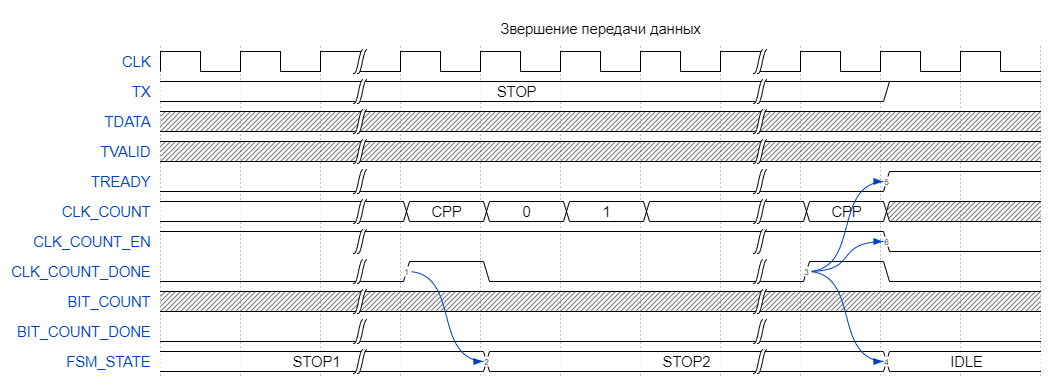


Рисунок 3. Временные диаграммы передающей части ядра