**IP ядро**

**FIFO на основе DDR памяти**

**c MIG Native Interface**

**Оглавление**

[**1.** **Описание IP ядра** 3](#_Toc60474484)

[**2.** **Описание UART интерфейса** 5](#_Toc60474485)

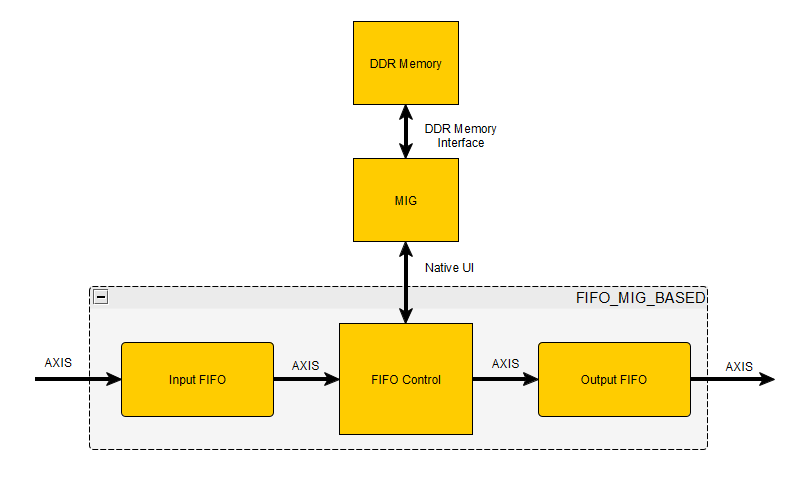
[**3.** **Описание AXI-Stream интерфейса** 7](#_Toc60474486)

[**4.** **Описание приемной части IP-ядра** 9](#_Toc60474487)

[**5.** **Описание передающей части IP-ядра** 14](#_Toc60474488)

# **Описание IP ядра**

Ядро состоит из трех частей: входного fifo, блока работы с памятью и выходного fifo. Блок работы с памятью постоянно проверяет наличие данные во входном fifo. Если данные присутствуют и в памяти есть место, то данные считываются из fifo и переносятся в память. Блок управления памятью также постоянно проверяет наличие свободного места в выходном fifo. Если fifo не полное и в памяти есть данные, они переносятся из памяти в fifo. Блок управления памятью отвечает за работу с MIG IP, формирование адресов чтения и записи и подсчет числа слов в памяти. Внешний вид ядра представлен на рис. 1.1, блок схема на рис. 1.2, в табл. 1.1 описаны входные и выходные порты.



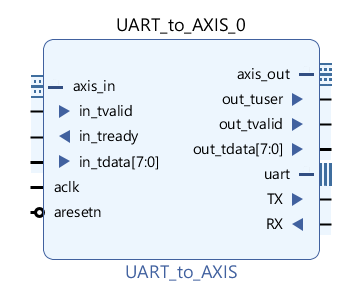


Рис. 1.1 Внешний вид IP ядра

Таблица 1.1 Назначение портов IP ядра

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| in\_tdata | данные для записи в FIFO |
| in\_tvalid | данные для записи установлены на шине in\_tdata |
| in\_tready | ядро готово получить новые данные |
| out\_tdata | выходные данные FIFO |
| out\_tvalid | данные на шинах out\_tdata установлены |
| out\_tready | ядро, следующее за FIFO готово принять данные |
| init\_calib | инициализация памяти завершена |
| app\_\* | сигналы MIG Native Interface (см. UG586 стр. 92) |

Ядро является конфигурируемым. На рис. 1.2 представлено окно настроек, в табл. 1.2 представлено описание настраиваемых параметров.

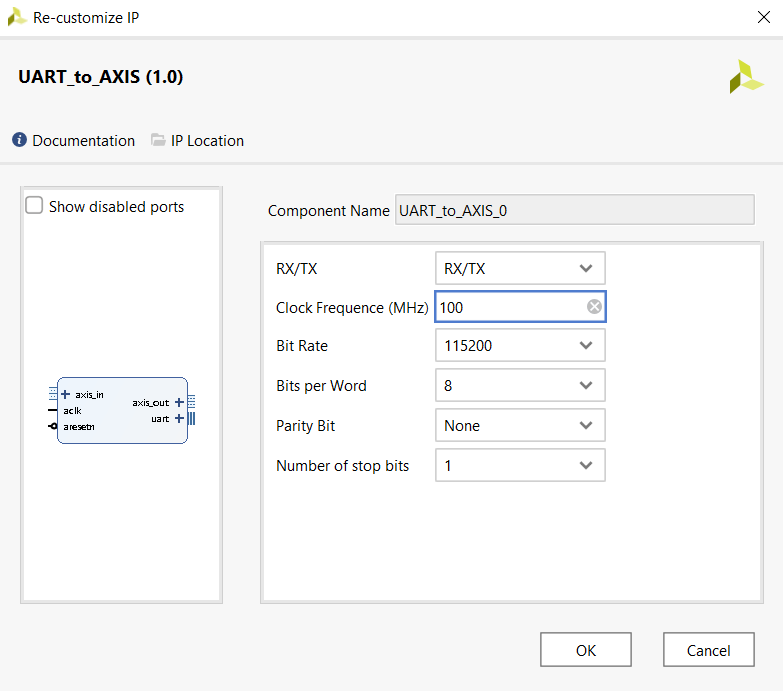
****

Рис. 1.2 Окно настроек IP ядра

Таблица 1.2 Описание настраиваемых параметров

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| RX/TX | использовать, только RX часть ядра, только TX часть или обе части |
| Clock Frequency (MHz) | тактовая частота сигнала aclk в мегагерцах |
| Bit Rate | скорость UART интерфейса |
| Bits per Word | число бит данных в одном слове UART |
| Parity Bit | настройка бита четности в UART интерфейсе |
| Number of  stop bits | количество стоп-бит в UART интерфейсе |

# **Описание AXI-Stream интерфейса**

Все изменения сигналов интерфейса осуществляются синхронно с тактовым сигналом ACLK. Сигнал сброса ARESETN является синхронным с активным низким уровнем.

Сигналы TVALID и TREADY с помощью handshake протокола определяют, как будет осуществляться передача данных TDATA и TUSER. Для передачи данных оба сигнал TVALID и TREADY должны быть установлены в '1'. Первым может быть установлен либо TVALID, либо TREADY, либо они оба могут быть установлены на одном и том же такте ACLK.

Master не может ждать установки TREADY перед тем, как установить TVALID. Если TVALID установлен, он должен оставаться установленным до передачи данных по TREADY.

Slave может ждать TVALID перед тем, как установить соответствующий ему TREADY. Если slave установил TREADY, он может его сбросить до установки TVALID.

Таблица 2.1 Назначение сигналов AXI - Stream

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| ACLK | тактовый сигнал |
| ARESTN | сигнал сброса |
| TDATA | данные для передачи, 8\*N бит |
| TVALID | данные для передачи доступны на шине |
| TREADY | приемник готов получить данные |

# **Описание алгоритма блока управления памятью**

После сигнала выхода из состояния сброса блок ожидает окончания инициализации DDR памяти. На окончание инициализации указывает входной INIT\_CALIB. Далее блок переходит в режим постоянной проверки данных доступных для записи в память и считывания из памяти.

Если во входном FIFO, есть данные и в памяти есть место, то блок переходит в режим записи данных. Число записываемых слов определяется, как наименьшее из числа слов в FIFO, числа доступных мест в памяти и максимального числа записываемых за раз слов (MAX\_BURST\_LEN).

Если память готова принять слово данных, то данные считываются из FIFO, передаются в память и число слов для записи уменьшается. Иначе блок ожидает готовности памяти для записи слова данных.

Параллельно с этим блок записывает команды на запись. Команда может быть записана, если память готова ее принять и число оставшихся команда меньше числа оставшихся слов для записи. Запись команды только после записи слова данных не необходима, но есть ограничение на задержку записи данных после записи команды. Чтобы не гарантировать это требование команда всегда записывается после данных. Если память не готова принять команду, блок ожидает ее готовности. После записи команды уменьшается число записываемых команд и обновляется адрес записи.

После записи всех команд блок переходит в состояние задержки после записи. Входное FIIFO имеет выход, указывающий количество слов внутри него. Данный выход обновляется с задержкой в несколько тактов. Чтобы следующий цикл записи получил правильное число доступных слов в FIFO вводится задержка после цикла записи.

После задержки блок переходит к проверке возможности считывания из памяти.

Если в выходном FIFO есть свободное место и в памяти есть записанные слова, то блок переходит в состояние считывания данных из памяти. Число считываемых слов определяется, как наименьшее из числа доступных мест в выходном FIFO, числа слов в памяти и максимального числа считываемых за раз слов (MAX\_BURST\_LEN).

Если память не готова принять команду на считывание, блок ожидает ее готовности. После записи команды уменьшается число записываемых команд и обновляется адрес считывания.

Параллельно с некоторой задержкой память возвращает считанные данные, которые записываются в выходное FIFO. FIFO всегда готово принять данные, так как было проверено, что в нем есть свободные места.

После считывания всех слов блок переходит в состояние задержки после считывания. Выходное FIIFO имеет выход, указывающий количество слов внутри него. Данный выход обновляется с задержкой в несколько тактов. Чтобы следующий цикл считывания получил правильное число доступных мест в FIFO вводится задержка после цикла записи.

После задержки блок переходит к проверке возможности записи в память.

Блок схема алгоритма представлена на рис. 3.1.

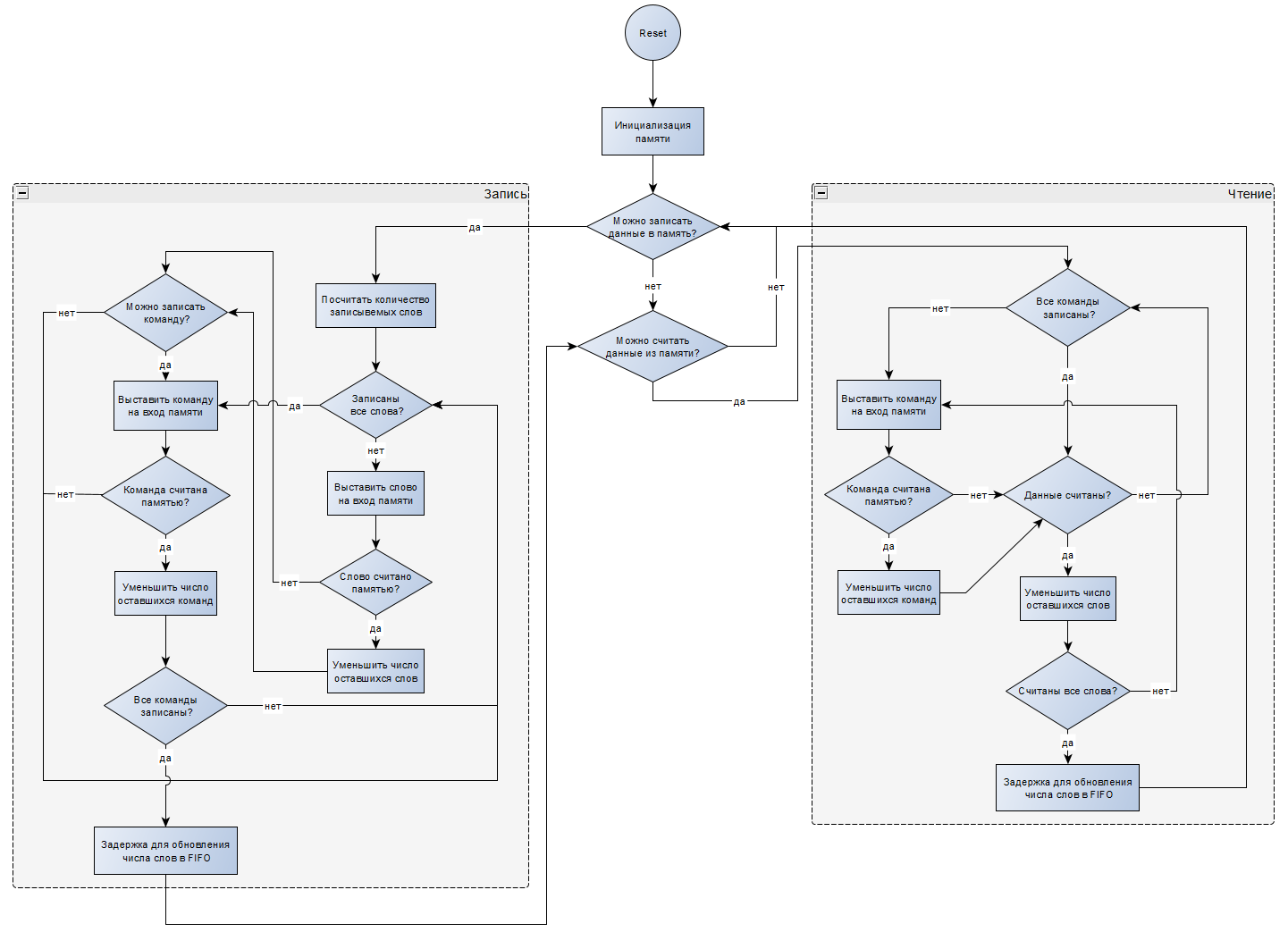


Рисунок 3.1 Блок схема алгоритма

1. **Описание временных диаграмм и блок схемы блока управления памятью**

**Состояния автомата.**

|  |  |
| --- | --- |
| Состояние | Назначение |
| INIT | ожидание конца инициализации |
| CHECK\_WR | проверка возможности записи в память |
| CHECK\_RD | проверка возможности считывания из памяти |
| WRITE | запись в память |
| READ | считывание из памяти |
| DELAY\_WR | задержка после записи |
| DELAY\_RD | задержка после считывания |

**Старт работы блока (рис. 4.1).**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| ARESETN | сигнал сброса с синхронным активным низким уровнем |
| INIT\_CALIB | сигнал завершения калибровки от памяти |
| INFIFO\_TREADY | готовность принять из входного FIFO |
| OUTFIFO\_TVALID | запись данных в выходное FIFO |
| APP\_EN | запись команды в память |
| APP\_WDF\_WREN | запись данных в память |
| IN\_WR\_COUNT | число слов во входном FIFO |
| OUT\_RD\_COUNT | число слов во выходном FIFO |

В всех состояниях кроме WRITE и READ сигналы INFIFO\_TREADY, OUTFIFO\_TVALID, APP\_EN и APP\_WDF\_WREN имеют неактивные значения. После сброса и инициализации памяти проверяем возможность записи или считывания и, если проверка успешна, переходим в состояние WRITE или READ.

**Начало цикла записи (x4) (рис. 4.2).**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| WR\_COUNT | количество записываемых слов |
| APP\_WDF\_RDY | память готова принять данные |
| APP\_WDF\_END | конец слова данных (используется в x2) |
| MEM\_WR\_COUNT | число свободных мест в памяти |
| MEM\_RD\_COUNT | число слова в памяти |

Если память не готова принять данные (APP\_WDF\_RDY = 0), то INFIFO\_TREADY = 0, счетчики не обновляются и блок ничего не делает. Если остается одно слово для записи, на следующем такте IN\_TREADY и APP\_WDF\_WREN сбрасываются. WR\_CNT – меньшее из MEM\_WR\_COUNT, IN\_WR\_COUNT и MAX\_BURST\_LEN.

**Начало цикла записи (x2) (рис. 4.3).**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| WR\_COUNT | количество записываемых слов |
| IN\_TREADY | считать данные из FIFO |
| APP\_WDF\_RDY | память готова принять данные |
| APP\_WDF\_END | конец слова данных (используется в x2) |
| MEM\_WR\_COUNT | число свободных мест в памяти |
| MEM\_RD\_COUNT | число слова в памяти |

Если память не готова принять данные (APP\_WDF\_RDY = 0), то INFIFO\_TREADY = 0, счетчики не обновляются и блок ничего не делает. В память APP\_WDF\_DATA данные выдаются полусловами, сначала старшие, потом младшие. При записи младшего полуслова выставляется сигналы APP\_WDF\_END и IN\_TREADY и обновляются счетчики числа слов. Если остается одно слово для записи и выстелен IN\_TREADY, на следующем такте APP\_WDF\_WREN сбрасывается. WR\_CNT – меньшее из MEM\_WR\_COUNT, IN\_WR\_COUNT и MAX\_BURST\_LEN.

**Выдача команд на запись (рис. 4.4).**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| APP\_ RDY | память готова принять команду |
| WR\_COUNT | количество записываемых слов |
| WR\_ADD\_COUNTER | количество записываемых команд |
| WR\_DELAY\_COUNTER | счетчик тактов задержки после записи |
| MEM\_WR\_ADDR | адрес записи |

Если память не готова принять команду (APP\_RDY = 0), счетчики не обновляются и блок ничего не делает. Сигнал записи команды APP\_EN устанавливается только, если WR\_COUNT < WR\_ADD\_COUNTER, то есть слов данных загружено больше, чем команд. После загрузки команды адрес увеличивается на восемь, так как в DDR память MIG загружает слово, как последовательность из 8 слов меньшего размера. На вход APP\_ADDR устанавливается текущий адрес записи. Если остается одна команда для записи, на следующем такте APP\_EN сбрасывается. Блок переходит в состояние задержки после записи.

**Окончание цикла записи (рис. 4.5).**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| INFIFO\_TREADY | готовность принять из входного FIFO |
| OUTFIFO\_TVALID | запись данных в выходное FIFO |
| APP\_EN | запись команды в память |
| APP\_WDF\_WREN | запись данных в память |
| WR\_DELAY\_COUNTER | счетчик тактов задержки после записи |

Сигналы INFIFO\_TREADY, OUTFIFO\_TVALID, APP\_EN и APP\_WDF\_WREN имеют неактивные значения. После задержки в DEL\_VAL тактов блок переходит в состояние проверки возможности считывания CHECK\_RD.

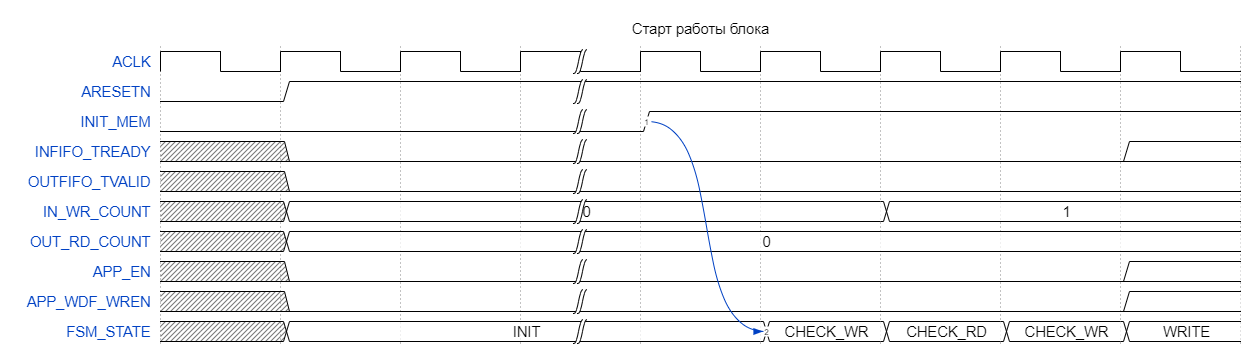


Рис. 4.1 Временная диаграмма старта работы блока



Рис. 4.2 Временная диаграмма начала записи (x4)

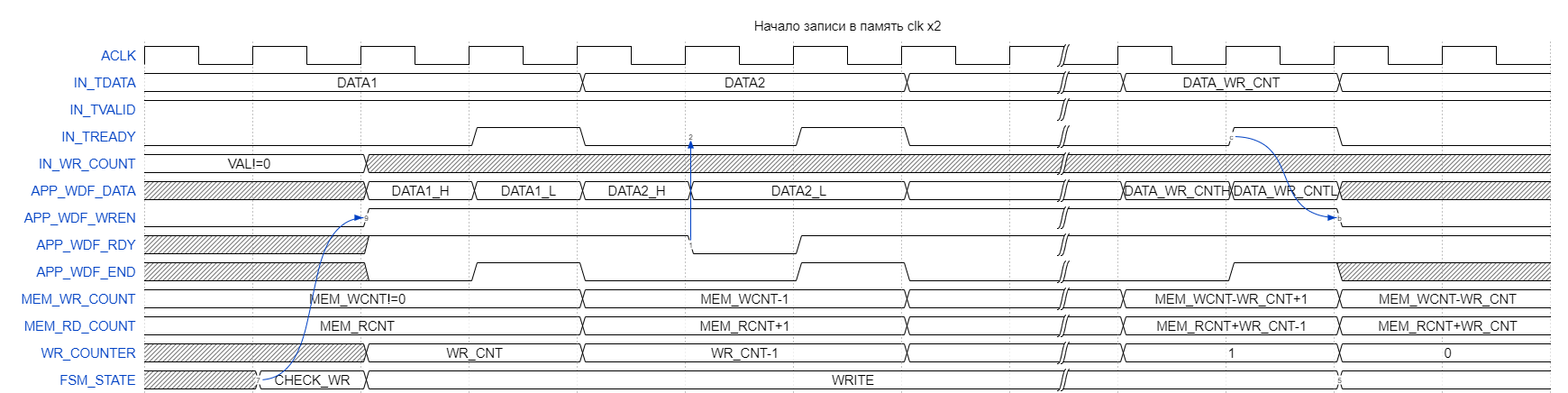


Рис. 4.3 Временная диаграмма начала записи (x2)

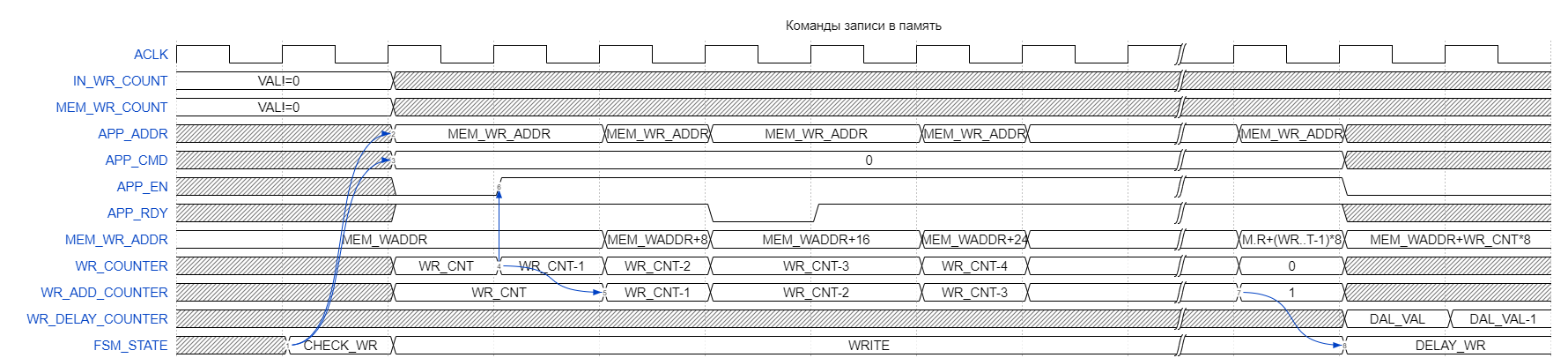


Рис. 4.4 Временная диаграмма начала записи

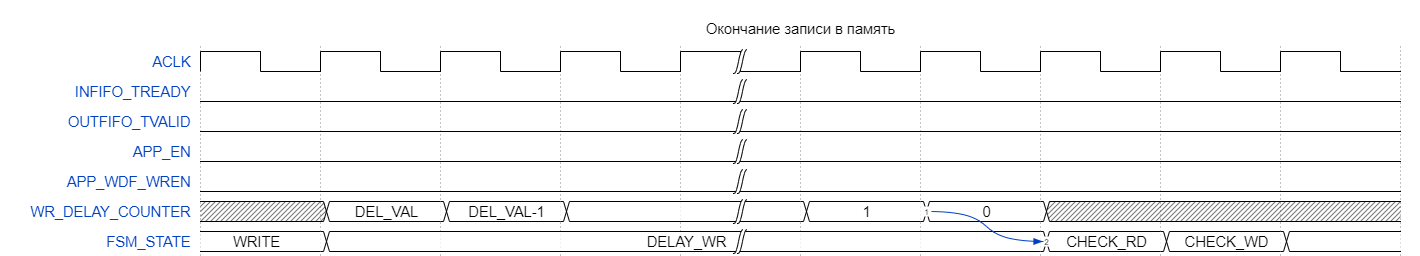


Рис. 4.5 Временная диаграмма окончания записи