

ІР ядро
FIFO на основі DDR пам'яті
с MIG AXI4 Interface

Оглавление

1. Описание IP ядра.....	3
2. Описание алгоритма блока управления памятью.....	6
3. Описание временных диаграмм блока управления памятью.....	9
3.1. Старт работы блока	9
3.2. Канал WRITE DATA	10
3.3. Канал WRITE ADDRESS Вариант 1.....	11
3.4. Канал WRITE ADDRESS Вариант 2.....	12
3.5. Канал WRITE RESPONSE	13
3.6. Канал READ ADDRESS.....	14
3.7. Канал READ DATA.....	15
3.8. Окончание цикла считывания	16
4. Внутреннее устройство блока управления памятью.....	17

1. Описание IP ядра

Ядро состоит из трех частей: входного FIFO, блока работы с памятью и выходного FIFO. Блок работы с памятью постоянно проверяет наличие данных во входном FIFO. Если данные присутствуют и в памяти есть место, то данные считываются из FIFO и переносятся в память. Блок управления памятью также постоянно проверяет наличие свободного места в выходном FIFO. Если выходное FIFO не полное и в памяти есть данные, они переносятся из памяти в FIFO. Блок управления памятью отвечает за работу с MIG IP, формирование адресов чтения и записи и подсчет числа слов в памяти. Внешний вид ядра представлен на рис. 1.1, блок схема на рис. 1.2, в табл. 1.1 описаны входные и выходные порты.

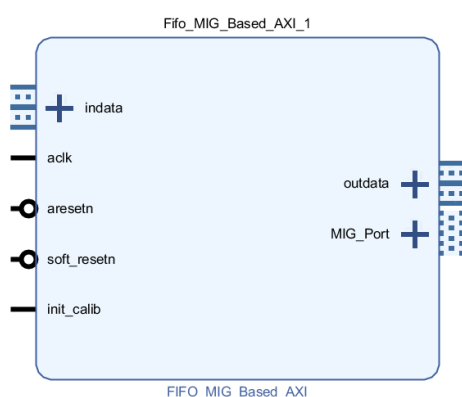


Рис. 1.1 Внешний вид IP ядра

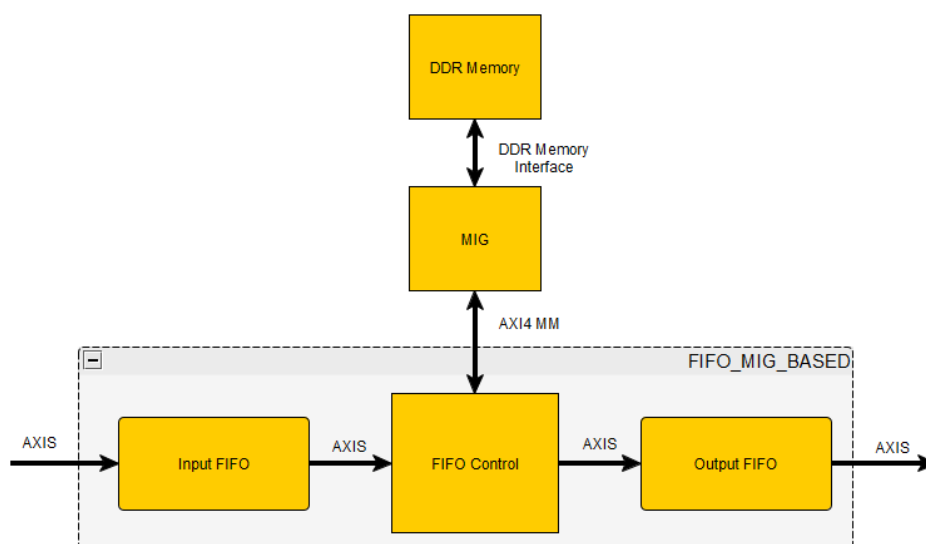


Рис. 1.2 Блок схема ядра

Таблица 1.1 Назначение портов IP ядра

Название	Назначение
aclk	тактовый сигнал
aresetn	синхронный сигнал сброса, активный низкий уровень
soft_resetn	синхронный сигнал сброса после завершения транзакции AXI ММ, активный низкий уровень
indata_tdata	данные для записи в FIFO
indata_tvalid	данные для записи установлены на шине indata_tdata
indata_tready	ядро готово получить новые данные
outdata_tdata	выходные данные FIFO
outdata_tvalid	данные на шинах outdata_tdata установлены
outdata_tready	ядро, следующее за FIFO готово принять данные
init_calib	инициализация памяти завершена
m_axi_*	сигналы AXI4 Memory Map интерфейса для MIG

Ядро является конфигурируемым. На рис. 1.2 представлено окно настроек, в табл. 1.2 представлено описание настраиваемых параметров. В табл. 1.3 представлено описание состояний конечного автомата блока FIFO Control.

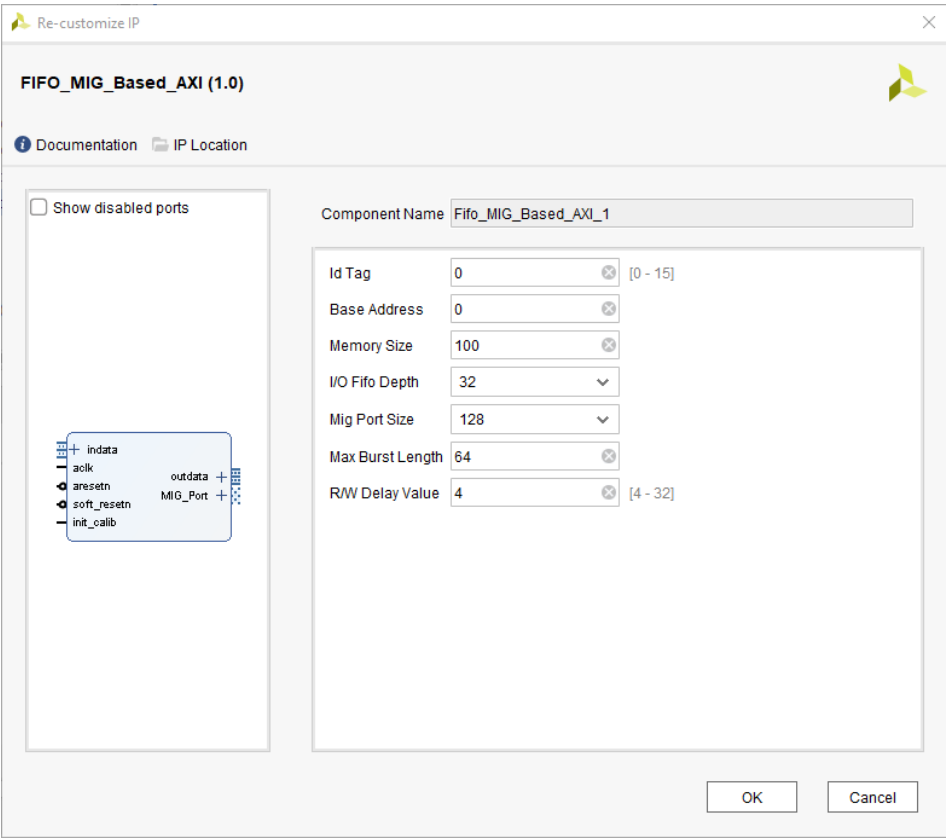


Рис. 1.2 Окно настроек IP ядра

Таблица 1.2 Описание настраиваемых параметров

Название	Назначение
Max Burst Len	максимальная длина пачки слов за один цикл записи или считывания
RW Delay Value	задержка после цикла чтения или записи в тактах aclk
Base Address	начальный адрес памяти в байтах (выровнен по длине слова)
Memory Size	максимальное количество слов (WDATA, RDATA) в памяти
MIG Data Port Size	размер портов WDATA и RDATA ядра MIG (размер слова)
ID_tag	ID потока записи или считывания
IO FIFO Depth	глубина входного и выходного FIFO

От этих параметров зависят внутренние константы блока:

- Число байт в слове памяти:

$$\text{Bytes in Word} = \text{MIG Data Port Size} / 8$$
- Максимальный адрес:

$$\text{MAX_ADDR} = \text{Base Address} + (\text{Memory Size} - 1) * \text{MIG Data Port Size} / 8$$
- Общая глубина ядра в словах:

$$\text{Total Depth} = \text{Memory Size} + 2 * \text{IO FIFO Depth}$$

Таблица 1.3 Описание состояний автомата

Состояние	Назначение
INIT	ожидание конца инициализации
CHECK_WR	проверка возможности записи в память
CHECK_RD	проверка возможности считывания из памяти
WR	запись в память, AWREADY не был установлен
WR_AW	запись в память, AWREADY был установлен
WR_LAST	запись в память последнего слова, AWREADY был установлен
WR_LAST_AW	запись в память последнего слова, AWREADY не был установлен
WAIT_AW	запись в память закончена, AWREADY не был установлен
WAIT_RESP	ожидание ответа о завершении записи
RD_AR	установка ARVALID и ожидание ARREADY
RD	считывание из памяти
DELAY_WR	задержка после записи
DELAY_RD	задержка после считывания

2. Описание алгоритма блока управления памятью

После сигнала выхода из состояния сброса блок ожидает окончания инициализации DDR памяти. На окончание инициализации указывает входной `INIT_CALIB`. Далее блок переходит в режим постоянной проверки данных, доступных для записи в память и считывания из памяти.

Если во входном FIFO, есть данные и в памяти есть место, то блок переходит в режим записи данных. Число записываемых слов определяется, как наименьшее из числа слов в FIFO, числа адресов от адреса записи до максимального адреса, числа доступных мест в памяти и максимального числа записываемых за раз слов (`MAX_BURST_LEN`).

В канал адреса записи выставляется адрес и число записываемых слов. Данные параметры держатся в канале пока память их не считывает. Параллельно с этим, если память готова принять слово данных, то данные считываются из FIFO, передаются в память и число слов для записи уменьшается. Иначе блок ожидает готовности памяти для записи слова данных. Когда остается последнее слово для записи выставляется сигнал `WLAST`.

После записи всех данных и адреса блок переходит в состояние задержки после записи. Входное FIFO имеет выход, указывающий количество слов внутри него. Данный выход обновляется с задержкой в несколько тактов. Чтобы следующий цикл записи получил правильное число доступных слов в FIFO вводится задержка после цикла записи.

После задержки блок переходит к проверке возможности считывания из памяти.

Если в выходном FIFO есть свободное место и в памяти есть записанные слова, то блок переходит в состояние считывания данных из памяти. Число считываемых слов определяется, как наименьшее из числа доступных мест в выходном FIFO, числа адресов от адреса чтения до максимального адреса, числа слов в памяти и максимального числа считываемых за раз слов (`MAX_BURST_LEN`).

В канал адреса считывания выставляется адрес и число считываемых слов. Данные параметры держатся в канале пока память их не считает. После этого с некоторой задержкой память возвращает считанные данные, которые записываются в выходное FIFO. FIFO всегда готово принять данные, так как было проверено, что в нем есть свободное место. Последнее считываемое слово обозначается сигналом RLAST.

После считывания всех слов блок переходит в состояние задержки после считывания. Выходное FIFO имеет выход, указывающий количество слов внутри него. Данный выход обновляется с задержкой в несколько тактов. Чтобы следующий цикл считывания получил правильное число доступных мест в FIFO вводится задержка после цикла записи.

После задержки блок переходит к проверке возможности записи в память. Блок схема алгоритма представлена на рис. 2.1.

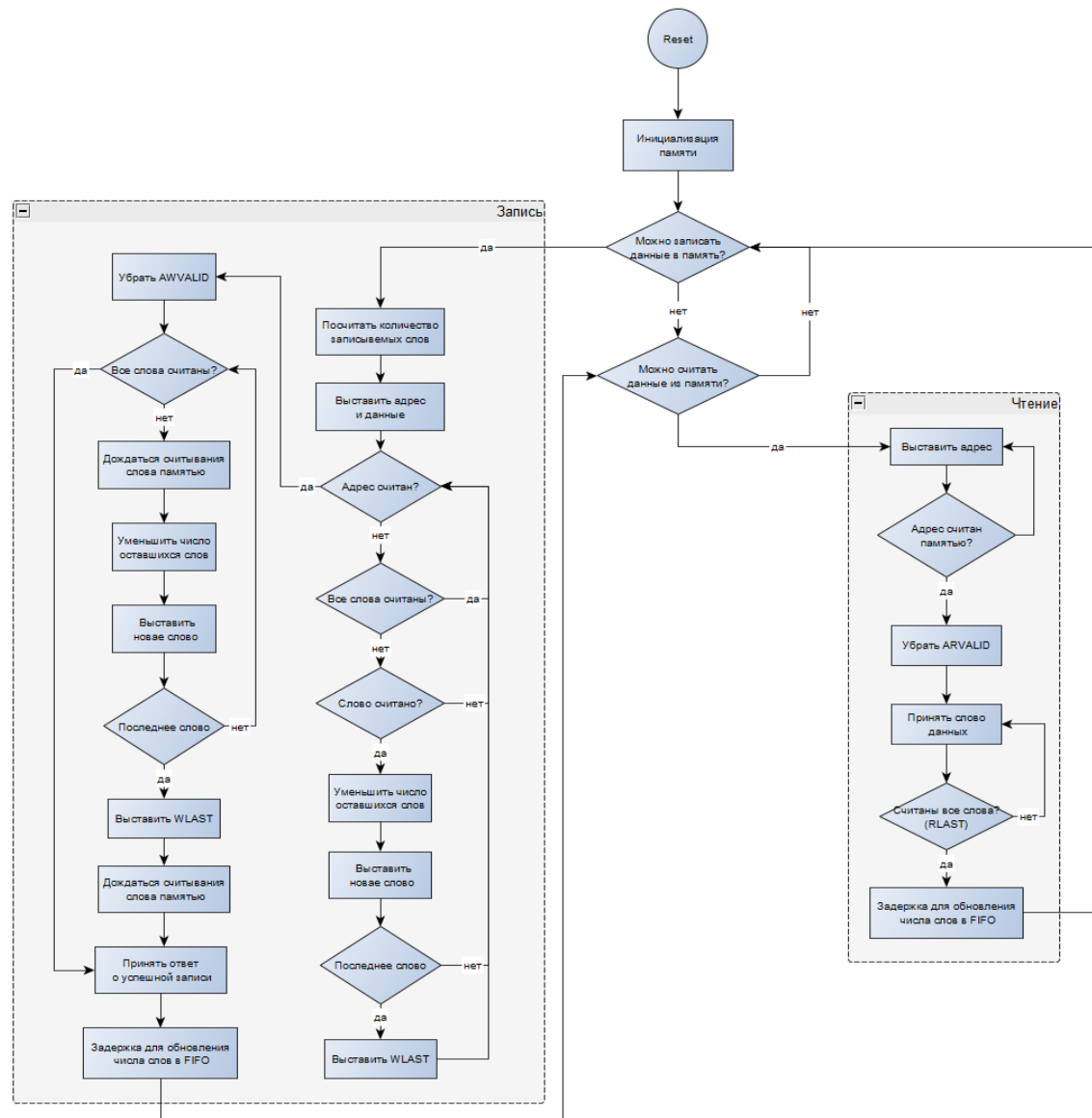


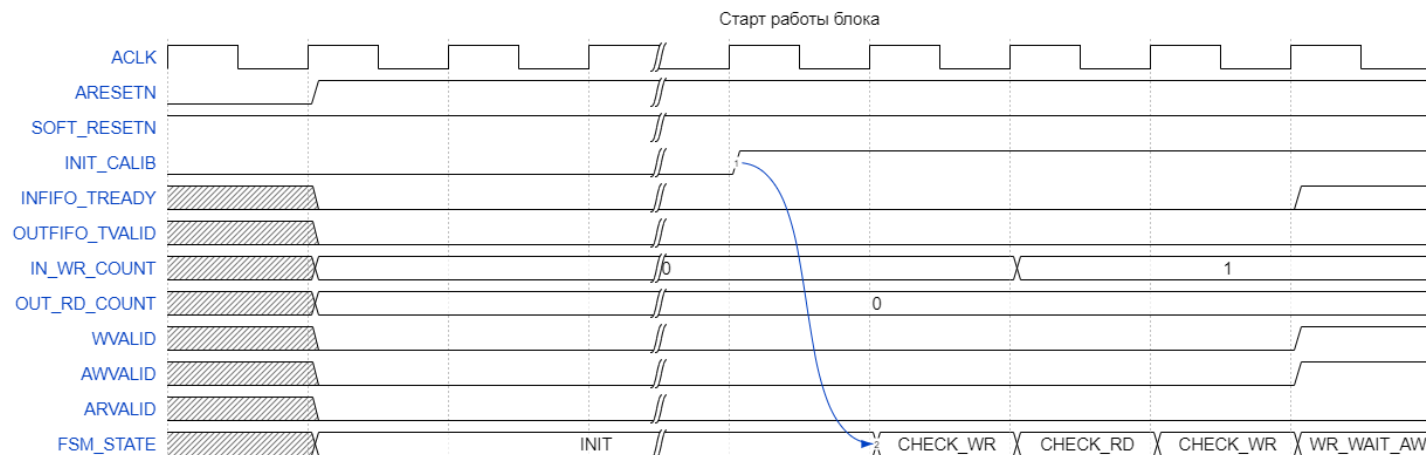
Рисунок 2.1 Блок схема алгоритма

3. Описание временных диаграмм блока управления памятью

3.1. Старт работы блока

Сигнал	Назначение
ARESETN	сигнал сброса с синхронным активным низким уровнем
INIT_CALIB	сигнал завершения калибровки памяти
INFIFO_TREADY	готовность принять данные из входного FIFO
OUTFIFO_TVALID	запись данных в выходное FIFO
WVALID	запись данных в память
AWVALID	запись адреса записи в память
ARVALID	запись адреса считывания из памяти
IN_WR_COUNT	число слов во входном FIFO
OUT_RD_COUNT	число слов в выходном FIFO

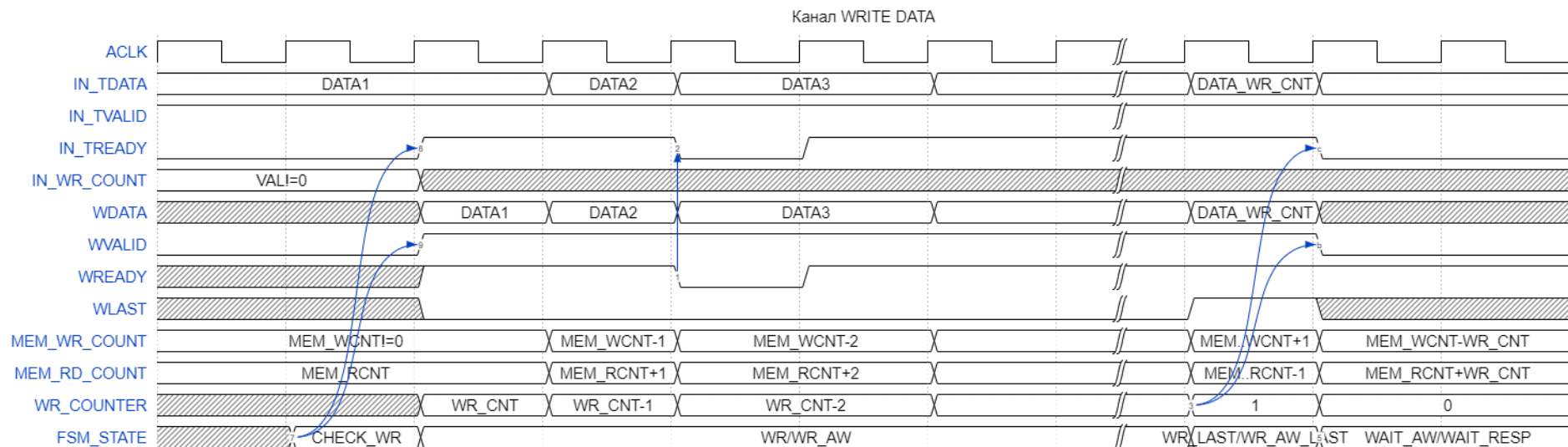
После сброса и инициализации памяти проверяется возможность записи или считывания и, если проверка успешна, осуществляется переход в состояние WRITE или READ.



3.2. Канал WRITE DATA

Сигнал	Назначение
IN_WR_COUNT	количество записываемых слов
WREADY	память готова принять данные
WLAST	последнее слово данных
MEM_WR_COUNT	число свободных мест в памяти
MEM_RD_COUNT	число слов в памяти

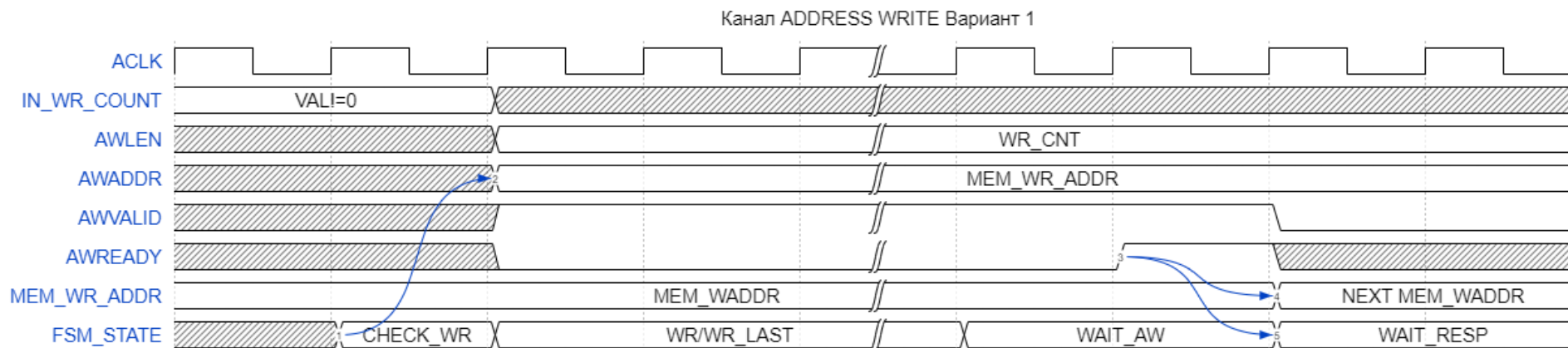
Если память не готова принять данные ($WREADY = 0$), то $INFIFO_TREADY = 0$, счетчики не обновляются и блок ничего не делает. Если остается одно слово для записи устанавливается $WLAST$ и на следующем такте IN_TREADY и $WVALID$ сбрасываются.



3.3. Канал WRITE ADDRESS Вариант 1

Сигнал	Назначение
AWREADY	память готова принять команду
AWLEN	количество записываемых слов
MEM_WR_ADDR	адрес записи

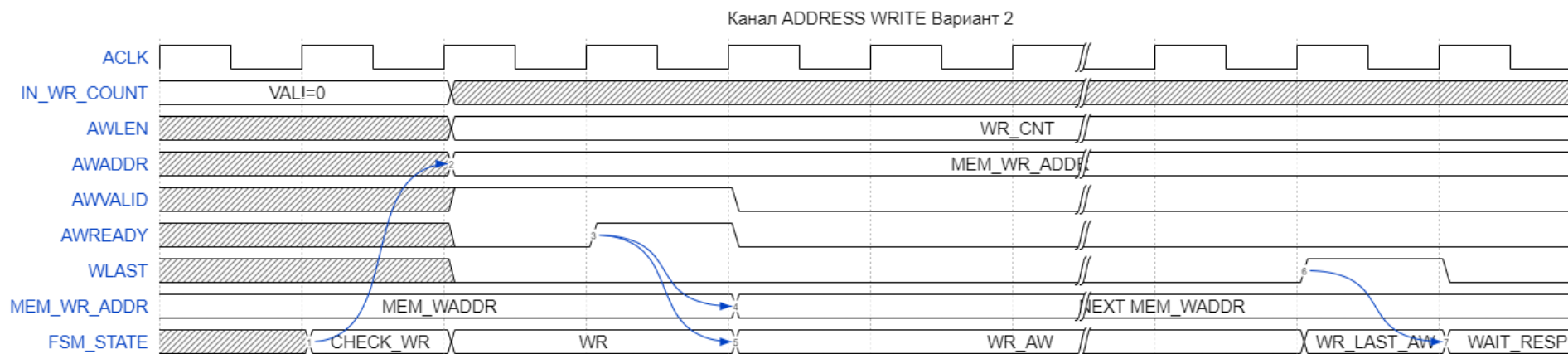
В первом варианте память считывает адрес, после того, как все слова данных были записаны. После считывания адреса записи адрес увеличивается на число байт в слове памяти умноженное на число записываемых слов. После считывания адреса блок переходит в состояние подтверждения записи.



3.4. Канал WRITE ADDRESS Вариант 2

Сигнал	Назначение
AWREADY	память готова принять команду
AWLEN	количество записываемых слов
WLAST	флаг последнего слова данных
MEM_WR_ADDR	адрес записи

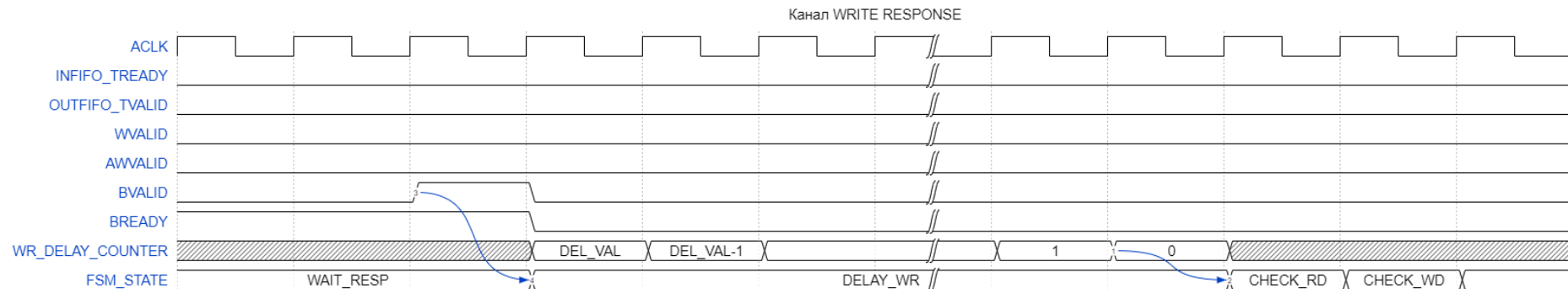
Во втором варианте память считывает адрес, до того, как все слова данных были записаны. После считывания адреса записи адрес увеличивается на число байт в слове памяти умноженное на число записываемых слов. После считывания всех данных блок переходит в состояние подтверждения записи.



3.5. Канал WRITE RESPONSE

Сигнал	Назначение
INFIFO_TREADY	готовность принять из входного FIFO
OUTFIFO_TVALID	запись данных в выходное FIFO
AWVALID	запись адреса в память
WVALID	запись данных в память
BVALID	подтверждение записи
BREADY	готовность принять подтверждение записи
WR_DELAY_COUNTER	счетчик тактов задержки после записи

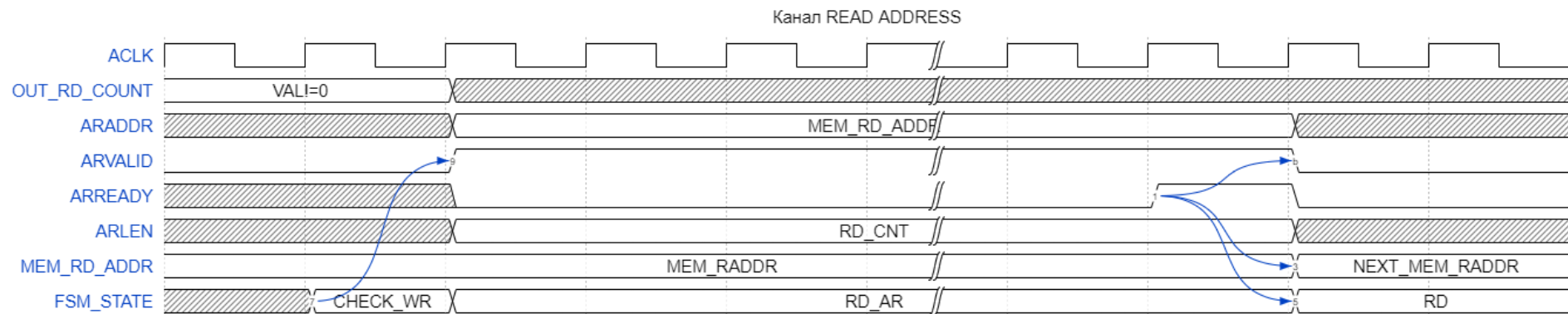
Сигналы INFIFO_TREADY, OUTFIFO_TVALID, AWVALID и WVALID имеют неактивные значения. После прихода BVALID Блок переходит в состояние DELAY_WR. После задержки в DEL_VAL тактов блок переходит в состояние проверки возможности считывания CHECK_RD.



3.6. Канал READ ADDRESS

Сигнал	Назначение
ARREADY	память готова принять команду
ARLEN	количество считываемых слов
MEM_RD_ADDR	адрес чтения

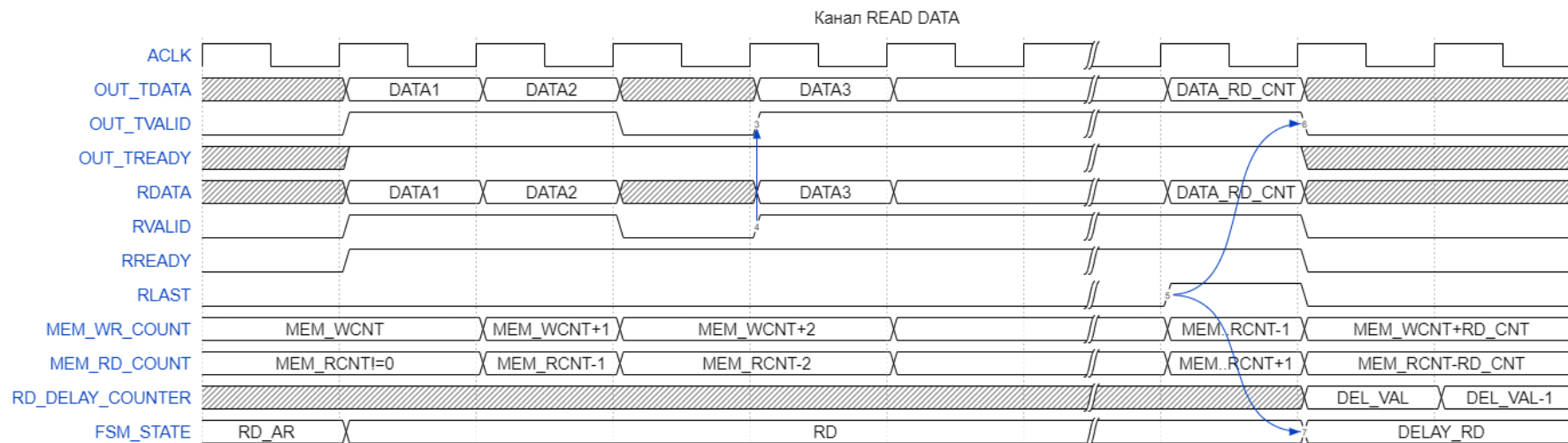
Если память не готова принять адрес и число считываемых слов ($ARREADY = 0$), то блок ничего не делает. После считывания адреса Блок переходит в состояние считывания данных и обновляет адрес следующего считывания. Адрес считывания увеличивается на число байт в слове памяти умноженное на число считываемых слов.



3.7. Канал READ DATA

Сигнал	Назначение
RVALID	данные на шине RDATA действительные
RLAST	последнее считываемое слово
MEM_WR_COUNT	число свободных мест в памяти
MEM_RD_COUNT	число слов в памяти
OUT_RD_COUNT	число свободных мест в выходном FIFO

Если память не выдает данные ($RVALID = 0$), то $OUTFIFO_TVALID = 0$, счетчики не обновляются и блок ничего не делает. Если остается одно слово для считывания ($RLAST = 1$), на следующем такте $OUTFIFO_TVALID$ сбрасывается и блок переходит в состояние задержки после считывания.



3.8. Окончание цикла считывания

Сигнал	Назначение
INFIFO_TREADY	готовность принять из входного FIFO
OUTFIFO_TVALID	запись данных в выходное FIFO
WVALID	запись данных в память
AWVALID	запись адреса записи в память
ARVALID	запись адреса считывания из памяти
RD_DELAY_COUNTER	счетчик тактов задержки после считывания

Сигналы INFIFO_TREADY, OUTFIFO_TVALID, WVALID, AWVALID и ARVALID имеют неактивные значения. После задержки в DEL_VAL тактов блок переходит в состояние проверки возможности записи CHECK_WD.



4. Внутреннее устройство блока управления памятью

