**IP ядро**

**Взаимная корреляционная функция**

**комплексных сигналов**

**на основе быстрой свертки**

**Оглавление**

[1. Описание IP ядра 3](#_Toc70069563)

[2. Общая блок-схема и описание алгоритма 6](#_Toc70069564)

[3. Блок конфигурации FFT IP 9](#_Toc70069565)

[4. Блок считывания сигнала 11](#_Toc70069566)

[5. Блок считывания сигнала 13](#_Toc70069567)

[6. Блок считывания BRAM 15](#_Toc70069568)

[7. Блок комплексного произведения и битового сдвига 18](#_Toc70069569)

[8. Блок отбрасывания нулевых отсчетов 19](#_Toc70069570)

[9. Конечный автомат управления блоками ядра 21](#_Toc70069571)

# **Описание IP ядра**

Ядро выполняет вычисление взаимной корреляционной функции двух комплексных сигналов заданной длины с помощью быстрой свертки. Обозначим сигналы, для которых нужно найти корреляционную функцию, как и , а их длины и cответственно. Ниже представлены формулы для свертки и корреляции:

Видно, что формулы отличаются только знаком аргумента у сигнала , поэтому корреляционную функцию можно рассчитать с помощью свертки сигналов и , где . То есть у сигнала необходимо изменить порядок следования отсчетов.

Для экономии ресурсов свертку удобно выполнять с помощью алгоритма быстрой свертки. Для этого сигналы и необходимо дополнить нулевыми отсчетами, с помощью FFT найти спектры сигналов, найти произведение спектров и вычислить обратное FFT. После этого из полученного сигнала нужно выделить первых отсчетов, в которых будет храниться корреляционная функция. Размерность FFT следует выбирать исходя из соотношения

где – размерность FFT, – число стадий FFT. Размерность FFT удобно выбрать константой равной

Вычисление FFT будет производиться с помощью IP ядра Xilinx. Сначала ядро будет использовано для расчета спектра , затем для расчета спектра и затем для вычисления обратного FFT от произведения спектров.

Внешний вид ядра представлен на рис. 1.1. В табл. 1.1 описаны входные и выходные порты ядра.

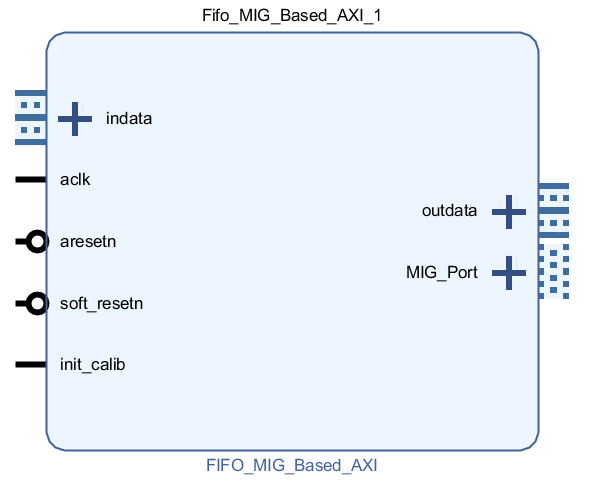


Рис. 1.1 Внешний вид IP ядра

Таблица 1.1 Назначение портов IP ядра

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| N1 | число отсчетов в сигнале |
| N2 | число отсчетов в сигнале |
| IFFT\_Shift | битовый сдвиг перед обратным FFT |
| start | сигнал начала вычисления корреляции |
| idle | корреляция рассчитана, ядро ожидает start |
| f1\_tdata | отсчеты сигнала (16 бит I, 16 бит Q) |
| f1\_tvalid | данные установлены на шине f1\_tdata |
| f1\_tready | ядро готово получить данные f1\_tdata |
| f2\_tdata | отсчеты сигнала (16 бит I, 16 бит Q) |
| f2\_tvalid | данные установлены на шине f2\_tdata |
| f2\_tready | ядро готово получить данные f2\_tdata |
| corr\_tdata | данные корреляционной функции |
| corr\_tvalid | данные на шинах corr\_tdata установлены |
| corr\_tready | следующее ядро готово принять данные |
| overflow | флаг переполнения после сдвига |

Ядро является конфигурируемым. На рис. 1.2 представлено окно настроек, в табл. 1.2 представлено описание настраиваемых параметров.

Таблица 1.2 Описание настраиваемых параметров

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| NFFT | размерность FFT |

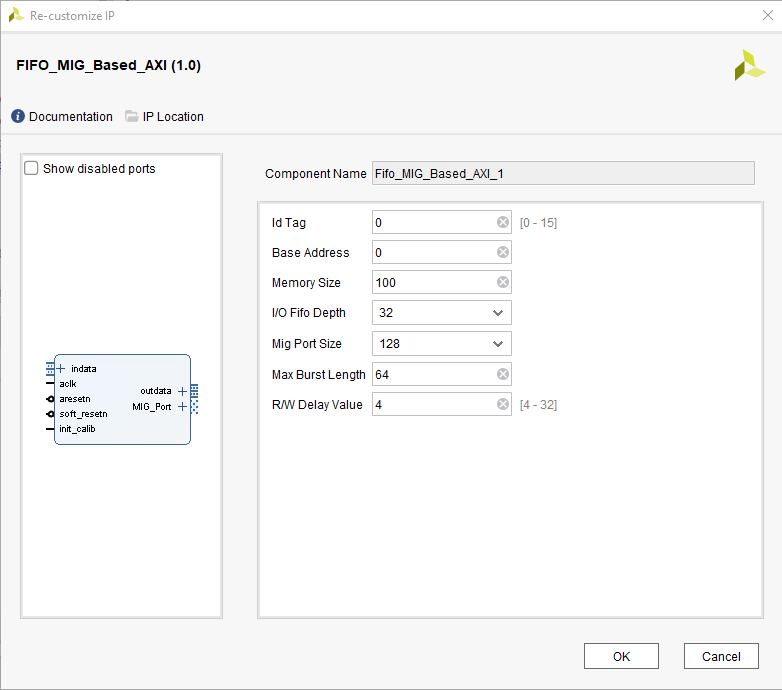
****

Рис. 1.2 Окно настроек IP ядра

# **Общая блок-схема и описание алгоритма**

После сброса ядро находится в состоянии ожидания сигнала начала вычисления и устанавливает сигнал idle в ‘1’. После установки сигнала start в ‘1’ сигнал idle сбрасывается в ‘0’ и ядро начинает расчет корреляционной функции.

Сначала блок конфигурации ядра Xilinx FFT посылает команду, чтобы рассчитывалось прямое FFT. Далее блок считывания сигнала получает из FIFO на входе N1 отсчетов и передает их на вход мультиплексора. После передачи всех отсчетов блок передает на вход мультиплексора NFFT - N1 нулевых отсчетов. С выхода мультиплексора отсчеты поступают на ядро Xilinx FFT, выход которого буферизируется в FIFO 1. Параллельно с этим блок считывания сигнала получает из FIFO на входе N2 отсчетов и записывает их BRAM в обратном порядке с комплексным сопряжением.

После того как с выхода Xilinx FFT получены все отсчеты и в BRAM записаны все отсчеты блок считывания BRAM получает N2 записанных отсчетов и передает их на мультиплексор. После передачи всех отсчетов блок считывания BRAM выдает NFFT – N2 нулевых отсчетов. С выхода мультиплексора отсчеты поступают на ядро Xilinx FFT.

Блок вычисления комплексного произведения получает по одному отсчету из FIFO 1 и Xilinx FFT, перемножает их, сдвигает на IFFT\_Shift бит влево и записывает в FIFO 2. При обнаружении переполнения блок выставляет флаг.

Далее блок конфигурации ядра Xilinx FFT посылает команду, чтобы рассчитывалось обратное FFT. После этого данные из FIFO 2 поступают на вход ядра Xilinx FFT. Отсчеты с выхода Xilinx FFT поступают на блок отбрасывания нулевых отсчетов. Данный блок передает на выход ядра первые N1 + N2 – 1 отсчетов. После этого блок переходит в состояние ожидания и устанавливает сигнал idle в ‘1’.

Блок схема ядра представлена на рис. 2.1. Назначение блоков на рисунке описано ниже:

* **FFT IP –** ядро Xilinx FFT (PG 109);
* **FIFO –** ядро Xilinx;
* **BRAM –** ядро Xilinx;
* **Null –** формирует нулевой tvalid и tdata, чтобы остановить FFT IP, когда ядро находится в состоянии ожидания;
* **MUX –** мультиплексор AXI-Stream потоков на входе FFT IP;
* **DEMUX –** демультиплексор потоков на выходе FFT IP;
* **Control FSM –** конечный автомат управления блоками ядра;
* **FFT Config –** блок конфигурации FFT IP;
* **Recv F1 –** блок считывания сигнала ;
* **Recv F2 –** блок считывания сигнала ;
* **Read\_BRAM –** блок считывания BRAM;
* **Mult\_Shift –** блок комплексного произведения и сдвига;
* **Out\_Block –** блок отбрасывания нулевых отсчетов.

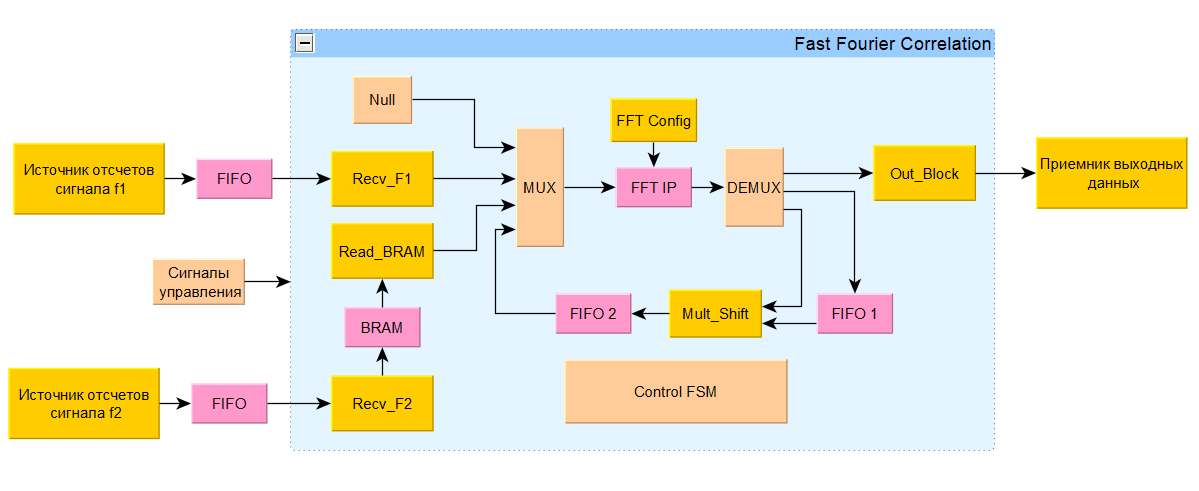


Рис. 2.1 Блок схема ядра

# **Блок конфигурации FFT IP**

Блок выполняет настройку ядра Xilinx FFT на выполнение прямого или обратного преобразования Фурье. Назначение портов блока представлено в табл. 3.1.

После сброса блок находится в состоянии ожидания и сигнал done сброшен. При установке сигнала start блок переходит в рабочее состояние. В этом состоянии блок выставляет на выход config\_tdata в зависимости от сигнала fwd\_inv значения 0xFF или 0x00 и устанавливает config\_tvalid. Когда сигнал config\_tready станет равным ‘1’, блок установит done сигнал и на следующем такте перейдет в состояние ожидания. На рис. 3.1 и 3.2 представлены временные диаграммы работы и блок схема.

Таблица 3.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| fwd\_inv | 1 – прямое преобразование, 0 – обратное |
| start | сигнал начала конфигурации FFT IP |
| done | конфигурация завершена |
| config\_tdata | 0xFF – прямое преобразование, 0x00 – обратное |
| config\_tvalid | данные установлены на шине config\_tdata |
| config\_tready | ядро FFT IP готово получить данные |

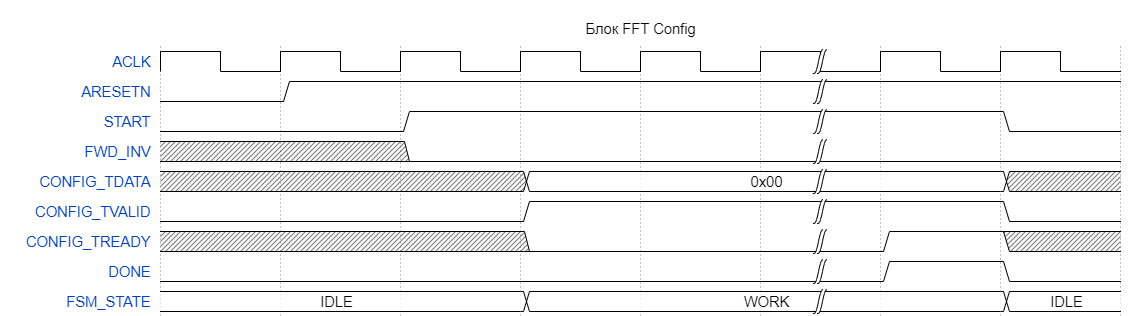


Рис. 3.1 Временные диаграммы

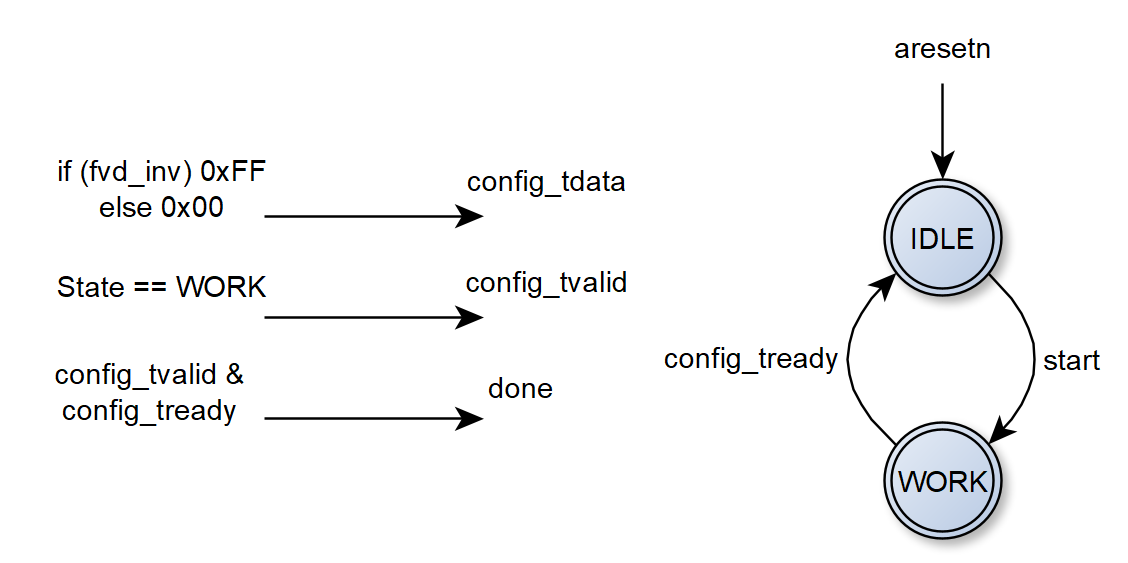


Рис. 3.2 Блок схема

# **Блок считывания сигнала**

Блок выполняет считывание отсчетов сигнала из FIFO на входе и выдачу их на вход мультиплексора. После выдачи заданного числа отсчетов блок выдает NFFT - нулевых отсчетов. Назначение портов блока представлено в табл. 4.1.

После сброса блок находится в состоянии ожидания. При установке сигнала start блок переходит в состояние считывания входных отсчетов. Когда будет считано и выдано отсчетов, блок переходит в состояние выдачи NFFT - нулевых отсчетов. Когда в сумме выдано NFFT отсчетов блок устанавливает сигнал done и переходит в состояние ожидания. После перехода в состояние ожидание сигнал done сбрасывается.

На рис. 4.1 и 4.2 представлены временные диаграммы работы и блок схема.

Таблица 4.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| N1 | число считываемых отсчетов |
| start | сигнал начала работы |
| done | работа завершена |
| indata\_tdata | отсчеты сигнала |
| indata\_tvalid | данные установлены на шине indata\_tdata |
| indata\_tready | ядро готово получить данные |
| outdata\_tdata | выходные отсчеты |
| outdata\_tvalid | данные установлены на шине outdata\_tvdata |
| outdata\_tready | следующее ядро готово получить данные |

Таблица 4.2 Описание настраиваемых параметров

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| NFFT | размерность FFT |

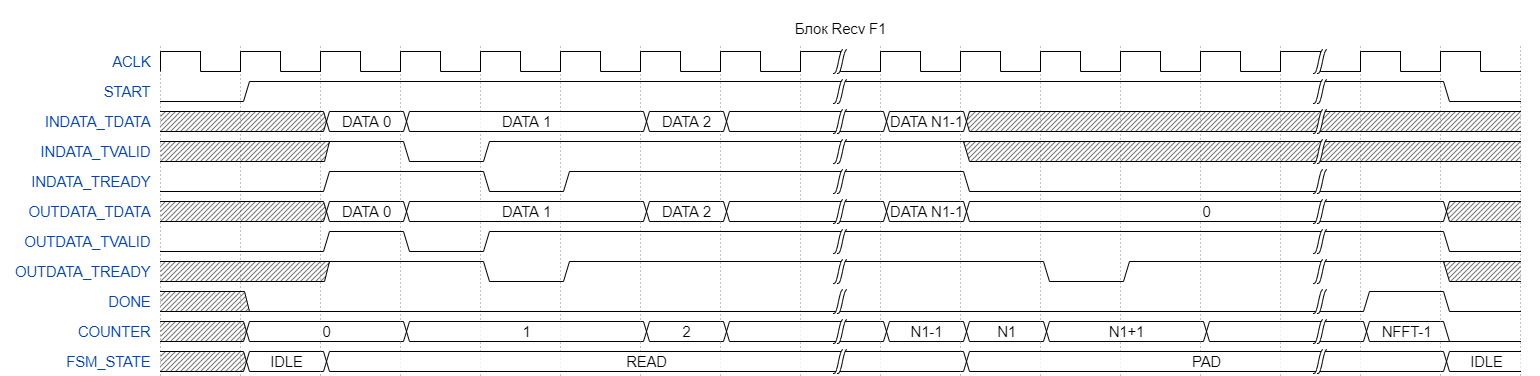
****

Рис. 4.1 Временные диаграммы

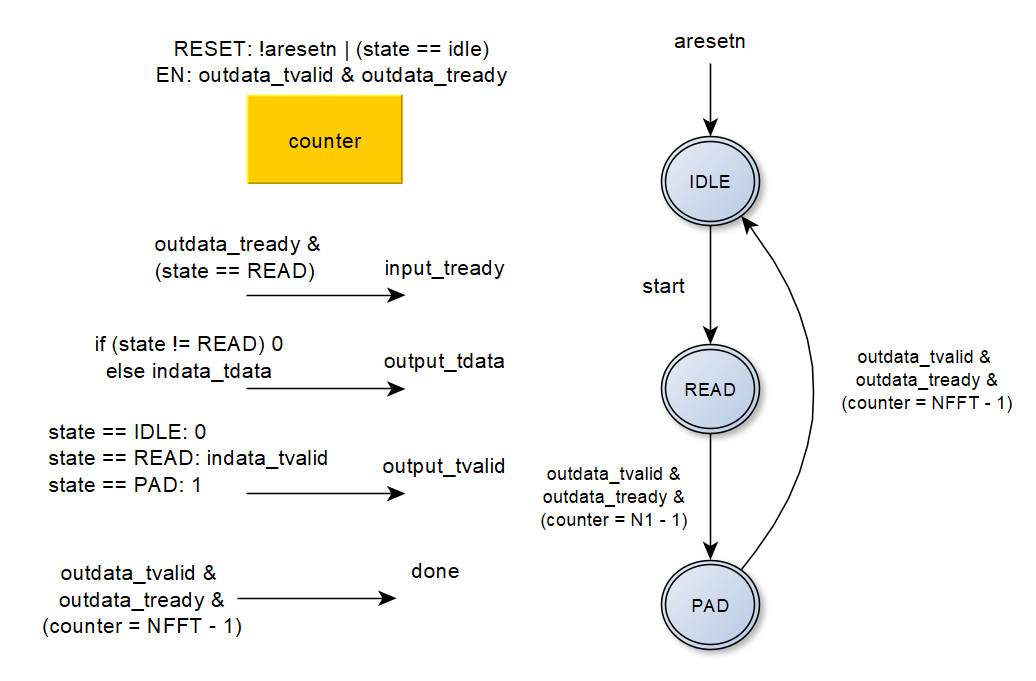


Рис. 4.2 Блок схема

# **Блок считывания сигнала**

Блок считывает отсчетов сигнала из FIFO на входе, выполняет комплексное сопряжение и записывает их в BRAM в обратном порядке. Назначение портов блока представлено в табл. 5.1.

После сброса блок находится в состоянии ожидания. При установке сигнала start блок переходит в состояние считывания входных отсчетов. Когда будет считано отсчетов, блок устанавливает сигнал done и переходит в состояние ожидания. После перехода в состояние ожидание сигнал done сбрасывается.

На рис. 5.1 и 5.2 представлены временные диаграммы работы и блок схема.

Таблица 5.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| N2 | число считываемых отсчетов |
| start | сигнал начала работы |
| done | работа завершена |
| indata\_tdata | отсчеты сигнала |
| indata\_tvalid | данные установлены на шине indata\_tdata |
| indata\_tready | ядро готово получить данные |
| bram\_data | записываемые отсчеты |
| bram\_addr | адрес записи в память |
| bram\_we | разрешение записи в память |

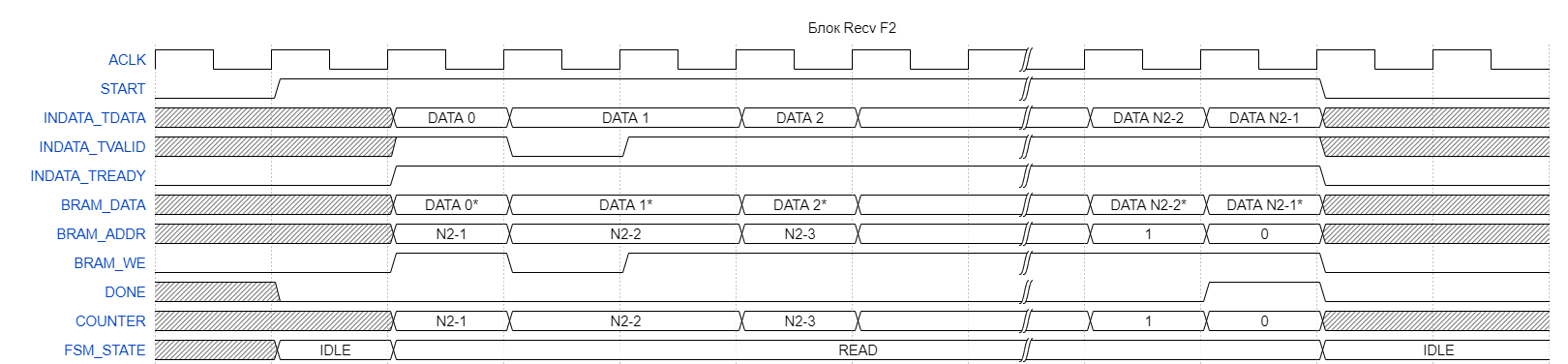
****

Рис. 5.1 Временные диаграммы

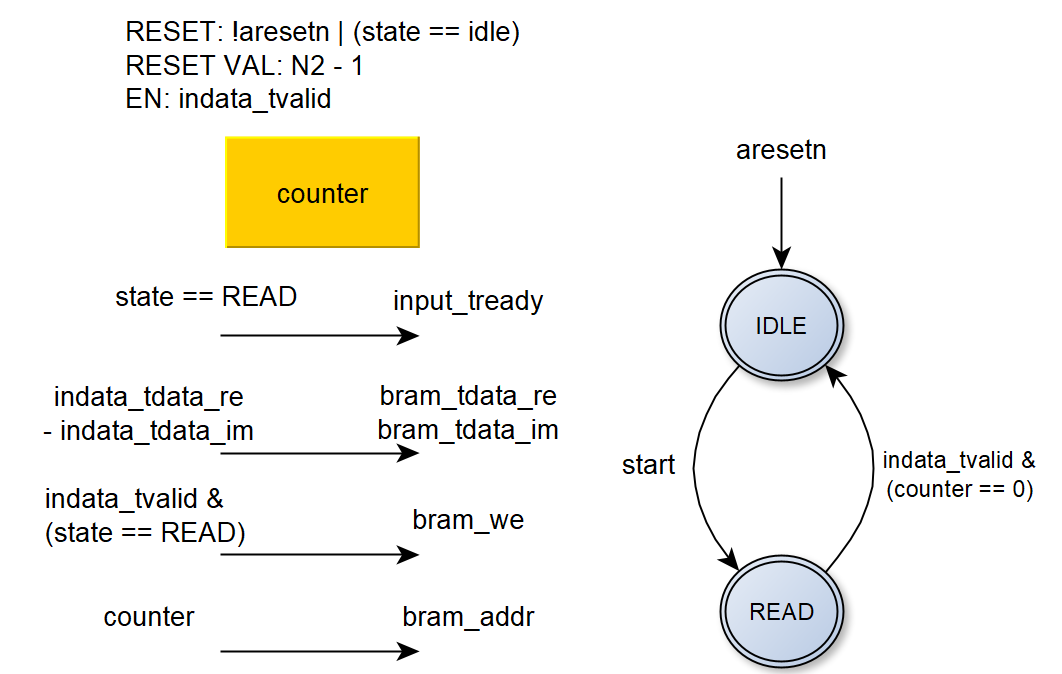


Рис. 5.2 Блок схема

# **Блок считывания BRAM**

Блок выполняет считывание сопряженных отсчетов сигнала из BRAM, передает их на вход мультиплексора и дополняет нулями до заданного количества NFFT отсчетов.

После сброса блок находится в состоянии ожидания. При установке сигнала start блок переходит в состояние считывания отсчетов из BRAM и передачи их на выход. Когда будет выдано отсчетов, блок переходит в состояние добавления нулей. Когда будет выдано нулевых отсчетов блок устанавливает сигнал done и переходит в состояние ожидания. После перехода в состояние ожидание сигнал done сбрасывается.

На рис. 6.1 и 6.2 представлены временные диаграммы работы и блок схема.

Таблица 6.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| N2 | число считываемых отсчетов |
| start | сигнал начала работы |
| done | работа завершена |
| outdata\_tdata | выходные отсчеты |
| outdata\_tvalid | данные установлены на шине outdata\_tdata |
| outdata\_tready | следующее ядро готово получить данные |
| bram\_data | считываемые отсчеты |
| bram\_addr | адрес чтения из память |

Таблица 6.2 Описание настраиваемых параметров

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| NFFT | размерность FFT |

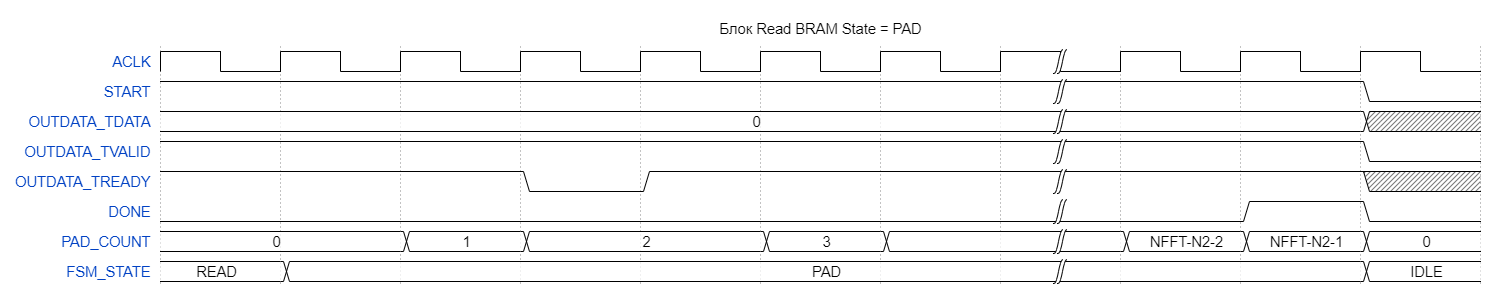
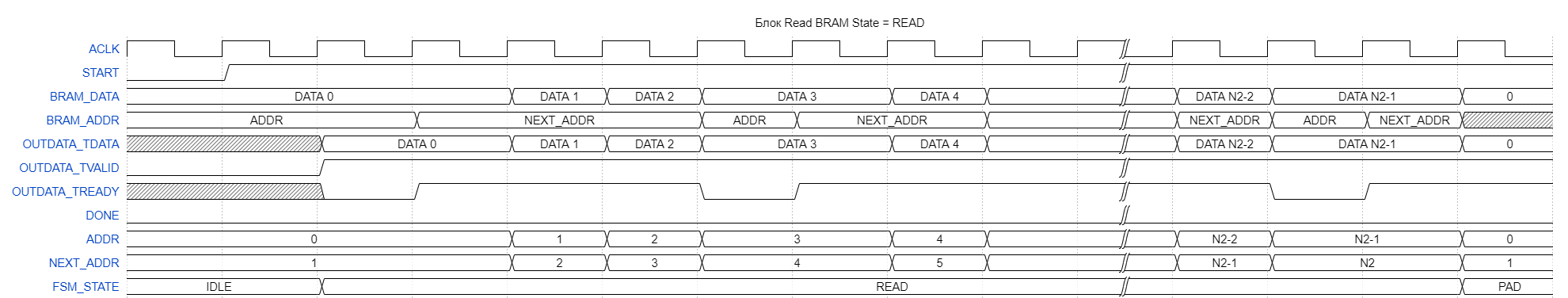


Рис. 6.1 Временные диаграммы

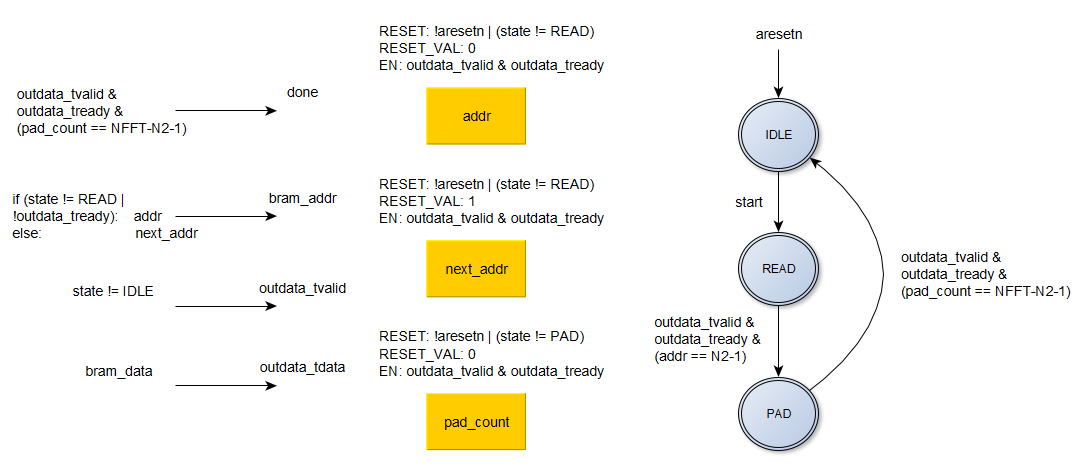


Рис. 6.2 Блок схема

# **Блок комплексного произведения и битового сдвига**

Блок постоянно принимает данные из FIFO 1 и выхода демультиплексора. Когда на обоих входах появляются информационные сигналы, IP ядро Xilinx вычисляет комплексное произведение без отбрасывания бит. Далее полученный результат сдвигается на IFFT\_Shift бит влево и из произведения выбираются старшие разряды. В случае переполнения выставляется флаг overflow. Выход outdata\_tready отсутствует, так как FIFO 2 всегда готово принимать данные.

На рис. 7.1 представлена временные блок схема.

Таблица 7.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| IFFT\_Shift | число битовых сдвигов влево |
| overflow | флаг переполнения |
| indata1\_tdata | отсчеты сигнала |
| indata1\_tvalid | данные установлены на шине indata1\_tdata |
| indata1\_tready | ядро готово получить данные |
| indata2\_tdata | отсчеты сигнала |
| indata2\_tvalid | данные установлены на шине indata2\_tdata |
| indata2\_tready | ядро готово получить данные |
| outdata\_tdata | отсчеты сигнала |
| outdata\_tvalid | данные установлены на шине outdata\_tdata |

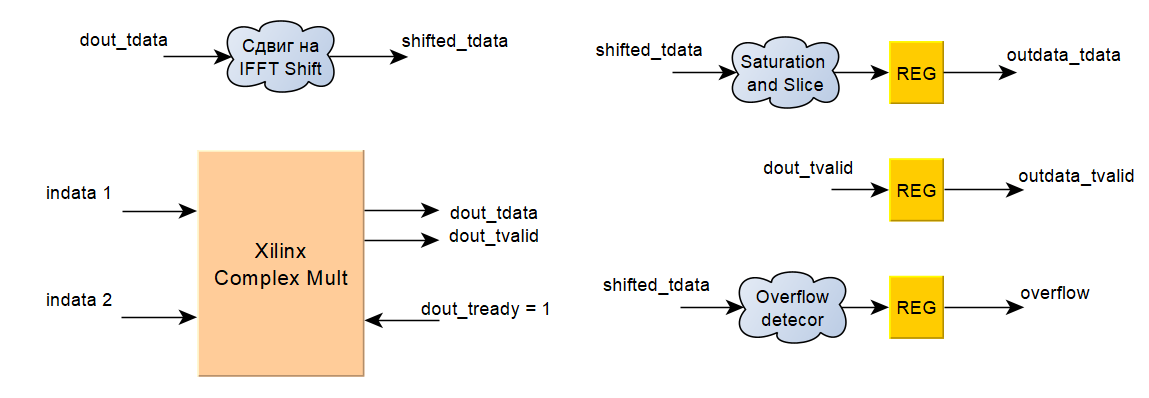
****

Рис. 7.1 Блок схема

# **Блок отбрасывания нулевых отсчетов**

Блок выполняет считывание отсчетов обратного преобразования Фурье с выхода FFT IP, отбрасывает лишние отсчеты и выдает отсчеты корреляционной функции на выход ядра.

После сброса блок находится в состоянии ожидания. При установке сигнала start блок переходит в состояние выдачи отсчетов. Когда будет выдано отсчетов, блок переходит в состояние отбрасывания лишних отсчетов. Когда будет отброшено отсчетов, блок устанавливает сигнал done и переходит в состояние ожидания. После перехода в состояние ожидание сигнал done сбрасывается.

На рис. 8.1 и 8.2 представлены временные диаграммы работы и блок схема.

Таблица 8.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| N1 | число отсчетов сигнала |
| N2 | число отсчетов сигнала |
| start | сигнал начала работы |
| done | работа завершена |
| indata\_tdata | входные отсчеты |
| indata\_tvalid | данные установлены на шине indata\_tdata |
| indata\_tready | ядро готово получить данные |
| outdata\_tdata | выходные отсчеты |
| outdata\_tvalid | данные установлены на шине outdata\_tdata |
| outdata\_tready | следующее ядро готово получить данные |

Таблица 8.2 Описание настраиваемых параметров

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| NFFT | размерность FFT |

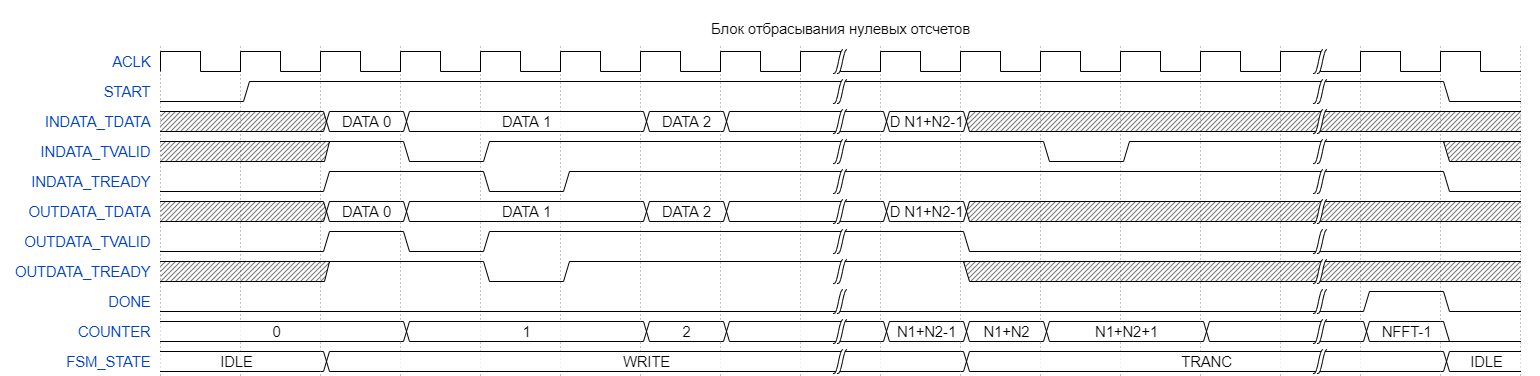


Рис. 8.1 Временные диаграммы

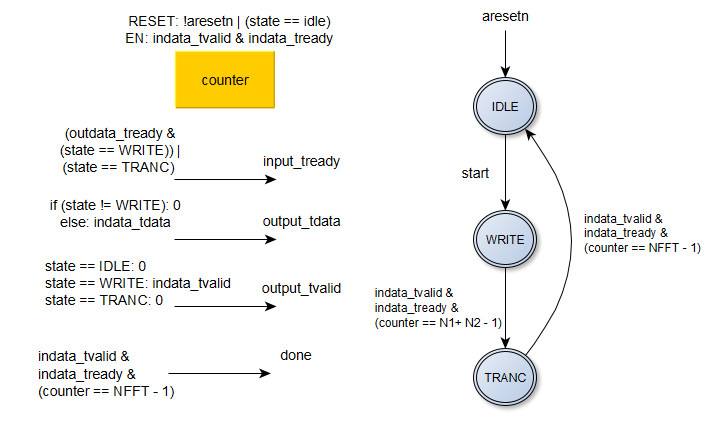


Рис. 8.2 Блок схема

# **Конечный автомат управления блоками ядра**

Блок задает очередность выполнения других блоков ядра, формируя сигналыstart и считывая сигналы done. После сброса блок находится в состоянии ожидания. При поступлении сигнала start блок запускает блок FFT\_Config для настройки ядра FFT\_IP в режим прямого преобразования.

Далее запускаются блоки Recv\_F1 и Recv\_F2.Дождавшись завершения работы блоковRecv\_F2 и FFT\_IP, блок управления стартует блок Read\_BRAM. После завершения работы блокаFFT\_IP запускается блок FFT\_Config для настройки FFT\_IP в режим обратного преобразования.

После этого блок управления стартует блок Out\_Block.После завершения его работы автомат переходит в состояние ожидания сигналаstart. На рис. 9.1 представлена блок схема.

Таблица 9.1 Назначение портов блока

|  |  |
| --- | --- |
| **Название** | **Назначение** |
| aclk | тактовый сигнал |
| aresetn | синхронный сигнал сброса, активный низкий уровень |
| start | запуск расчета корреляционной функции |
| FFT\_IP\_tlast | сигнал завершения работы ядра FFT IP |
| FFT\_Config\_Start | старт блока FFT\_Config |
| FFT\_Config\_Done | завершение работы блока FFT\_Config |
| Recv\_F1\_Start | старт блока Recv\_F1 |
| Recv\_F2\_Start | старт блока Recv\_F2 |
| Recv\_F2\_Done | завершение работы блока Recv\_F2 |
| Read\_BRAM\_Start | старт блока Read\_BRAM |
| Out\_Block\_Start | старт блока Out\_Block |
| Out\_Block\_Done | завершение работы блока Out\_Block |
| Mux\_Sel | выбор канала мультиплексора |
| Demux\_Sel | выбор канала демультиплексора |

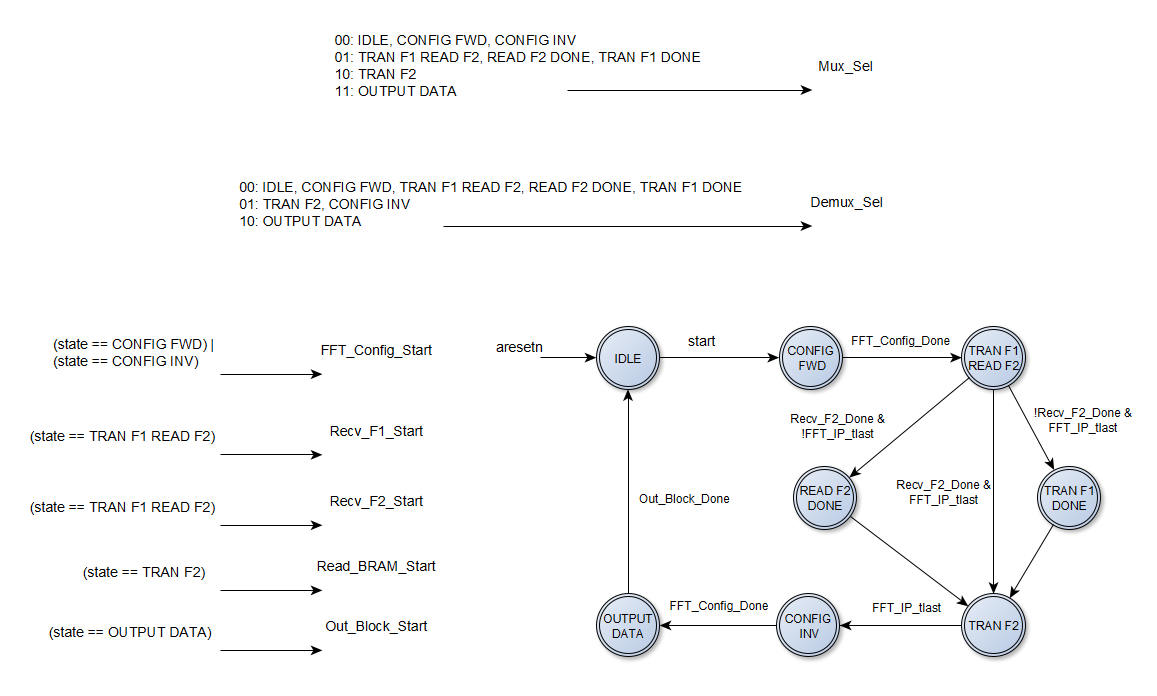
****

Рис. 9.1 Блок схем