**Основы статического временного анализа.**

**Часть 1: Period Constraint.**

**Введение.**

Данная статья является первой из планируемой серии статей по временным ограничениям в FPGA. Основная цель – познакомить начинающих разработчиков с основами статического временного анализа. В этой статье будет рассмотрен анализ самого часто встречающегося случая – передача данных между двумя последовательными элементами внутри FPGA, имеющими общий тактовый сигнал. Показан вывод уравнений временного анализа и продемонстрировано их применение анализатором путей Vivado.

1. **Цель статического временного анализа.**

Все производители FPGA в рекомендациях по разработке указывают на необходимость избегать наличия защелок (*latch*), поэтому грамотно сделанный проект представляет из себя синхронное последовательное цифровое устройство. Основная часть схемы любого синхронного устройства состоит из набора регистров, изменяющих свое состояние по фронту или спаду тактового сигнала, которые отделены друг от друга комбинационной логикой. Для определенности в дальнейшем будем считать, что данные передаются между регистрами по фронту тактового сигнала. Таким образом, типичный путь, который проходят данные внутри FPGA, имеет вид, представленный на рисунке 1.

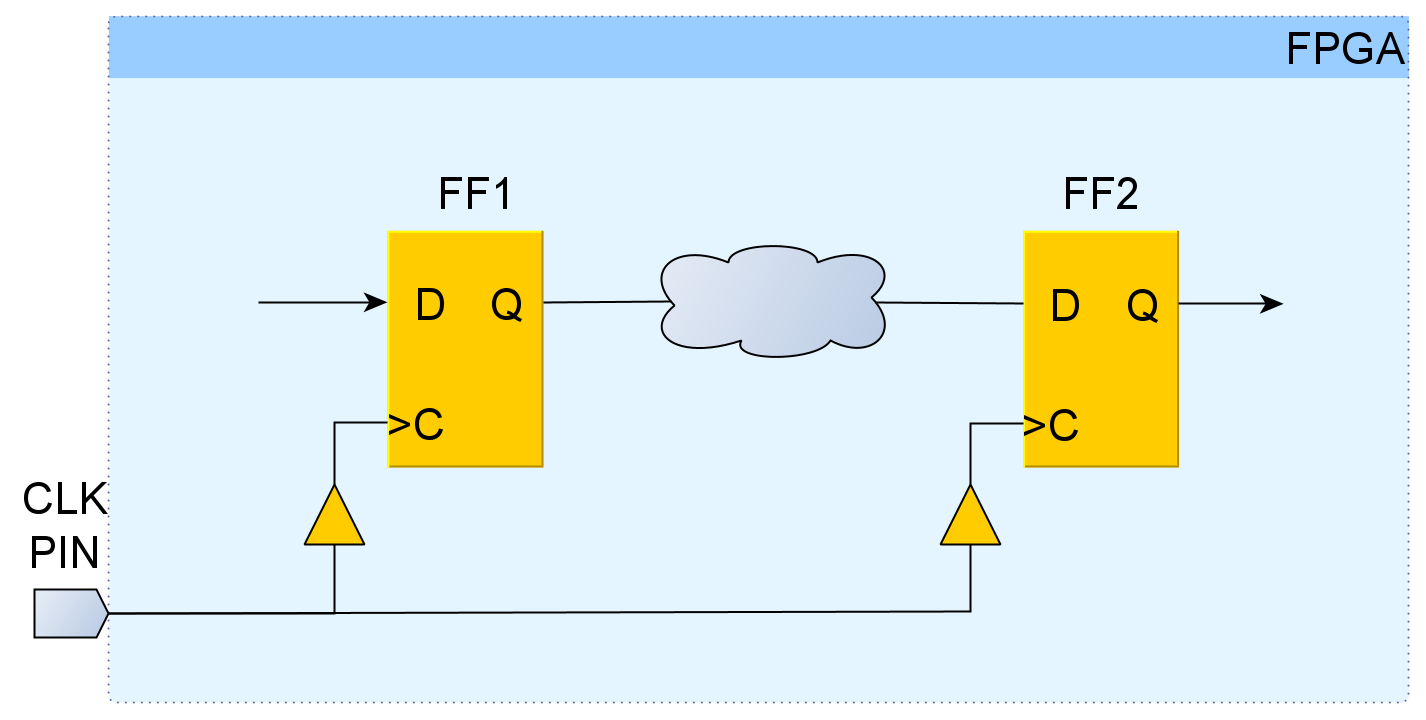


Рисунок 1. Типичный путь данных внутри FPGA.

По фронту сигнала с ножки FPGA CLK\_PIN данные с D входа триггера FF1 переходят на выход Q, распространяются через комбинационную логику и попадают на D вход триггера FF2. Данный фронт будем называть запускающий (*source edge*). Спустя один период тактового сигнала появляется следующий фронт, по которому триггер FF2 защелкивает данные от FF1 на своем D входе и передает далее на выход Q. Одновременно с этим от FF1 начинают распространяться следующие данные. Такой фронт будем называть защелкивающий (*destination edge*). Также будем называть FF1 запускающим триггером, а FF2 – защелкивающим.

Чтобы данные корректно распространялись от триггера к триггеру описанным выше образом, должны быть выполнены два ограничения:

* данные от FF1 должны распространяться достаточно быстро, чтобы успеть дойти до триггера FF2 раньше защелкивающего фронта (максимальное время распространения);
* следующие данные от FF1 должны распространяться достаточно медленно, чтобы защелкивающий фронт успел дойти до FF2 и захватить предыдущие данные от FF1 (минимальное время распространения).

Цель статический временного анализа заключается в том, чтобы для каждого пути (*path*) между двумя последовательными элементами рассчитать задержки распространения сигналов и установить, выполняются ли два приведенных выше ограничения. Считается, что путь данных начинается на тактовом входе запускающего элемента (триггер FF1) и заканчивается на информационном входе защелкивающего элемента (триггер FF2).

Рассмотрим, каким образом временной анализатор решает эту задачу. На рисунке 2 представлен путь, на который нанесены задержки для данных и тактового сигнала.

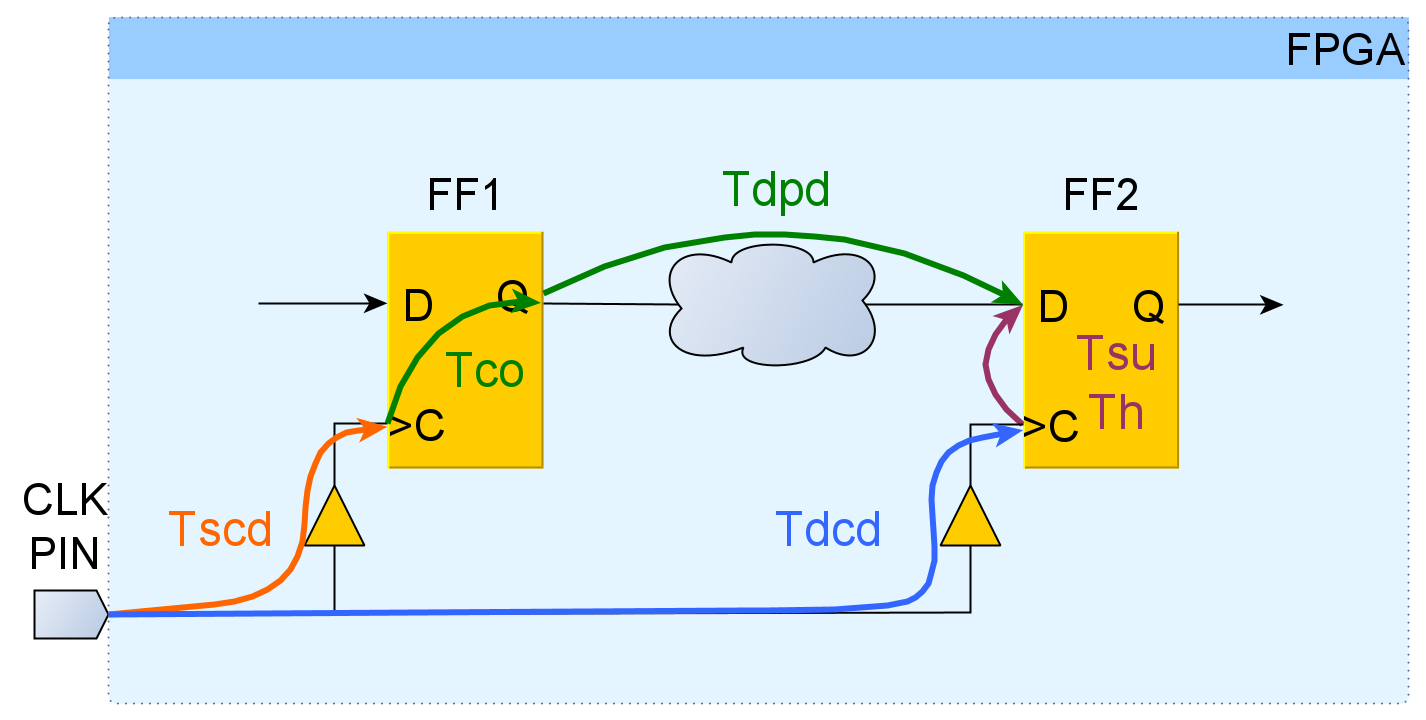


Рисунок 2. Путь с задержками для данных и тактового сигнала.

Ниже даны определения задержек, представленных на рисунке 2.

* (***S****ource* ***C****lock* ***D****elay*) – задержка тактового сигнала от источника, в нашем примере ножка FPGA CLK\_PIN, до тактового входа триггера FF1;
* (***D****estination* ***C****lock* ***D****elay*) – задержка тактового сигнала от источника до тактового входа триггера FF2;
* (***C****lock to* ***O****utput*) – интервал времени от прихода фронта на тактовый вход триггера до появления данных на выходе Q;
* (***D****ata* ***P****ropagation* ***D****elay*) – задержка распространения данных по соединениям (*nets*) и через комбинационную логику;
* (***S****et****U****p time*) – время установки. До прихода защелкивающего фронта данные на D входе триггера уже должны быть стабильны в течении времени .
* (***H****old time*) – время удержания. После прихода защелкивающего фронта данные на D входе триггера не должны изменяться в течении времени .

Также будем обозначать период тактового сигнала как . При проведении временного анализа все события отсчитываются от некоторого нулевого момента времени, качестве которого обычно рассматривается запускающий фронт.

1. **Максимальное время распространения.**

Для начала рассмотрим каким образом выполняется анализ для проверки ограничения на максимальное время распространения. Данный анализ также называют анализ по *Setup*.

Временной анализ по *Setup* всегда проводится для самого пессимистичного случая, которому соответствует максимально задержанный запускающий фронт, максимально медленное распространение данных и максимально быстро пришедший защелкивающий фронт.

На первом этапе рассчитывается время распространения данных до защёлкивающего триггера, Считая, что запускающий фронт появляется в нулевой момент времени. Уравнения для расчета представлены ниже (см. рисунок 2):

* Время прибытия фронта к запускающему триггеру (***S****ource* ***С****lock* ***A****rrive time*):
* Задержка распространения данных (***D****ata* ***D****elay*):
* Время прибытия данных на вход защелкивающего триггера (***D****ata* ***A****rrive time*):

Далее вычисляется время прибытия защелкивающего фронта тактового сигнала и требуемое время прибытия данных. Защелкивающий фронт появляется через один такт после запускающего фронта, поэтому к задержке распространения добавлен один период тактового сигнала.

* Время прибытия фронта к защелкивающему триггеру (***D****estination* ***C****lock* ***A****rrive time*):
* Требуемое время прибытия данных (***D****ata* ***R****equire time*):

В предыдущем уравнении учитывается, что данные должны быть прийти на время *Tsu* раньше защелкивающего фронта. Таким образом, чтобы выполнялось требование на максимальное время распространения (*Setup*), данные должны дойти до конца пути не позже времени *Tdr*.

Обычно результат работы статического анализатора представляется в виде запаса для задержки данных (*Slack*), который вычисляется по формуле

Положительный *Slack* указывает на то, что данные до места назначения раньше, чем это требуется. Отрицательное значение *Slack* означает нарушение ограничения по *Setup*.

Используя ранее полученные уравнения, можно получить ряд выражений для расчета *Slack*

Стоит заметить, что величина равная разности времени распространения тактового сигнал до запускающего и защелкивающего триггеров называется расфазировкой тактового сигнала (*Clock Skew*)

.

Можно увидеть, что положительное значение расфазировки при анализе по *Setup* увеличивает *Slack*.

1. **Минимальное время распространения.**

Аналогичным образом рассмотрим, как выполняется анализ для проверки ограничения на минимальное время распространения. Данный анализ также называется анализом по *Hold* и проводится для самого пессимистичного случая, при котором запускающий фронт и данные распространяются наиболее быстро, а защелкивающий фронт – максимально медленно.

Глядя на рисунок 2, можно получить следующие уравнения:

* Время прибытия фронта к запускающему триггеру (***S****ource* ***С****lock* ***A****rrive time*):
* Задержка распространения данных (***D****ata* ***D****elay*):
* Время прибытия данных на вход защелкивающего триггера (***D****ata* ***A****rrive time*):
* Время прибытия фронта к защелкивающему триггеру (***D****estination* ***C****lock* ***A****rrive time*):
* Требуемое время прибытия данных (***D****ata* ***R****equire time*):

Защелкивающий фронт для предыдущих данных появляется в тот же момент времени, что и запускающий фронт для следующих данных, поэтому к задержке распространения период тактового сигнала не добавляется.

Слагаемое в уравнении для учитывает, что данные не должны изменяться в течении времени удержания после защелкивающего фронта. Формулируя по-другому – следующие данные должны прийти на время *Th* позже защелкивающего фронта для предыдущих данных.

Чтобы было удовлетворено ограничение по *Hold*, следующие данные должны попасть на D вход защелкивающего триггера не раньше времени *Tdr*.

При анализе по *Hold* выражение для вычисления *Slack* имеет вид:

Если *Slack* положительный, то это значит, что следующие данные приходят позже, чем требуется. Отрицательное значение *Slack* указывает на нарушение ограничения по *Hold*.

Используя полученные выше уравнения, выражение для *Slack* можно записать в виде:

Интересно заметить, что в выражении для *Slack* расфазировка тактового сигнала входит с знаком противоположным, тому который был при анализе по *Setup*. То есть положительное значение расфазировки уменьшает *Slack*.

1. **Задание ограничений и разбор отчетов в Vivado.**

Рассмотрим задание ограничений в Vivado. После синтеза для каждого пути Vivado известно через какие логические элементы он проходит (LUT, MUX, CARRY CHAIN). Типовые задержки указываются в Datasheet для конкретного кристалла. Например для в Datasheet для Artix 7 (ds 181) в таблице 27 указано время распространения через LUT (input, logic, output), а также время установления и удержания для триггеров и . В таблицах 32 – 35 указываются задержки распространения тактового сигнала через различные виды буферов.

После размещения и разводки проекта Vivado также получает информацию о задержках сигналов при распространении через линии соединения. После имплементации Vivado знает значения все переменных, которые входят в уравнения (1) и (2), кроме периода тактового сигнала . В нашем случае тактовый сигнал поступает от внешнего генератора, частоту которого Vivado, естественно, не знает.

Для примера рассмотрим самый простой пример. Пусть проект состоит из двух триггеров между которыми расположен LUT выполняющий логическое отрицание. Пример описания на System Verilog

module top (

    input  logic clk\_pin,

    input  logic in1,

    output logic out1

);

    logic ff1, ff2;

    always\_ff @(posedge clk\_pin)

        ff1 <= in1;

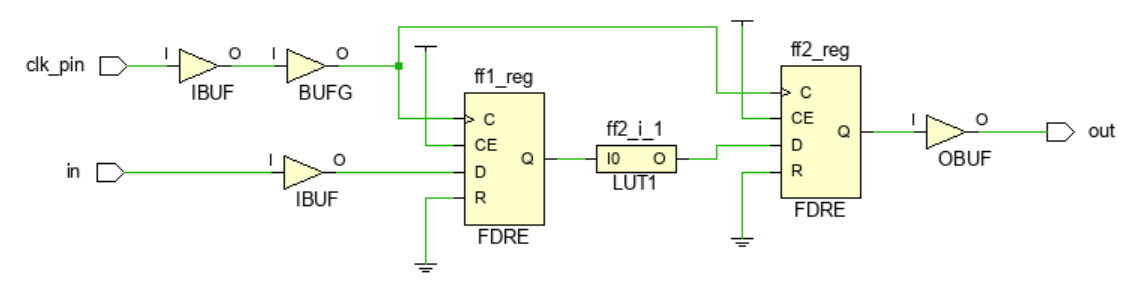
    always\_ff @(posedge clk\_pin)

        ff2 <= ~ff1;

    assign out1 = ff2;

endmodule

Схема проекта, полученная после имплементации представлена рисунке 3.

Рисунок 3. Схема проекта

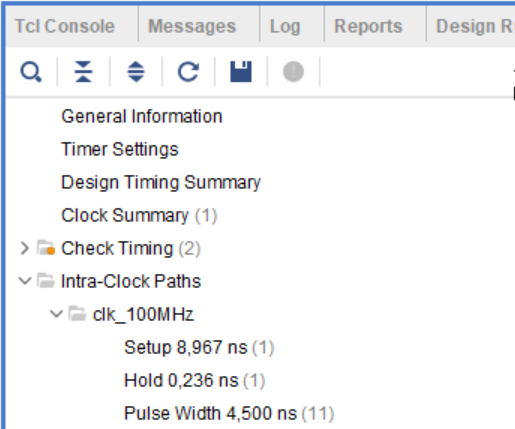
Чтобы Vivado мог провести временной анализ и проверить проект на удовлетворение максимальное и минимальное время распространения ему необходимо указать период тактового сигнала. Это делается в файле ограничений формата XDC. Будем считать, что частота тактового сигнала равна 100 МГц.

В xdc-файле необходимо указать следующую команду

create\_clock -period 10.000 -name clk\_100MHz [get\_ports clk\_pin]

Опция –period указывает период тактового сигнала в наносекундах. Конструкция [get\_ports clk\_pin] возвращает порт проекта с именем clk\_pin, указывает откуда приходит тактовый сигнал. С помощью опции –name можно задать имя тактового сигнала. Если этого не сделать имя тактового сигнала будет совпадать с именем порта.

После имаплементации открыть Timing Summury, во вкладке Intra-Clock Path clk\_100MHz будет представлены некоторые пути, для которых проводился временной анализ.



Раздел Setup соответствует проверке на максимальное время распространения, а раздел Hold на минимальное время распространения.

1. **Анализ ограничения на максимальное время распространения.**

Для начала рассмотри отчет максимальное время распространения. В разделе Setup дважды нажав на показанный путь можно открыть расширенный отчет path report. Данный отчет состоит из четырех разделов. Рассмотрим их по порядку.

Первый раздел представлен на рисунке 1. В данном разделе представлены общие сведения, такие как имя пути, рассчитанный для данного пути , имя и период тактового сигнала. Началом пути является тактовый вход триггера ff1 заканчивается путь на D входе триггера ff2. Также указывается задержке при распространении данных, в наших обозначениях и количество уровней логики, в нашем случае один LUT, что и написано. В конце указывается расфазировнка тактового сигнала, которую мы обозначали , и неопределенность для тактового сигнала Clock Uncertainty, об этом параметре более подробно будем говорить далее.

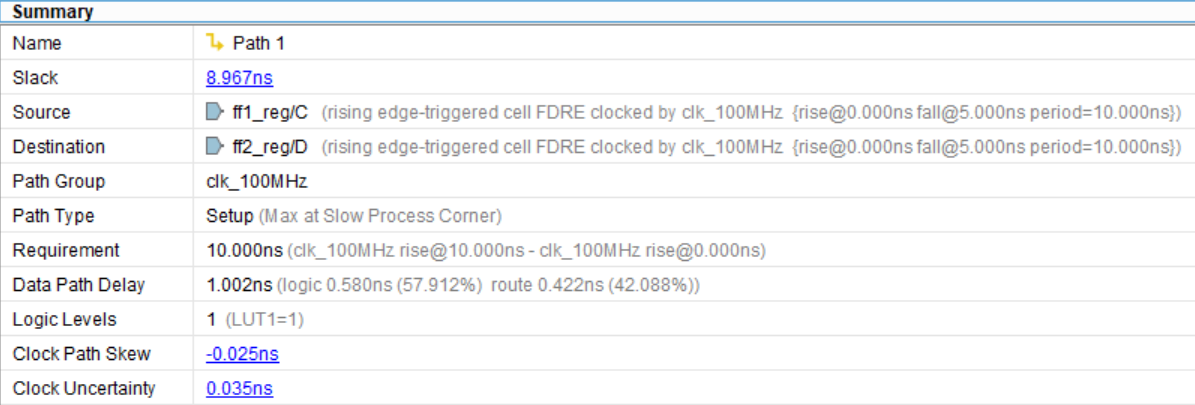


Рисунок 1. Общие сведения об анализируемом пути

Следующий раздел указывает задержки распространения запускающего фронта и представлен на рисунке 2. В данном перечислены все задержки, которые встречает запускающий фронт. В столбце Incr указано значение отдельной задержки, а в столбце Path сумма текущей и всех предыдущих задержек. Можно увидеть, что тактовый сигнал начинается в момент времени ноль, и распространяется через входной и тактовый буферы. Общая задержка распространения, которая обозначалась нами как (1), составляет 4,708 наносекунд. Обозначение (r) рядом со значение задержки указывает, что анализируется фронт тактового сигнала.

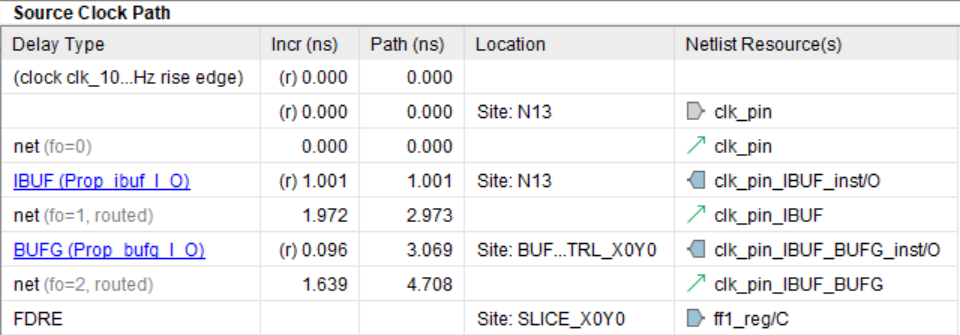


Рисунок 2. Задержка распространения для запускающего фронта

В следующем разделе указаны задержки при распространении данных и представлен на рисунке 3. Задержки данных состоят из задержки clock to output для триггера ff1, задержки распространения через LUT и задержки распространения по линиям соединения. Просуммировав значения в столбце Incr получим 1,002 нс, что совпадает со значением Data Path Delay из раздела Summary. Обратите внимание, что значения в столбце Path не начинаются с нуля, так как учитывается задержка распространения запускающего фронта. Первое значение в столбце Path рассчитывается как сумма задержки clock to output (0,456 нс) и (4,708 нс). Конечное значение в столбце Path показывает время прибытия данных до защелкивающего триггера, в наших обозначениях это (1). О том, что обозначают (r) и (f) рядом со значениями задержек будет рассказано далее.

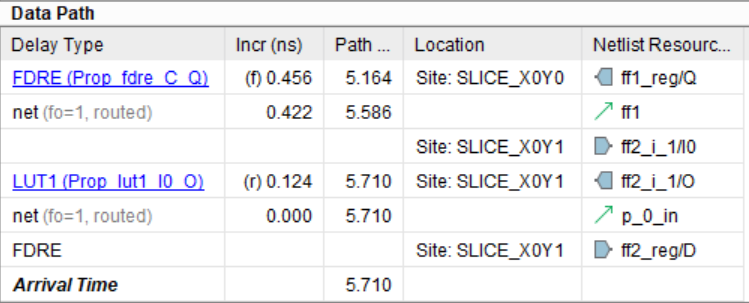


Рисунок 3. Задержки в распространении данных.

В последнем разделе приводится время расчёт требуемого времени прибытия данных. Защелкивающий фронт приходит через период после запускающего фронта, поэтому в первой строке отсчета указано 10 нс. Далее в строках до строки FDRE указываются задержки при распространении защелкивающего фронта. Защелкивающий фронт также проходит через входной и тактовый буферы и попадает на С вход триггера ff2 в момент времени 14,347 нс, который в наших обозначениях и рассчитывается по формуле (1).

Далее представлены еще три задержки представляют из себя время удержания для триггера ff2 (0.029 нс), а также пессимизм (clock pessimism) (0,336 нс) и неопределенность (clock uncertainty) (-0,035 нс) тактового сигнала. О последних двух задержках будет рассказано далее.

Требуемое время прибытия данных равно 14,677 нс и в наших обозначениях (1). Формула (1) учитывающая и будет иметь вид

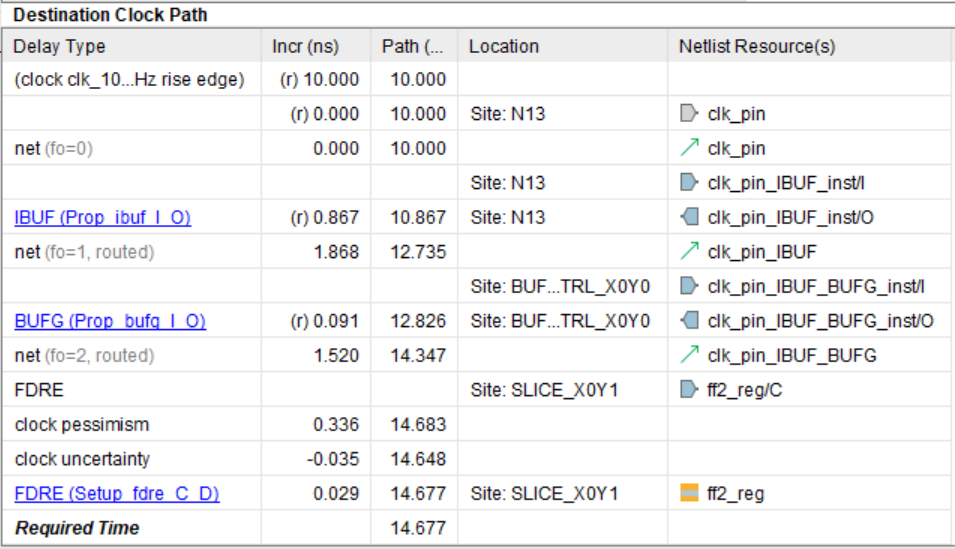


Рисунок 4. Требуемое время прибытия данных.

рассчитывается по формуле (1) и равен

,

что совпадает со значением, представленным в разделе Summary.

1. **Анализ ограничения на максимальное время распространения.**

Далее рассмотрим отчет ограничение на минимальное время распространения. В разделе Hold дважды нажав на путь можно открыть расширенный отчет path report. Данный отсчет также состоит из четырех разделов, представленных на рисунках 1-3. В разделах данные в разделах Summary, Source Clock Path и Data Path имеют тот же самый смысл, что и при анализе по Setup.

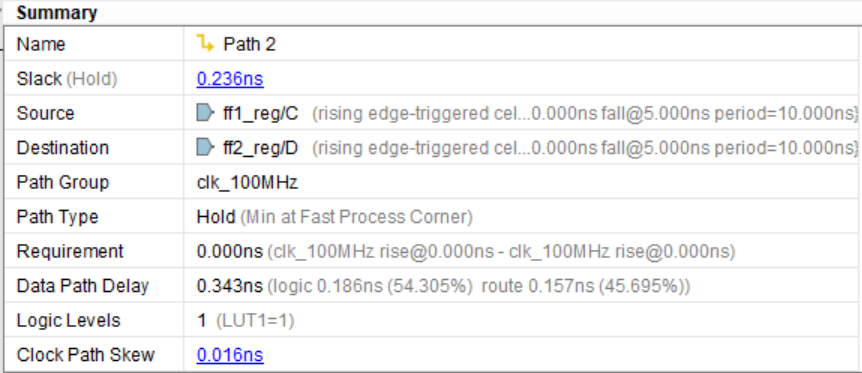


Рисунок 1. Общие сведения о пути

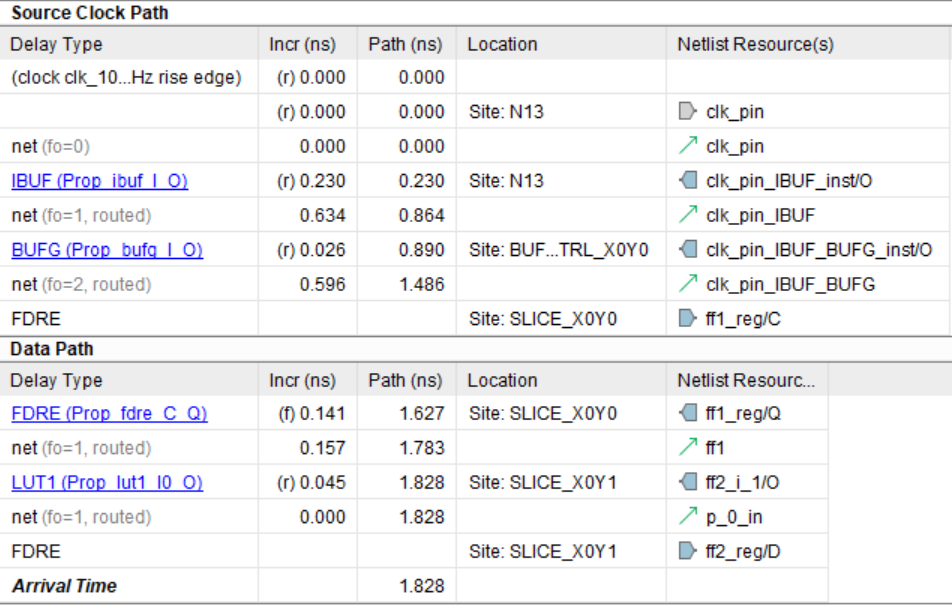


Рисунок 2. Расчет фактического времени прибытия данных

На рисунке 3 представлен расчёт требуемого времени прибытия данных. Обратите внимание, так как при анализе по Hold запускающий и защелкивающий фронты появляются в один и тот же момент времени, начальное значение в столбцах Incr и Path равное 0 нс, а не 10 нс, как для Setup.

Можно увидеть, что в данном случае отсутствует слагаемое (clock uncertainty). Причина будет раскрыта далее.

рассчитывается по формуле (1) и равен

Также стоит заметить, что задержки через одни и те элементы же при анализе по Setup и Hold имеют разные значения. Например, задержка через LUT при Setup равна 0.124 нс, а при Hold – 0.045 нс. Значение, представленное в Datasheet DS181 для -1 speedgrade, равно 0.1 нс. Как было сказано ранее, статический анализ производится для самого пессимистичного случая, поэтому при анализе по Setup рассматривается случай, когда данные будет распространятся максимально долго, что соответствует (data propagation delay) в формуле (1). Для анализа по Hold самый худший случай – это максимально быстрое распространение данных, в формуле (1).

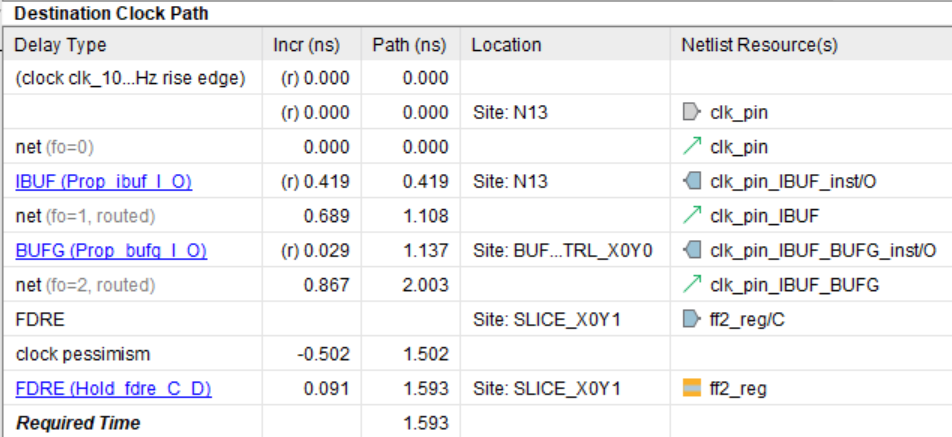


Рисунок 3. Расчет требуемого времени прибытия данных

В заключении рассмотри, что же обозначают записи (r) и (f) рядом с задержками данных. Глядя на рисунок 1, можно подумать, что при временном анализе Vivado рассматривает всего один путь, однако это не так. У каждого пути есть начало и конец. Точка, в которой заканчивается путь называется Endpoint. Несколько разных путей могут иметь один и тот же Endpoint. По умолчанию Vivado во временном отчете отображает всего один худший путь для каждого Endpoint. Это можно изменить, если при формировании отчета установить параметр Maximum number of worst path per endpoint. Задав этот параметр, например, равны 10, на рисунке 1 можно увидеть, что теперь в отчете отображается 4 пути.

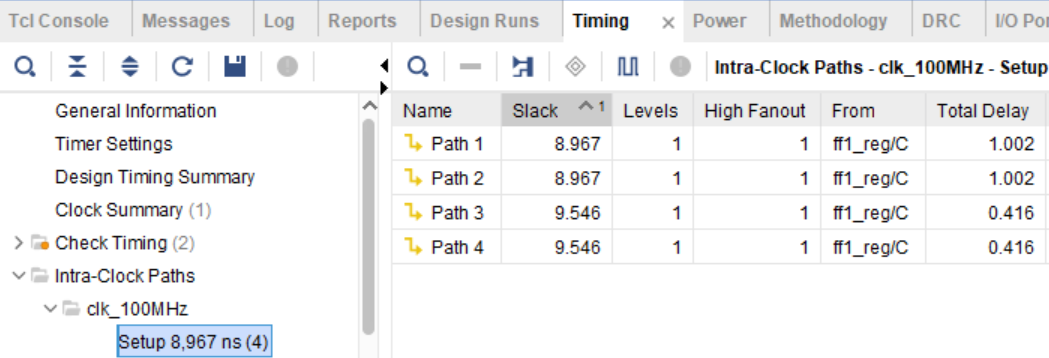


Рисунок 1. Анализируемые пути.

Задержки распространения чрез элемент цифровой схемы могут разные значения, если выход элемента изменяет с низкого уровня на высокой или с высокого на низкий. Обозначение (f) при расчете задержки данных указывает, что в данном случае анализируется вариант, когда сигнал на выходе элемента изменяется с высокого на низкий. На рисунке (1) можно увидеть, что рассматривается случай, когда сигнал на выходе триггера ff1 изменяется с ‘1’ на ‘0’, а сигнал на выходе LUT – c ‘0’ на ‘1’ (r). Всего есть четыре возможные комбинации (r) и (f) для LUT и ff1, поэтому отчете переставлено четыре пути. Очевидно, что так как в нашем случае LUT реализует инвертор, то ситуация ff1 (f) и LUT (f), а также ff1 (r) и LUT (r) невозможны. Однако временной анализатор ничего не рассматривает как именно работает схема, а просто считает все возможные задержки для самых пессимистичных случаев.

1. **Неопределенность тактового сигнала.**

В идеале тактовый сигнал представляет из себя последовательность прямоугольных импульсов одинаковой формы, повторяющихся с постоянным заданными периодом. У реального тактового сигнала фронта импульсов в среднем повторяются через период, однако каждый отдельный фронт может прийти четь раньше или чуть позже. Это явление называется дрожанием тактового сигнала или джиттером. Если выражать в виде формул, то время между двумя фронтами тактового сигнала можно записать в виде

где – как и раньше период тактового сигнала, – случайная величина с нулевым средним, обуславливающая неопределенность тактового сигнала.

Слагаемое (clock uncertainty), которое встречалось при рассмотрении отчета о временном анализе, как раз и отвечает за неопределенность тактового сигнала из-за джиттера. Если нажать значение неопределенности в отчете можно увидеть каким образом она рассчитается на рисунке 1.

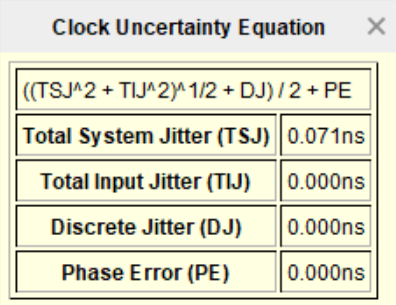


Рисунок 1. Выражение для расчета неопределенности

Данное выражение имеет вид:

где – общий джиттер присутствующий тактовом входе каждого последовательного элемента; – дополнительный джиттер для конкретного тактового сигнала; – джиттер тактового сигнала, формируемого блока PLL или MMCM; – постоянная расфазировка тактового сигнала, формируемого блока PLL или MMCM, относительного опорного.

Параметры и рассчитываются Vivado самостоятельно и отличны от нуля если данные запускаются или защёлкиваются тактовым сигналом, который формируется в PLL или MMCM.

По умолчанию Vivado задает значение равным 0,071 нс. Это значение можно изменить, указать следующую команду в xdc-файле

set\_system\_jitter Tsj

где (system jitter) задается в нс. Значение общего джиттера равно

.

Например, результат команды

set\_system\_jitter 0.15

можно увидеть на рисунке 1.

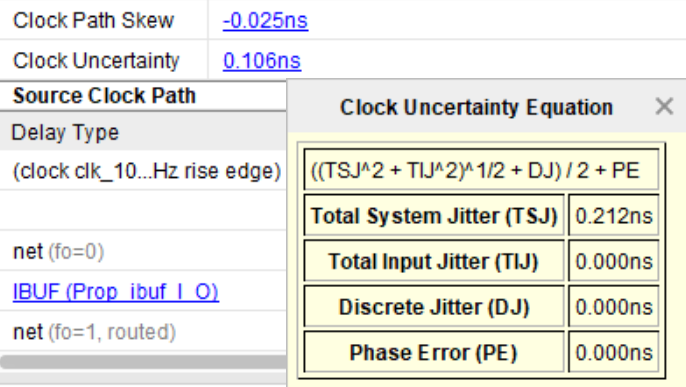


Рисунок 1. Выражение для расчета неопределенности

Как и ожидалось нc, а, так как остальные слагаемые в формуле (1) равны нулю, нс.

Если требуется можно задать дополнительную неопределенность из-за джиттера для конкретного тактового сигнала с помощью команды вида

set\_input\_jitter [get\_clocks clock\_name] Tij

где (input jitter) задается в нс. Значение общее значение джиттера для тактового сигнала равно , если запускающий и защёлкивающий фронта относятся к одному тактовому сигналу, и – если запускающий и защелкивающий тактовые сигналы разные.

Например, результат соделжимого xdc файла

create\_clock -period 10.000 -name clk\_100MHz [get\_ports clk\_pin]

set\_system\_jitter 0.15

set\_input\_jitter [get\_clocks clk\_100MHz] 0.100

можно увидеть на рисунке 1.

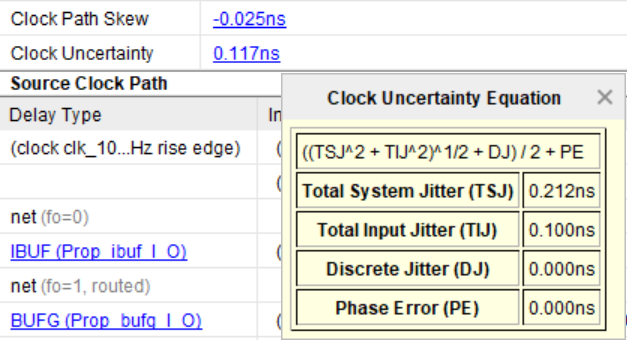


Рисунок 1. Выражение для расчета неопределенности

Как и ожидалось

Обобщая все выше сказанное: из-за наличия джиттера временной интервал между двумя последовательными фронтами тактового сигнала отличается от периода на некоторую случайную величину. При проведении временного анализа это случайную величину можно задавать с помощью команд set\_system\_jitter и set\_input\_jitter.

Теперь можно объяснить почему при анализе по Hold отсутствовало слагаемое . При анализе по Hold запускающий и защелкивающий импульсы появляются в один и тот же момент времени, поэтому между их фронтами нет никакой неопределенности. Если бы запускающий и защелкивающий фронты относились к разным тактовым сигналам, то слагаемое присутствовало в анализе по Hold.

1. **Устранение пессимизма задержки тактового сигнала.**

Рассмотрим последнее не рассмотренное слагаемое, а именно (clock pessimism). Чтобы понять, что оно означает вернемся к анализу по Hold и рассмотри рисунки 1 и 2. Можно увидеть на рисунке 1, что задержка распространения запускающего фронта через входной буфер равна 0.23 нс. В то же время из рисунка 2 следует, что задержка для защелкивающего фронта через тот же буфер равна 0.419 нс. Но это физически не так, ведь при анализе по Hold запускающий и защелкивающий фронты совпадают, и задержки через буфер должны быть одинаковыми.

Данное противоречие связано с тем, что временной анализатор рассматривает всегда самый худший случай, и для анализа по Hold этому случаю соответствует минимальные задержки для запускающего фронта и максимальные для защелкивающего. На первом этапе анализатор просто рассчитывает задержки, не вникая как распространяются тактовые сигналы.

Далее анализатор ищет участок пути общий для запускающего и защелкивающего фронтов. Задержки распространения по этому участку для обоих фронтов должны совпадать. Поэтому анализатор вносит компенсацию в виде слагаемого .

Например, задержки по общему пути от тактового пина до выхода тактового буфера равны 0,890 нс для запускающего фронта и 1.137 нс. для защелкивающего. Отсюда нс. В отчете это значение больше и равно нс. Это связано с тем, что Vivado также учитывает разность задержек общему участку последней линии соединения, которой мы пренебрегли.

Рассмотрим временной анализ после синтеза, когда Vivado не учитывает задержки на линии соединения. Отдельные части отчета анализа по Hold представлены на рисунке 1.

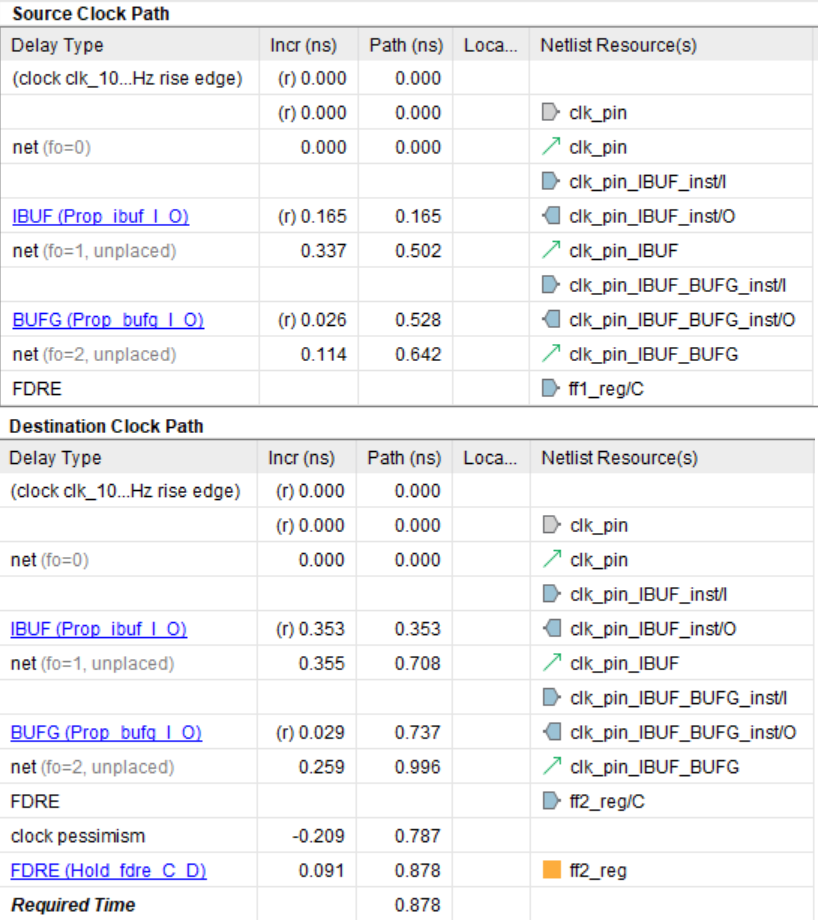


Рисунок 1. Анализ по Hold после синтеза.

Задержки по общему пути от тактового пина до выхода тактового буфера равны 0,528 нс для запускающего фронта и 0,737 нс. для защелкивающего. Отсюда нс., что совпадает со значением представленным в отчете.

Теперь можно понять, как рассчитывается рассфазировка тактового сигнала, присутствующая в разделе Summary временного отчета. Для этого используется формула (1) с учетом компенсации пессимизма распространения тактового сигнала. Например, глядя на рисунки 1 и 2 получаем

что совпадает со значением представленном в разделе Summary на рисунке 1.

**Заключение.**

Что было в статье. Что будет дальше.