**Основы статического временного анализа: period constraint.**

**Введение.**

Что будет в статье.

**Статический временной анализ.**

Во всех гайдах с рекомендациями написано избегать защелок (latch), поэтому правильно FPGA в который загружен правильно сделанный проект представляет из себя синхронное последовательное цифровое устройство. То есть схема проекта состоит из набора регистров разделенных комбинационной логики. В регистрах содержится состояние системы, изменяющееся только по фронту (спаду) тактового сигнала. Типичный путь сигнала внутри FPGA представлен на рис. 1.

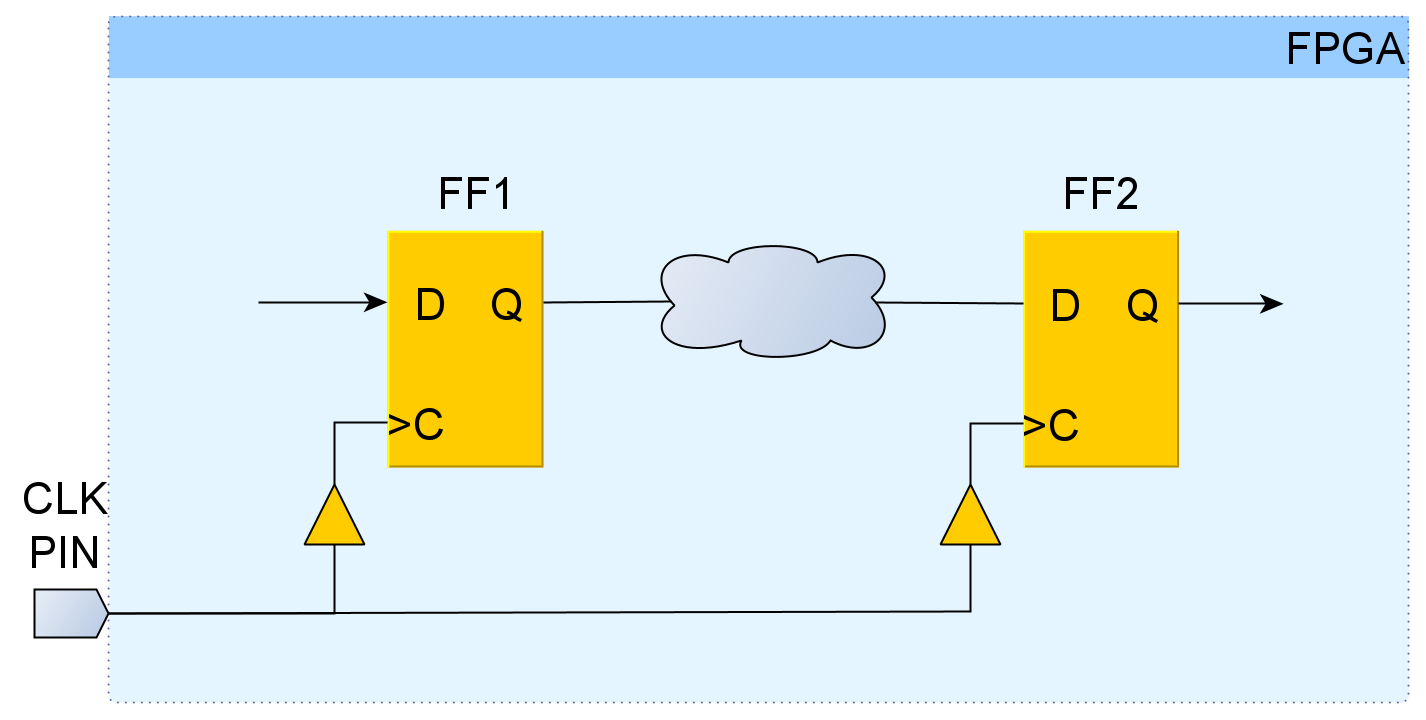


Рисунок 1. Типичный путь сигнала внутри FPGA.

По фронту тактового сигнала, который называют запускающий (start, source, launch), данные с D входа триггера FF1 переходят на выход Q, распространяются через комбинационную логику и попадают на D вход триггера FF2. Спустя период тактового сигнала приходит следующий фронт тактового сигнала, называемый защелкивающий (catch, destination, latch), триггер FF2 защелкивает данные на входе D и передает их на выход Q и далее по схеме.

Чтобы данные корректно распространялись описанным выше образом от триггера к триггеру при заданной частоте тактового сигнала задержки должны быть выполнены два условия:

* данные должны распространяться достаточно быстро, чтобы успеть дойти до триггера до прихода защелкивающего фронта (максимальное время распространения);
* данные должны распространяться достаточно медленно, чтобы предыдущие данные успели быть получены защелкивающим фронтом (минимальное время распространения).

Задача статический временного анализа заключается в том, чтобы для каждого пути между двумя триггерам рассчитать задержки распространения данных и тактового сигнала и установить удовлетворяются ли два приведенных выше ограничения.

**Ограничение на период тактового сигнала.**

Рассмотрим каким образом временной анализатор проводит расчет задержек. На рис. 2 представлен путь сигнала, на который нанесены задержки для данных и тактового сигнала.

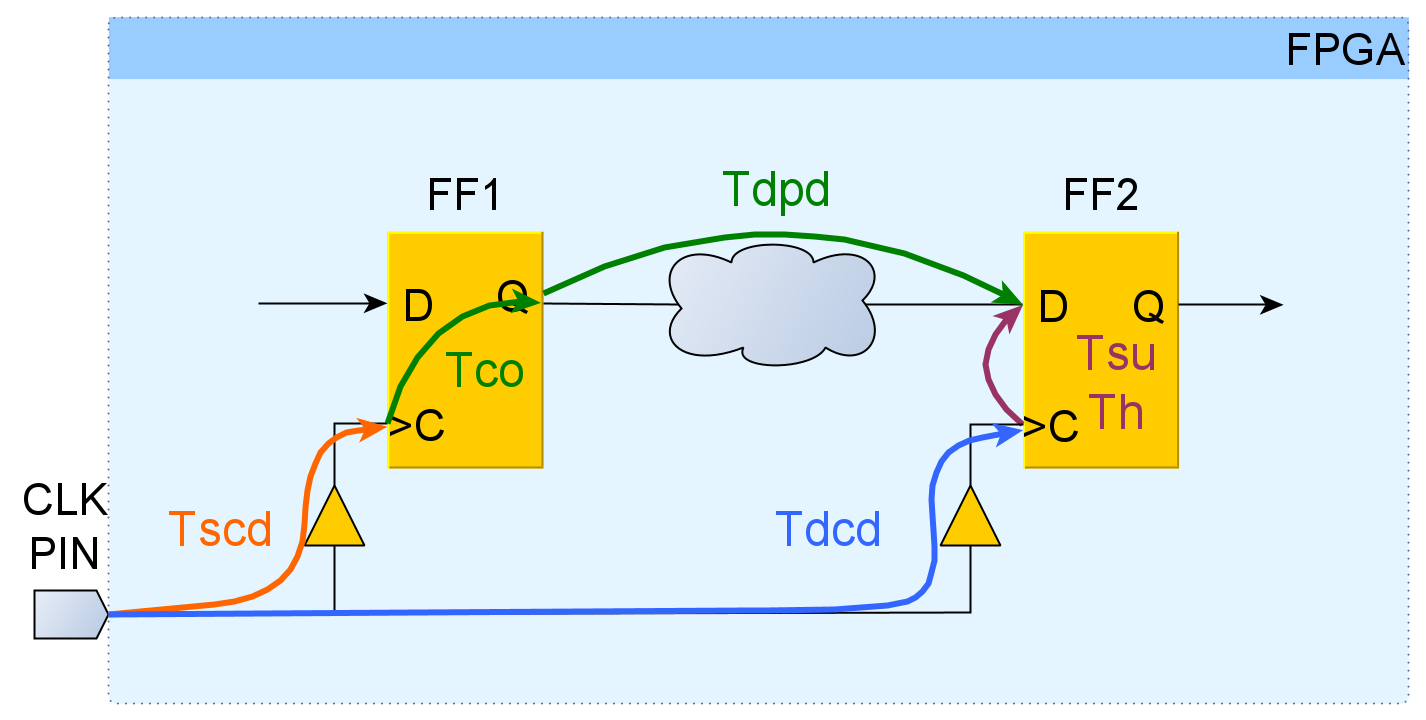


Рисунок 2. Задержки при распространении данных и тактового сигнала.

Ниже представлены определения задержек, представленных на рис.2.

* (source clock delay) – задержка тактового сигнала от тактового пина до тактового входа триггера FF1;
* (destination clock delay) – задержка тактового сигнала от тактового пина до тактового входа триггера FF2;
* (clock to output) – задержка от прихода фронта на тактовый вход триггера до появления данных c входа D на выходе Q;
* (data propagation delay) – задержка распространения данных между триггерами по соединениям и через логику;
* (setup time) – время установления, то есть промежуток времени до фронта тактового сигнала, в течении которого данные должны быть стабильны на входе D, чтобы надежно защелкнуться;
* (hold time) – время удержания, то есть промежуток времени после фронта тактового сигнала, в течении которого данные должны быть стабильны на входе D, чтобы надежно защелкнуться.

Обычно все события отсчитываются от некоторого нулевого момента времени. В качестве нулевого момента возьмем запускающий фронт. Период тактового сигнала обозначим как .

Для начала рассмотрим ограничение на **максимальное время распространения**:

Временной анализ проводится всегда для самого пессимистичного случая. Этому случаю соответствует максимально задержаний запускающий фронт и данные и максимально быстро пришедший защелкивающий фронт.

* Время прибытия запускающего фронта (Source clock arrive time):
* Задержка распространения данных (data delay):
* Время прибытия данных на вход защелкивающего триггера (data arrive time):
* Время прибытия защелкивающего фронта (Destination clock arrive time):

Защелкивающий является следующим после запускающего, поэтому к задержке распространения добавлен один период тактового сигнала.

* Требуемое время прибытия данных (data require time):

Так как данные должны быть стабильны в течении времени установки до защелкивающего фронта, данные должны прийти на время раньше защелкивающего фронта.

Чтобы было удовлетворено требование на максимальное время распространения, данные должны попасть на D вход защелкивающего триггера не позже, чем требуется в соответствии с .

Статический анализатор рассчитывает запас () в задержке данных

Если положительный, то это значит, что данные приходят раньше, чем требуется. Отрицательный указывает на нарушение ограничения на максимальное время распространения.

Подставив рассчитанные значения задержек получим еще ряд выражений для

Величина равная разности времени распространения тактового сигнал до запускающего и защелкивающего триггеров называется расфазировкой тактового сигнала (clock skew)

.

**Задание ограничений разбор отчетов в Vivado.**

create\_clock. Разбор path report. Datashhet ad dc.

**Неопределенность и устранение пессимизма задержки.**

set\_system\_jitter, set\_input\_jitter, CPPR

**Заключение.**

Что было в статье. Что будет дальше.