**Введение.**

**Цель временных ограничений для входных сигналов.**

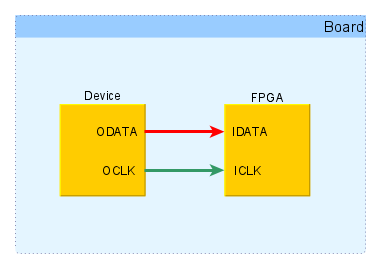


Рисунок 1. Схема соединения устройств на плате.

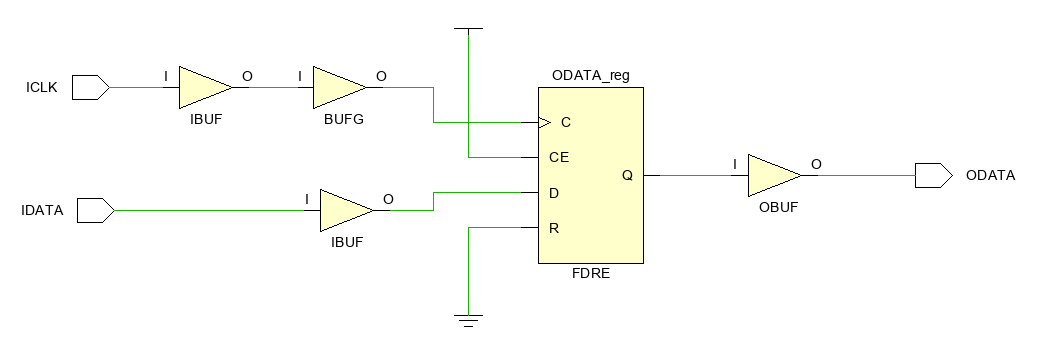


Рисунок 2. Схема FPGA проекта.

Описание проекта на System Verilog представлено ниже:

module top (

    input  logic ICLK,

    input  logic IDATA,

    output logic ODATA

);

    always\_ff@(posedge ICLK)

        ODATA <= IDATA;

endmodule

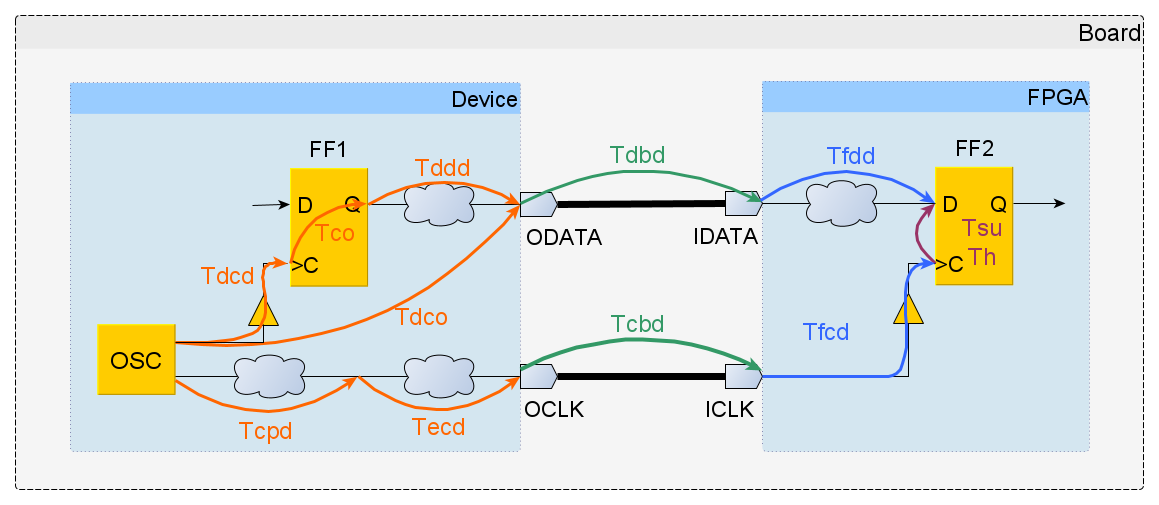


Рисунок 3. Путь с задержками для входных данных и тактового сигнала.

Ниже даны определения задержек, представленных на рисунке 3.

* *Todd* (***O****sc to* ***D****evice* ***D****elay*) – задержка тактового сигнала от генератора до ножки SRCLK микросхемы 74HC595;
* *Tofd* (***O****sc to* ***F****PGA* ***D****elay*) – задержка тактового сигнала от генератора до ножки CLK FPGA;
* *Tdcd* (***D****evice* ***C****lock* ***D****elay*) – задержка тактового сигнала от ножки SRCLK микросхемы 74HC595 до тактового входа запускающего триггера;
* *Tco* (***C****lock to* ***O****utput*) – интервал времени между приходом фронта на тактовый вход триггера и появлением данных на его выходе Q;
* *Tddd* (***D****evice* ***D****ata* ***D****elay*) – задержка распространения данных от запускающего триггера до ножки QH’ микросхемы 74HC595;
* *Tbd* (***B****oard* ***D****elay*) – задержка распространения данных по дорожкам платы между микросхемой 74HC595 и FPGA;
* *Tfcd* (***F****PGA* ***C****lock* ***D****elay*) – задержка тактового сигнала от ножки CLK FPGA до тактового входа защелкивающего триггера;
* *Tfdd* (***F****PGA* ***D****ata* ***D****elay*) – задержка распространения данных от ножки IDATA FPGA до защелкивающего триггера;
* *Tsu* (***S****et****U****p time*) – время установки триггера;
* *Th* (***H****old time*) – время удержания триггера.

Период тактового сигнала будем обозначать *Tclk*. Оранжевым и зеленым цветом на рисунке 3 представлены задержки для участков пути, которые располагаются вне FPGA. Данные задержки необходимо указать временному анализатору Vivado.

* Время прибытия данных на вход защелкивающего триггера внутри FPGA (***D****ata* ***A****rrival time*):

где использованы обозначения:

**Обобщение результатов для анализа входных сигналов.**

Общий вид анализа:

*Для input delay*

*Для примера из System Sync*

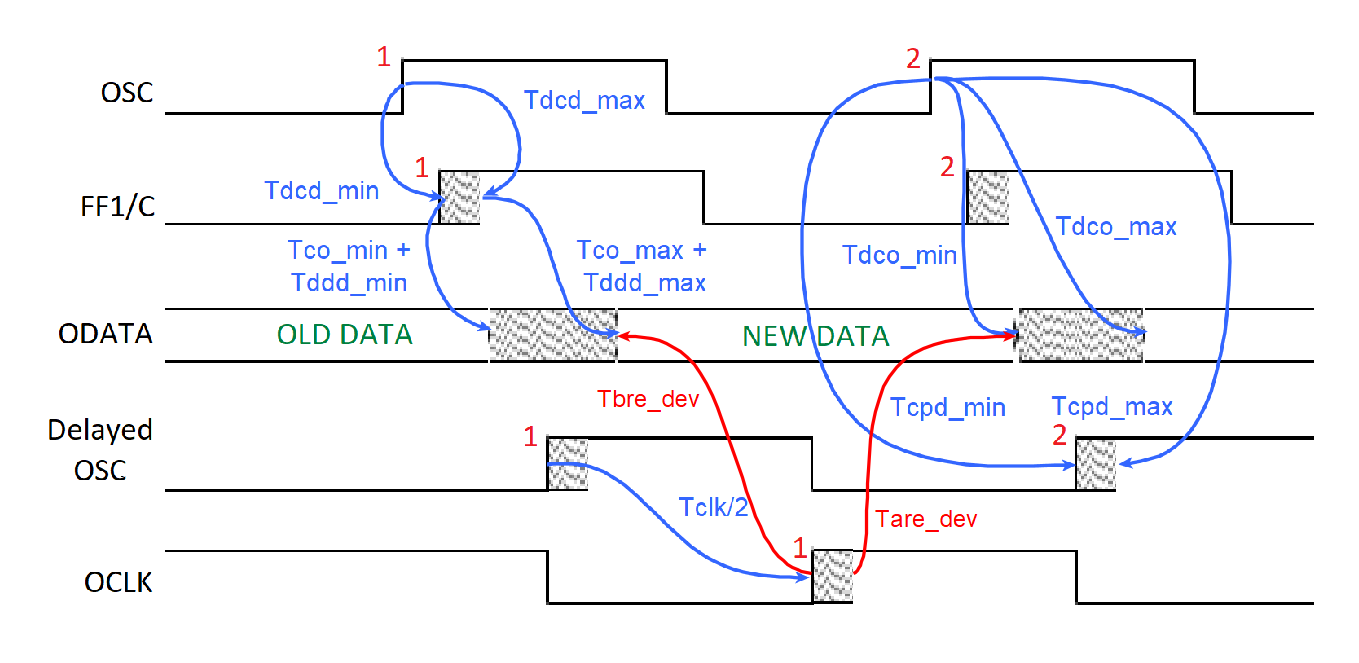
Все неизвестные слагаемы объединяются в одно и передаются вивидо

Эту сумму нужно указать Vivado, но с обратным знаком

Общий вид анализа hold:

**Center Aligned.**

*Tecd* = *Tclk/2.*



* Время прибытия фронта к защелкивающему триггеру внутри FPGA  
  (***D****estination* ***C****lock* ***A****rrival time*):
* Требуемое время прибытия данных (***D****ata* ***R****equired time*):

При анализе по *Setup* величина запаса (*Slack*) вычисляется по формуле:

Skew device

Skew fpga

В итоге получаем slack

# Center-Aligned Rising Edge Source Synchronous Inputs

#

# For a center-aligned Source Synchronous interface, the clock

# transition is aligned with the center of the data valid window.

# The same clock edge is used for launching and capturing the

# data. The constraints below rely on the default timing

# analysis (setup = 1 cycle, hold = 0 cycle).

#

# input    \_\_\_\_           \_\_\_\_\_\_\_\_\_\_

# clock        |\_\_\_\_\_\_\_\_\_|          |\_\_\_\_\_

#                        |

#                 dv\_bre | dv\_are

#                <------>|<------>

#          \_\_    \_\_\_\_\_\_\_\_|\_\_\_\_\_\_\_\_    \_\_

# data     \_\_XXXX\_\_\_\_Rise\_Data\_\_\_\_XXXX\_\_

#

set input\_clock         <clock\_name>;      # Name of input clock

set input\_clock\_period  <period\_value>;    # Period of input clock

set dv\_bre              0.000;             # Data valid before the rising clock edge

set dv\_are              0.000;             # Data valid after the rising clock edge

set input\_ports         <input\_ports>;     # List of input ports

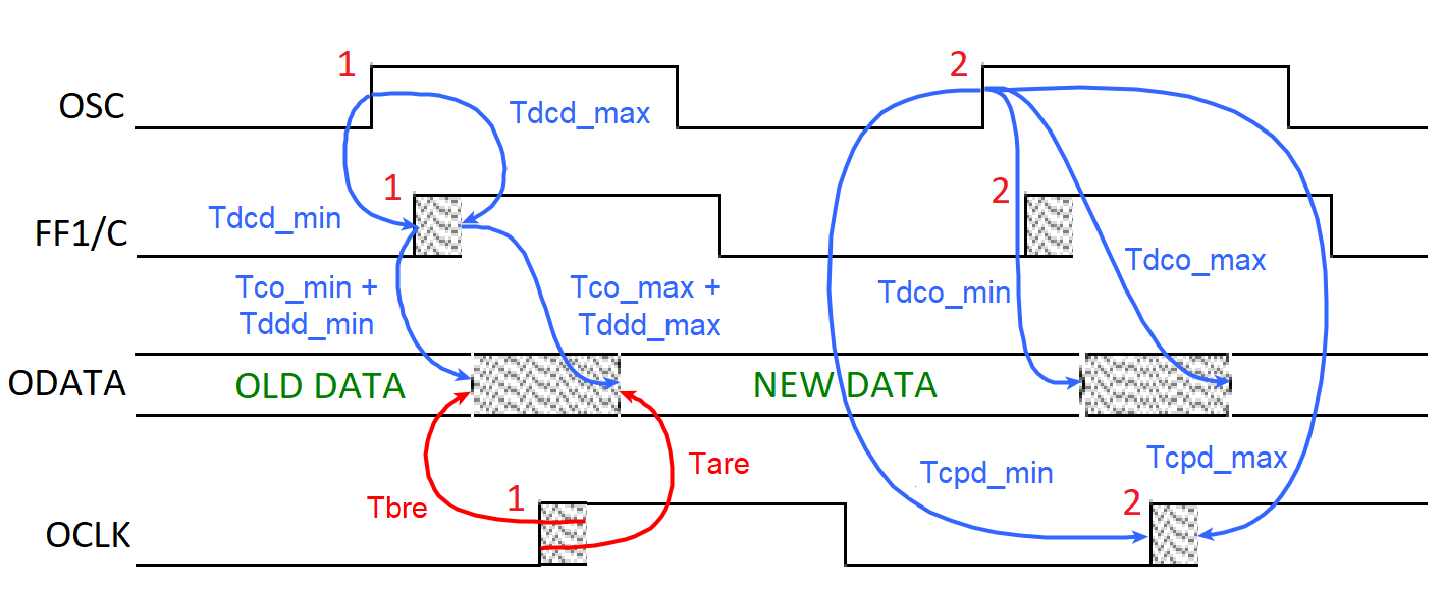
# Input Delay Constraint

set\_input\_delay -clock $input\_clock -max [expr $input\_clock\_period - $dv\_bre] [get\_ports $input\_ports];

set\_input\_delay -clock $input\_clock -min $dv\_are                              [get\_ports $input\_ports];

**Edge Aligned.**

*Tecd* = 0*.*



# Edge-Aligned Rising Edge Source Synchronous Inputs

# (Using a direct FF connection)

#

# For an edge-aligned Source Synchronous interface, the clock

# transition occurs at the same time as the data transitions.

# In this template, the clock is aligned with the beginning of the

# data. The constraints below rely on the default timing

# analysis (setup = 1 cycle, hold = 0 cycle).

#

# input    \_\_\_\_\_\_\_\_\_\_                  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# clock              |\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_|                |\_\_\_\_\_\_\_\_\_\_

#                                     |

#                             skew\_bre|skew\_are

#                             <------>|<------>

#             \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_        |        \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# data     XXX\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_XXXXXXXXXXXXXXXXX\_\_\_\_Rise\_Data\_\_\_XXX

#

set input\_clock         <clock\_name>;      # Name of input clock

set input\_clock\_period  <period\_value>;    # Period of input clock

set skew\_bre            0.000;             # Data invalid before the rising clock edge

set skew\_are            0.000;             # Data invalid after the rising clock edge

set input\_ports         <input\_ports>;     # List of input ports

# Input Delay Constraint

set\_input\_delay -clock $input\_clock -max [expr $input\_clock\_period + $skew\_are] [get\_ports $input\_ports];

set\_input\_delay -clock $input\_clock -min [expr $input\_clock\_period - $skew\_bre] [get\_ports $input\_ports];

**Edge Aligned MMCM.**

*Tecd* = *Tclk.*

# Edge-Aligned Rising Edge Source Synchronous Inputs

# (Using an MMCM/PLL)

#

# For an edge-aligned Source Synchronous interface, the clock

# transition occurs at the same time as the data transitions.

# In this template, the clock is aligned with the end of the

# data. The constraints below rely on the default timing

# analysis (setup = 1 cycle, hold = 0 cycle).

#

# input    \_\_\_\_\_\_\_\_\_\_                  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# clock              |\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_|                |\_\_\_\_\_\_\_\_\_\_

#                                     |

#                             skew\_bre|skew\_are

#                             <------>|<------>

#            \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_        |        \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# data     XX\_\_\_\_Rise\_Data\_\_\_\_XXXXXXXXXXXXXXXXX\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_XX

#

set input\_clock         <clock\_name>;      # Name of input clock

set skew\_bre            0.000;             # Data invalid before the rising clock edge

set skew\_are            0.000;             # Data invalid after the rising clock edge

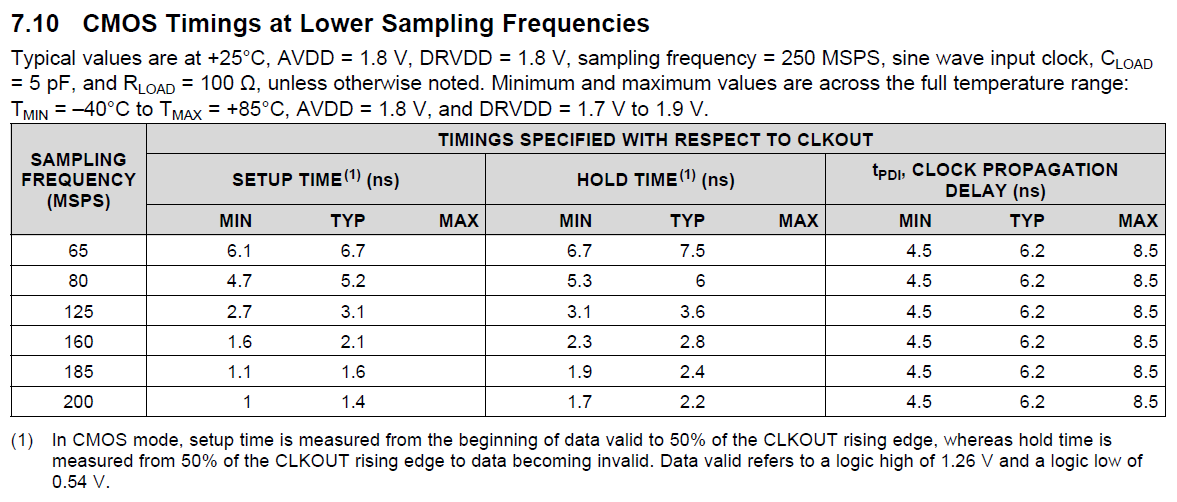
set input\_ports         <input\_ports>;     # List of input ports

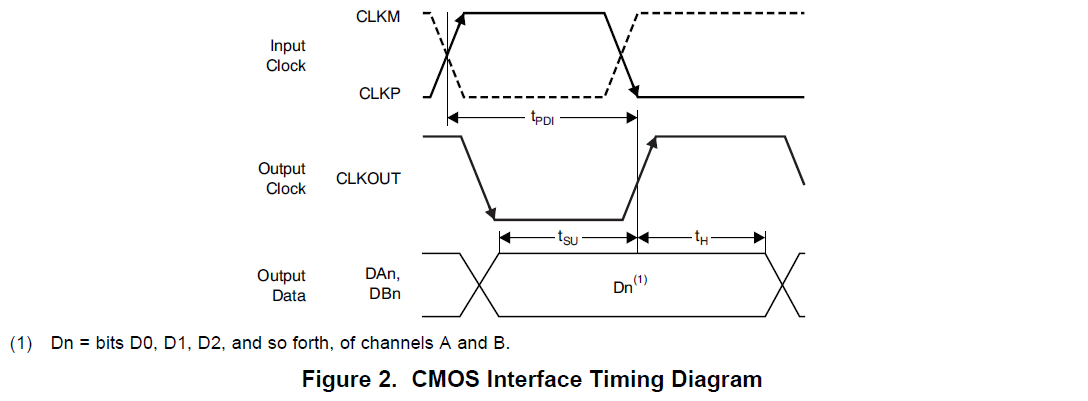
# Input Delay Constraint

set\_input\_delay -clock $input\_clock -max $skew\_are  [get\_ports $input\_ports];

set\_input\_delay -clock $input\_clock -min -$skew\_bre [get\_ports $input\_ports];

**Пример задания ограничений**





# период тактового сигнала

set Tclk 5

# время удержания данных после тактового сигнала на выходе ADS4249

set Tare\_dev 1.7

# время между появлением данных и тактовым сигналом на выходе ADS4249

set Tbre\_dev 1

# минимальное и максимальное время распространения данных по дорожкам платы

set Tdbd\_max 0.15

set Tdbd\_min 0.1

# минимальное и максимальное время распространения тактового сигнала по дорожкам платы

set Tcbd\_max 0.12

set Tcbd\_min 0.07

# время удержания данных после тактового сигнала на входе FPGA

set Tare\_fpga [expr $Tare\_dev + $Tdbd\_min - $Tcbd\_max]

# время между появлением данных и тактовым сигналом на входе FPGA

set Tbre\_fpga [expr $Tbre\_dev + $Tcbd\_min - $Tdbd\_max]

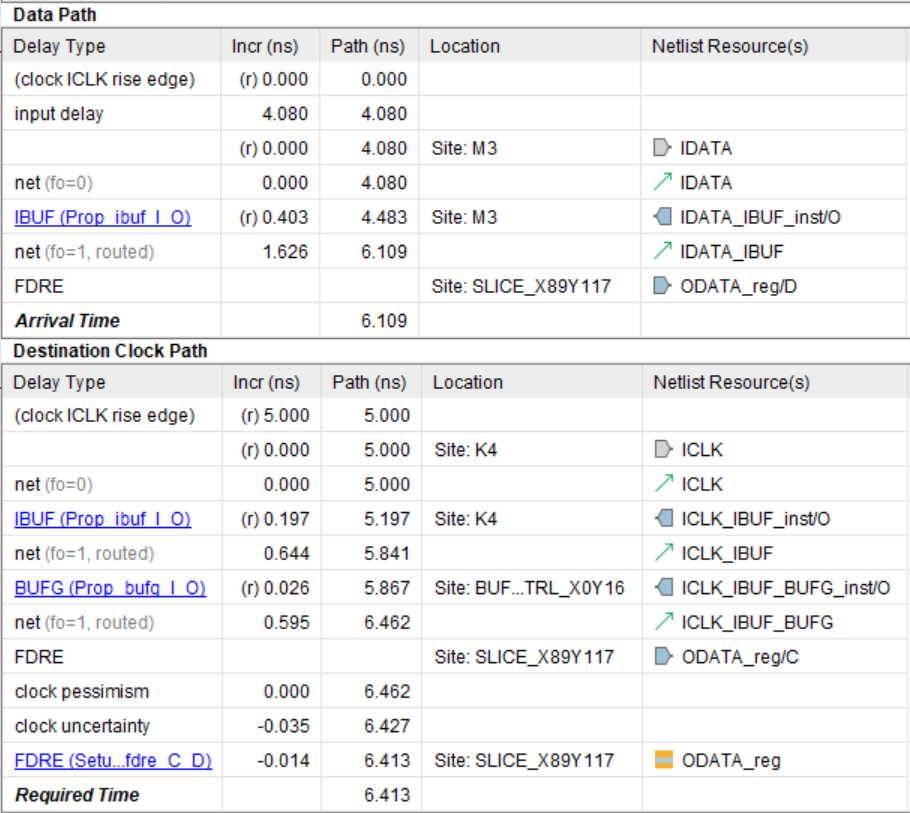
# ограничение на период тактового сигнала

create\_clock -period $Tclk -name ICLK [get\_ports ICLK]

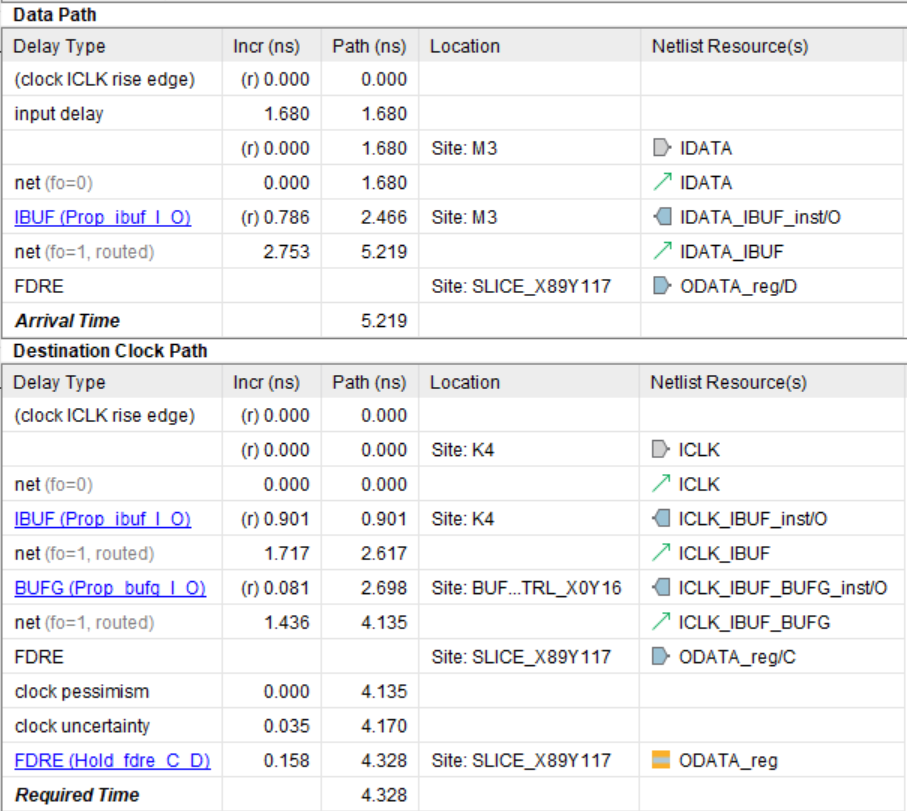
# временные ограничение для входного сигнала IDATA

set\_input\_delay -clock ICLK -max [expr $Tclk - $Tbre\_fpga] [get\_ports IDATA];

set\_input\_delay -clock ICLK -min $Tare\_fpga [get\_ports IDATA];



Setup



Hold

**Заключение.**

**Ссылки.**