**Введение.**

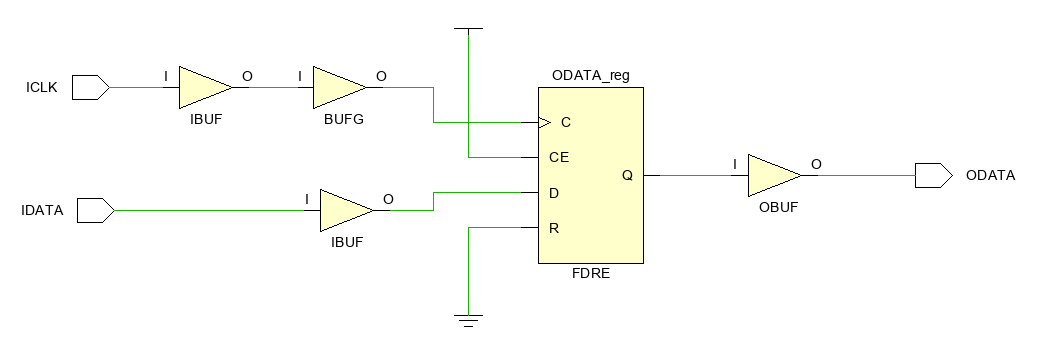


Рисунок 2. Схема FPGA проекта.

Описание проекта на System Verilog представлено ниже:

module top (

    input  logic ICLK,

    input  logic IDATA,

    output logic ODATA

);

    always\_ff@(posedge ICLK)

        ODATA <= IDATA;

endmodule

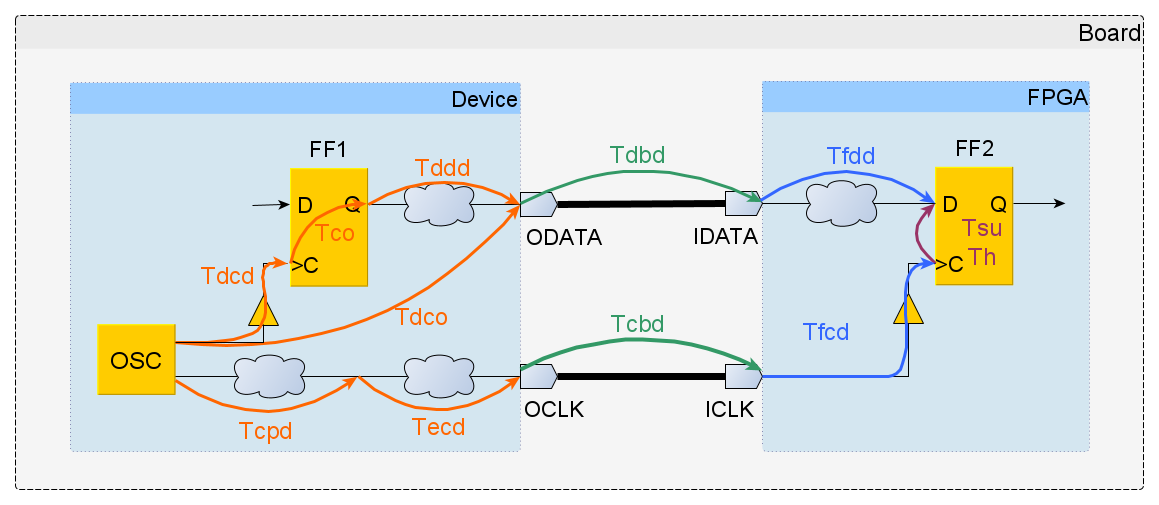


Рисунок 3. Путь с задержками для входных данных и тактового сигнала.

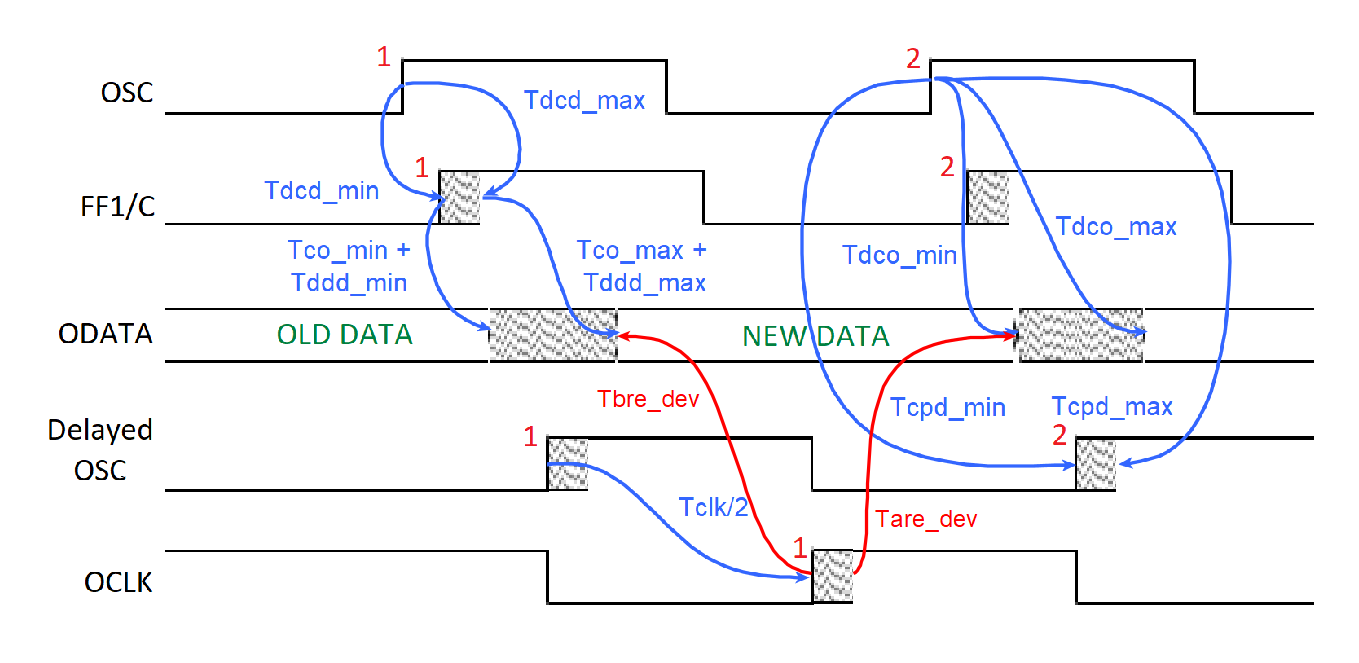
Ниже даны определения задержек, представленных на рисунке 3.

* *Todd* (***O****sc to* ***D****evice* ***D****elay*) – задержка тактового сигнала от генератора до ножки SRCLK микросхемы 74HC595;
* *Tofd* (***O****sc to* ***F****PGA* ***D****elay*) – задержка тактового сигнала от генератора до ножки CLK FPGA;
* *Tdcd* (***D****evice* ***C****lock* ***D****elay*) – задержка тактового сигнала от ножки SRCLK микросхемы 74HC595 до тактового входа запускающего триггера;
* *Tco* (***C****lock to* ***O****utput*) – интервал времени между приходом фронта на тактовый вход триггера и появлением данных на его выходе Q;
* *Tddd* (***D****evice* ***D****ata* ***D****elay*) – задержка распространения данных от запускающего триггера до ножки QH’ микросхемы 74HC595;
* *Tbd* (***B****oard* ***D****elay*) – задержка распространения данных по дорожкам платы между микросхемой 74HC595 и FPGA;
* *Tfcd* (***F****PGA* ***C****lock* ***D****elay*) – задержка тактового сигнала от ножки CLK FPGA до тактового входа защелкивающего триггера;
* *Tfdd* (***F****PGA* ***D****ata* ***D****elay*) – задержка распространения данных от ножки IDATA FPGA до защелкивающего триггера;
* *Tsu* (***S****et****U****p time*) – время установки триггера;
* *Th* (***H****old time*) – время удержания триггера.

Период тактового сигнала будем обозначать *Tclk*. Оранжевым и зеленым цветом на рисунке 3 представлены задержки для участков пути, которые располагаются вне FPGA. Данные задержки необходимо указать временному анализатору Vivado.

**Center Aligned.**

*Tecd* = *Tclk/2.*

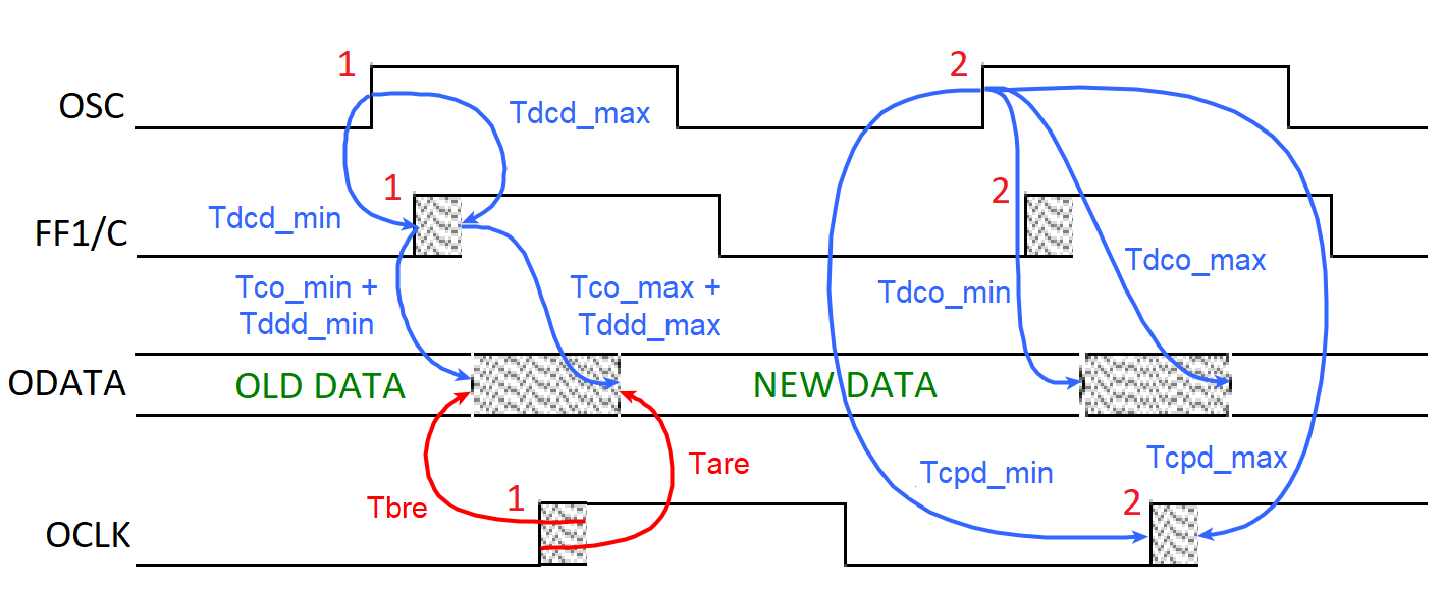


Skew fpga

В итоге получаем slack

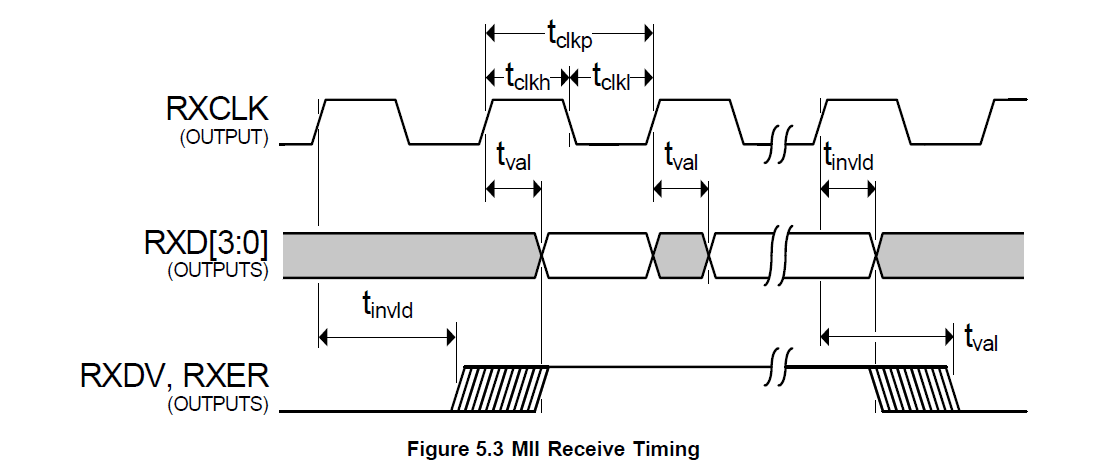
**Edge Aligned.**

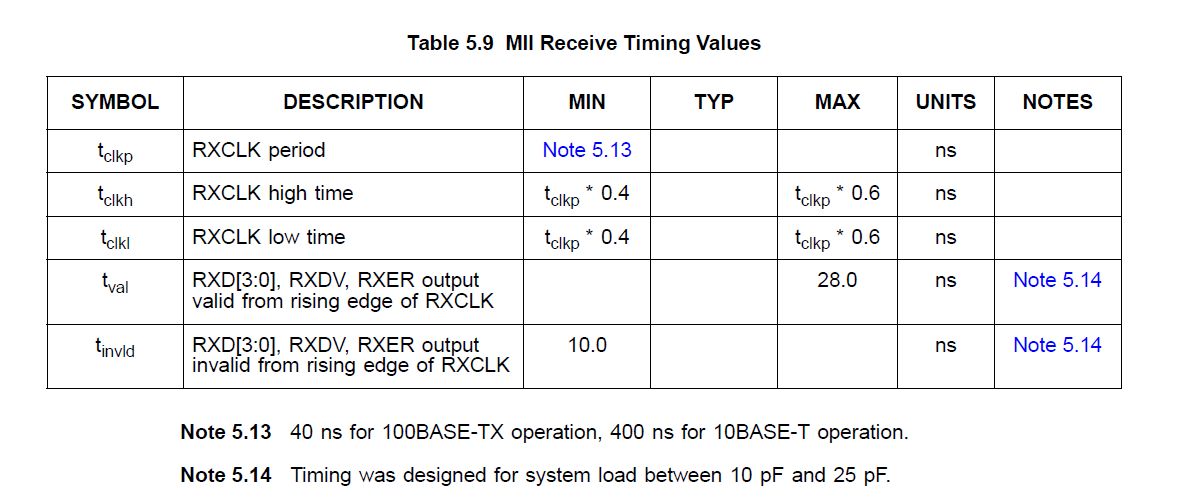
*Tecd* = 0*.*



**Edge Aligned MMCM.**

*Tecd* = *Tclk.*





**Пример задания ограничений. Edge Aligned.**

# период тактового сигнала

set Tclk 40

# время удержания данных после тактового сигнала на выходе LAN8740A (tinvld)

set Tbre\_dev -10

# время между появлением тактового сигнала и данных на выходе LAN8740A (tval)

set Tare\_dev 28

# минимальное и максимальное время распространения данных по дорожкам платы

set Tdbd\_max 0.15

set Tdbd\_min 0.1

# минимальное и максимальное время распространения тактового сигнала по дорожкам платы

set Tcbd\_max 0.12

set Tcbd\_min 0.07

# время удержания данных после тактового сигнала на входе FPGA

set Tbre\_fpga [expr $Tbre\_dev + $Tcbd\_max - $Tdbd\_min]

# время между появлением тактового сигнала и данных на входе FPGA

set Tare\_fpga [expr $Tare\_dev + $Tdbd\_max - $Tcbd\_min]

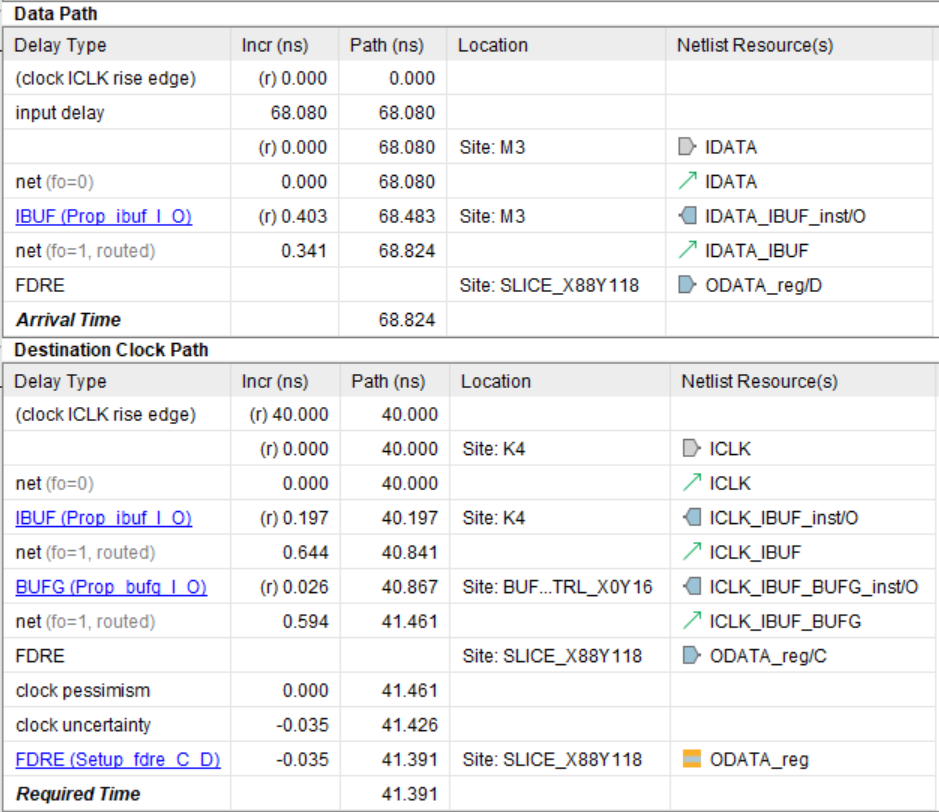
# ограничение на период тактового сигнала

create\_clock -period $Tclk -name ICLK [get\_ports ICLK]

# временные ограничение для входного сигнала IDATA

set\_input\_delay -clock ICLK -max [expr $Tclk + $Tare\_fpga] [get\_ports IDATA];

set\_input\_delay -clock ICLK -min [expr $Tclk - $Tbre\_fpga] [get\_ports IDATA];



**Пример задания ограничений. Edge Aligned MMCM.**

# период тактового сигнала

set Tclk 40

# время удержания данных после тактового сигнала на выходе LAN8740A (tinvld)

set Tbre\_dev -10

# время между появлением тактового сигнала и данных на выходе LAN8740A (tval)

set Tare\_dev 28

# минимальное и максимальное время распространения данных по дорожкам платы

set Tdbd\_max 0.15

set Tdbd\_min 0.1

# минимальное и максимальное время распространения тактового сигнала по дорожкам платы

set Tcbd\_max 0.12

set Tcbd\_min 0.07

# время удержания данных после тактового сигнала на входе FPGA

set Tbre\_fpga [expr $Tbre\_dev + $Tcbd\_max - $Tdbd\_min]

# время между появлением тактового сигнала и данных на входе FPGA

set Tare\_fpga [expr $Tare\_dev + $Tdbd\_max - $Tcbd\_min]

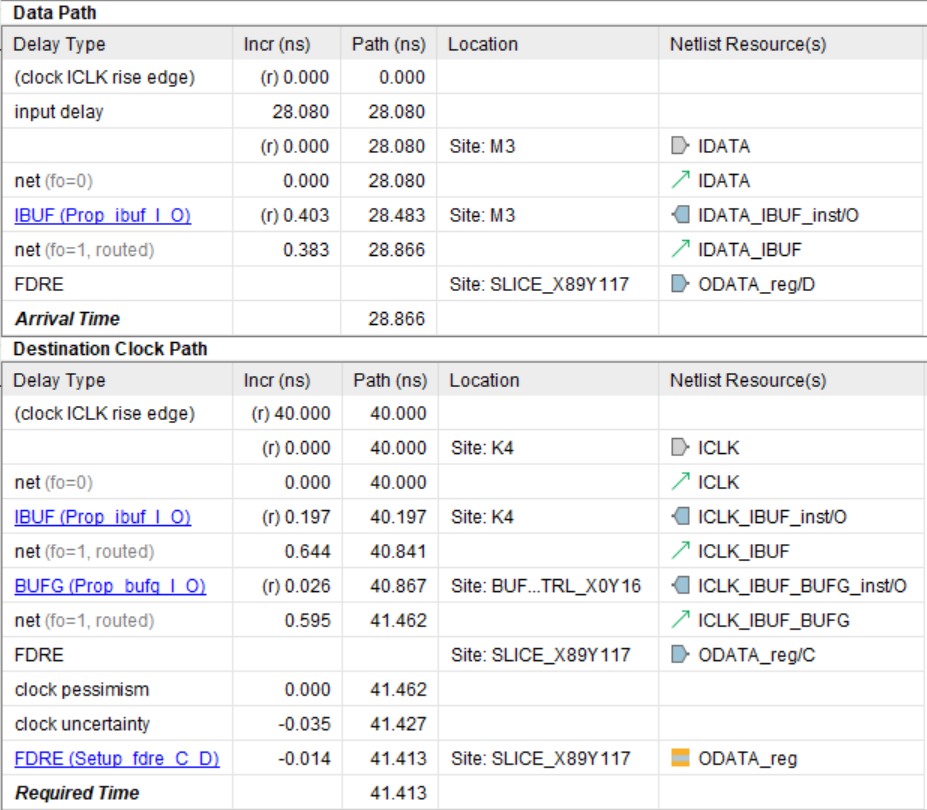
# ограничение на период тактового сигнала

create\_clock -period $Tclk -name ICLK [get\_ports ICLK]

# временные ограничение для входного сигнала IDATA

set\_input\_delay -clock ICLK -max $Tare\_fpga [get\_ports IDATA];

set\_input\_delay -clock ICLK -min -$Tbre\_fpga [get\_ports IDATA];



**Пример задания ограничений. Center Aligned.**

# период тактового сигнала

set Tclk 40

# время удержания данных после тактового сигнала на выходе LAN8740A (tinvld)

set Tare\_dev 10

# время между появлением данных и тактовым сигналом на выходе LAN8740A (tval)

set Tbre\_dev [expr $Tclk - 28]

# минимальное и максимальное время распространения данных по дорожкам платы

set Tdbd\_max 0.15

set Tdbd\_min 0.1

# минимальное и максимальное время распространения тактового сигнала по дорожкам платы

set Tcbd\_max 0.12

set Tcbd\_min 0.07

# время удержания данных после тактового сигнала на входе FPGA

set Tbre\_fpga [expr $Tbre\_dev + $Tcbd\_max - $Tdbd\_min]

# время между появлением тактового сигнала и данных на входе FPGA

set Tare\_fpga [expr $Tare\_dev + $Tdbd\_max - $Tcbd\_min]

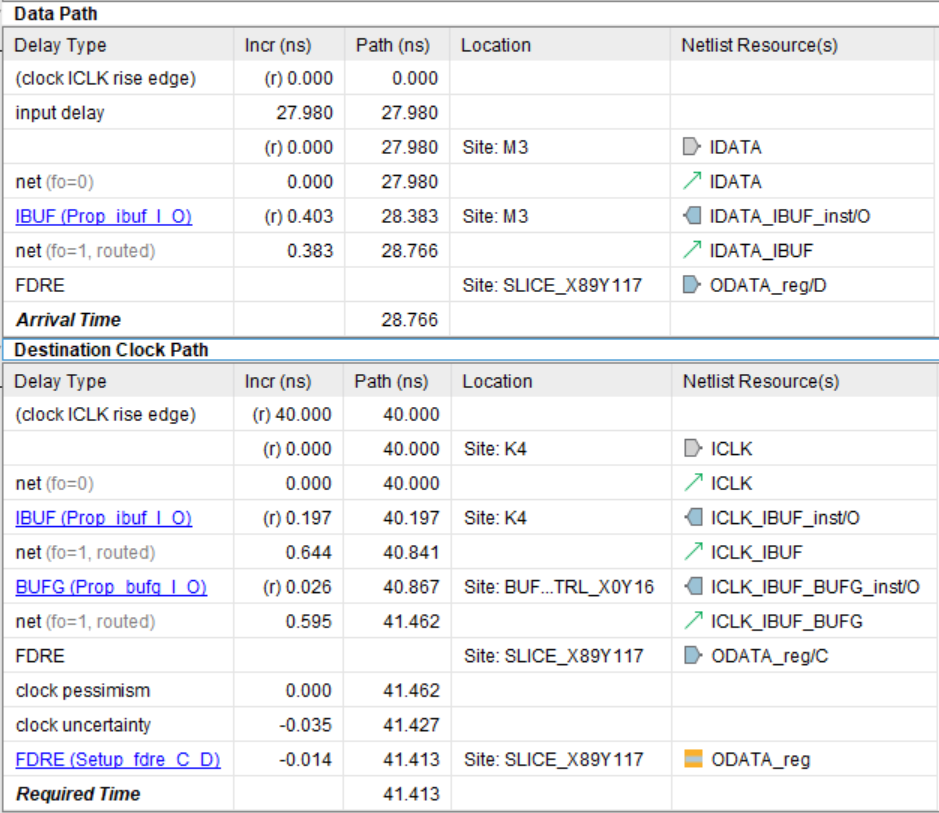
# ограничение на период тактового сигнала

create\_clock -period $Tclk -name ICLK [get\_ports ICLK]

# временные ограничение для входного сигнала IDATA

set\_input\_delay -clock ICLK -max [expr $Tclk - $Tbre\_fpga] [get\_ports IDATA];

set\_input\_delay -clock ICLK -min $Tare\_fpga [get\_ports IDATA];



**Влияние MMCM.**

# период тактового сигнала

set Tclk 20

# время удержания данных после тактового сигнала на входе FPGA

set Tbre\_fpga 4

# время между появлением тактового сигнала и данных на входе FPGA

set Tare\_fpga 0.5

# ограничение на период тактового сигнала

create\_clock -period $Tclk -name ICLK [get\_ports ICLK]

# временные ограничение для входного сигнала IDATA

set\_input\_delay -clock ICLK -max [expr $Tclk + $Tare\_fpga] [get\_ports IDATA];

set\_input\_delay -clock ICLK -min [expr $Tclk - $Tbre\_fpga] [get\_ports IDATA];