**Основы статического временного анализа.**

**Часть 2: System Synchronous** **Input Delay Constraint.**

**Введение.**

1. **Цель временных ограничений на входные сигналы.**

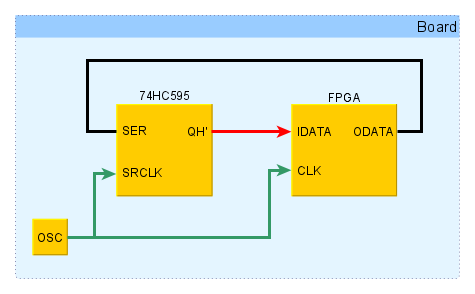


Рисунок 1. Схема соединения устройств на плате.

module top (

    input  logic CLK,

    input  logic IDATA,

    output logic ODATA

);

    logic ff1, ff2;

    always\_ff@(posedge CLK)

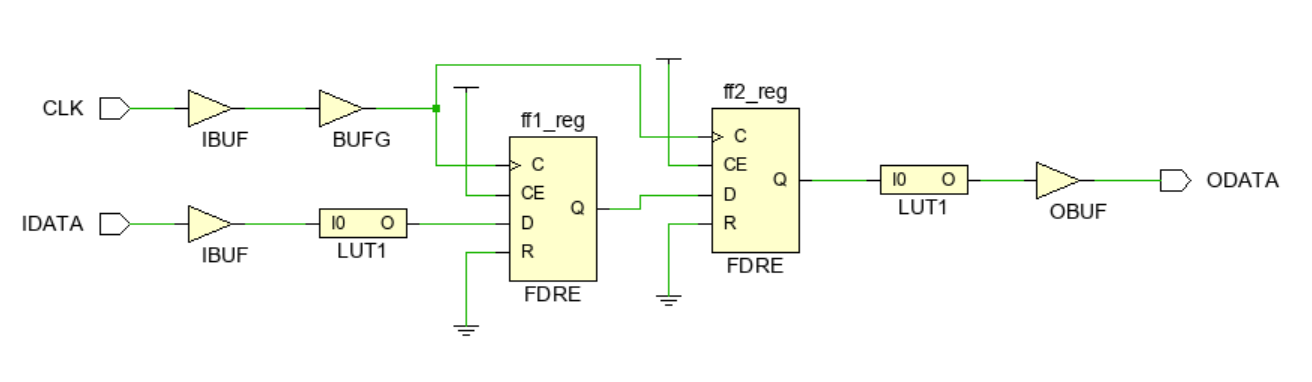
       ff1 <= ~IDATA;

    always\_ff@(posedge CLK)

       ff2 <= ff1;

   assign ODATA = ~ff2;

endmodule



1. **Временной анализ для входных сигналов.**

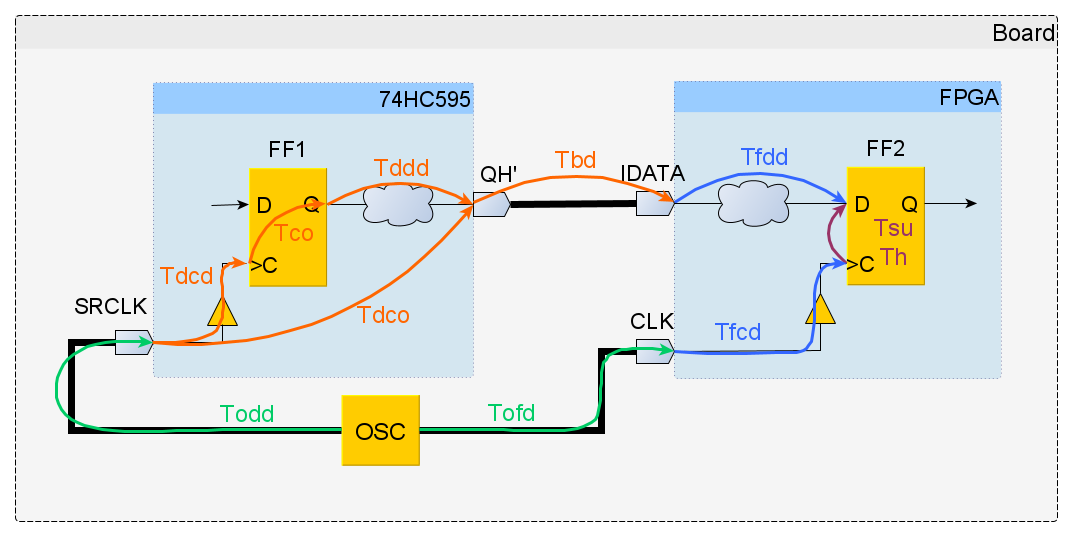


Рисунок 2. Путь с задержками для входных данных и тактового сигнала.

Ниже даны определения задержек, представленных на рисунке 2.

* (***O****sc to* ***D****evice* ***D****elay*) – задержка тактового сигнала от генератора до ножки микросхемы 74HC595;
* (***O****sc to* ***F****PGA* ***D****elay*) – задержка тактового сигнала от генератора до ножки FPGA;
* (***D****evice* ***C****lock* ***D****elay*) – задержка тактового сигнала от ножки 74HC595 до тактового входа триггера;
* (***C****lock to* ***O****utput*) – интервал времени между приходом фронта на тактовый вход триггера и появлением данных на его выходе Q;
* (***D****evice* ***D****ata* ***D****elay*) – задержка распространения данных между триггером и ножкой микросхемы 74HC595;
* (***B****oard* ***D****elay*) – задержка распространения данных по дорожкам на плате;
* (***F****PGA* ***C****lock* ***D****elay*) – задержка тактового сигнала от ножки FPGA до тактового входа триггера;
* (***F****PGA* ***D****ata* ***D****elay*) – задержка распространения данных между триггером и ножкой FPGA;
* (***S****et****U****p time*) – время установки.
* (***H****old time*) – время удержания.

1. **Максимальное время распространения**

* Время прибытия фронта к запускающему триггеру (***S****ource* ***С****lock* ***A****rrival time*):
* Задержка распространения данных (***D****ata* ***D****elay*):
* Время прибытия данных на вход защелкивающего триггера (***D****ata* ***A****rrival time*):
* Время прибытия фронта к защелкивающему триггеру (***D****estination* ***C****lock* ***A****rrival time*):
* Требуемое время прибытия данных (***D****ata* ***R****equired time*):

Результат работы статического анализатора представляется в виде запаса для задержки данных (*Slack*), который вычисляется по формуле

Используя ранее полученные уравнения, можно получить ряд выражений для расчета *Slack*

1. **Минимальное время распространения.**

* Время прибытия фронта к запускающему триггеру (***S****ource* ***С****lock* ***A****rrival time*):
* Задержка распространения данных (***D****ata* ***D****elay*):
* Время прибытия данных на вход защелкивающего триггера (***D****ata* ***A****rrival time*):
* Время прибытия фронта к защелкивающему триггеру (***D****estination* ***C****lock* ***A****rrival time*):
* Требуемое время прибытия данных (***D****ata* ***R****equired time*):

При анализе по *Hold* выражение для вычисления *Slack* имеет вид:

Используя полученные выше уравнения, выражение для *Slack* можно записать в виде:

1. **Первый способ создания временных ограничения в Vivado.**

# задержка распространения между приходом тактового сигнала и появлением данных на выходе QH' микросхемы 74HC595

set Tdco\_min 17

set Tdco\_max 32

# время установки и удержания для микросхемы 74HC595

set Tdsu 20

set Tdh 0

# минимальное и максимальное время распространения данных по дорожкам платы

set Tbd\_max 0.6

set Tbd\_min 0.5

# минимальное и максимальное время распространения тактового сигнала от генератора до микросхемы 74HC595

set Todd\_max 0.4

set Todd\_min 0.2

# минимальное и максимальное время распространения тактового сигнала от генератора FPGA

set Tofd\_max 0.3

set Tofd\_min 0.2

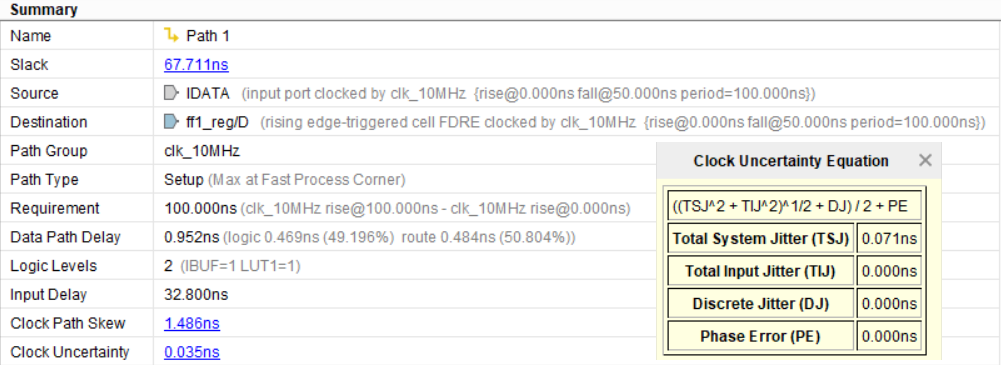
# ограничение на период тактового сигнала

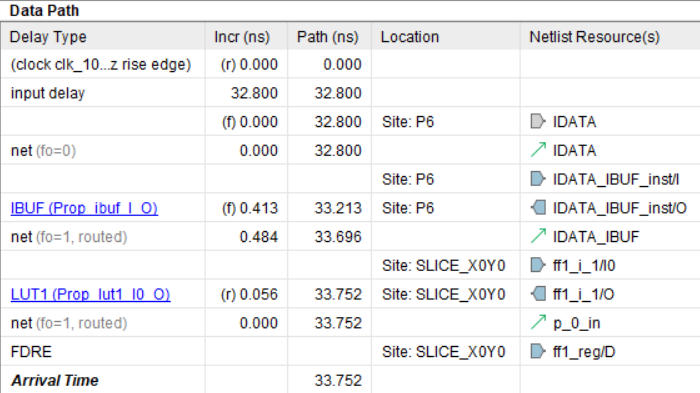
create\_clock -period 100 -name clk\_10MHz [get\_ports CLK]

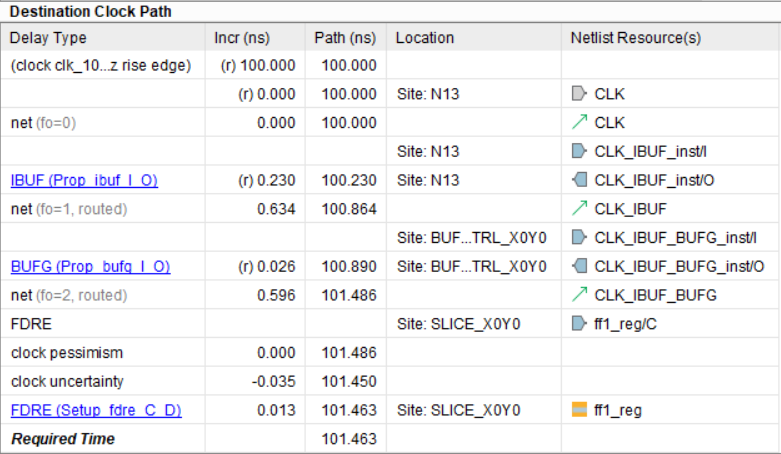
# временные ограничение для входного сигнала IDATA

set\_input\_delay -clock clk\_10MHz -max [expr $Todd\_max - $Tofd\_min + $Tdco\_max + $Tbd\_max] [get\_ports IDATA];

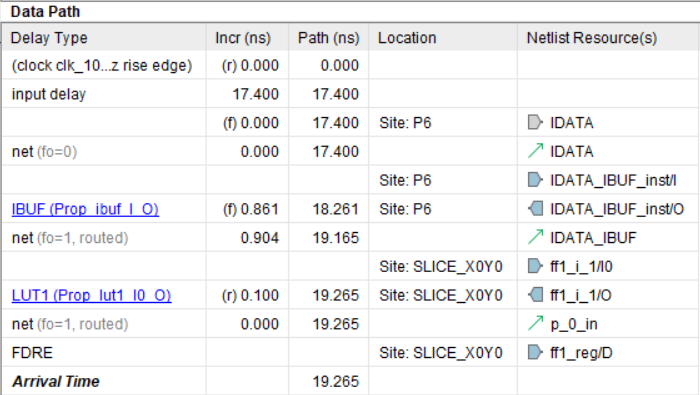
set\_input\_delay -clock clk\_10MHz -min [expr $Todd\_min - $Tofd\_max + $Tdco\_min + $Tbd\_min] [get\_ports IDATA];

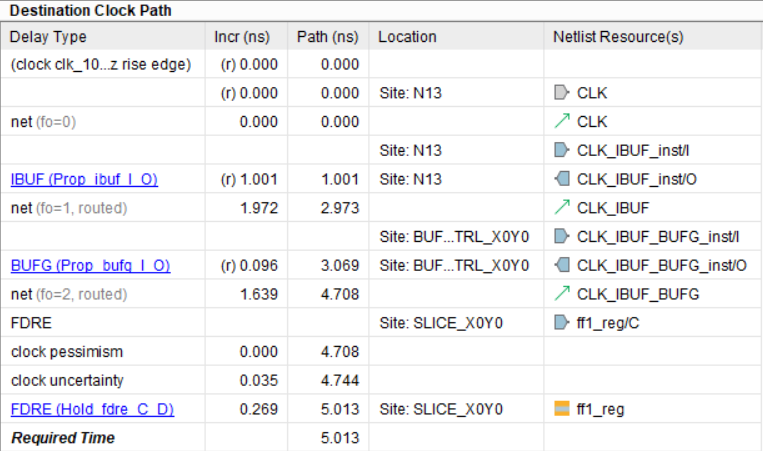
**

**

**

*Setup*

**

**

*Hold*

1. **Второй способ создания временных ограничения в Vivado.**

# задержка распространения между приходом тактового сигнала и появлением данных на выходе QH' микросхемы 74HC595

set Tdco\_min 17

set Tdco\_max 32

# время установки и удержания для микросхемы 74HC595

set Tdsu 20

set Tdh 0

# минимальное и максимальное время распространения данных по дорожкам платы

set Tbd\_max 0.6

set Tbd\_min 0.5

# минимальное и максимальное время распространения тактового сигнала от генератора до микросхемы 74HC595

set Todd\_max 0.4

set Todd\_min 0.2

# минимальное и максимальное время распространения тактового сигнала от генератора до FPGA

set Tofd\_max 0.3

set Tofd\_min 0.2

# ограничение на период тактового сигнала, поступающего в FPGA

create\_clock -period 100 -name clk\_10MHz [get\_ports CLK]

# задержки распространения тактового сигнала от генератора до FPGA

set\_clock\_latency -source -early $Tofd\_min [get\_clocks clk\_10MHz]

set\_clock\_latency -source -late $Tofd\_max [get\_clocks clk\_10MHz]

# ограничение на период виртуального тактового сигнала, поступающего в микросхему 74HC595

create\_clock -period 100 -name clk\_10MHz\_Dev

# задержки распространения тактового сигнала от генератора до микросхемы 74HC595

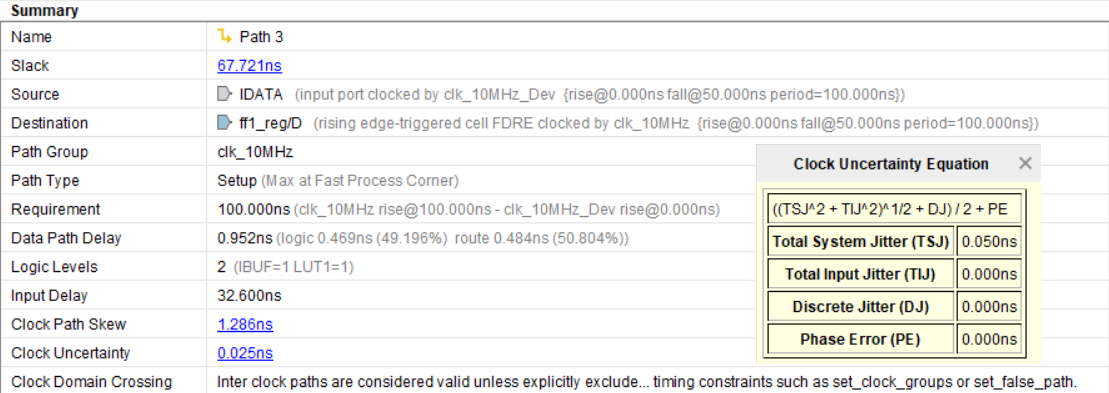
set\_clock\_latency -source -early $Todd\_min [get\_clocks clk\_10MHz\_Dev]

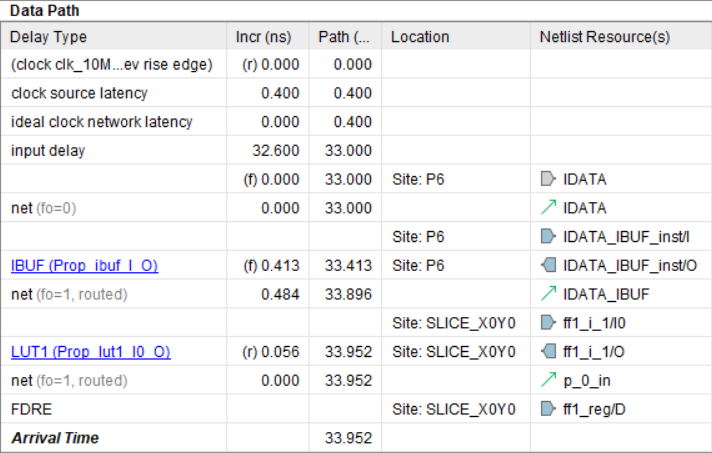
set\_clock\_latency -source -late $Todd\_max [get\_clocks clk\_10MHz\_Dev]

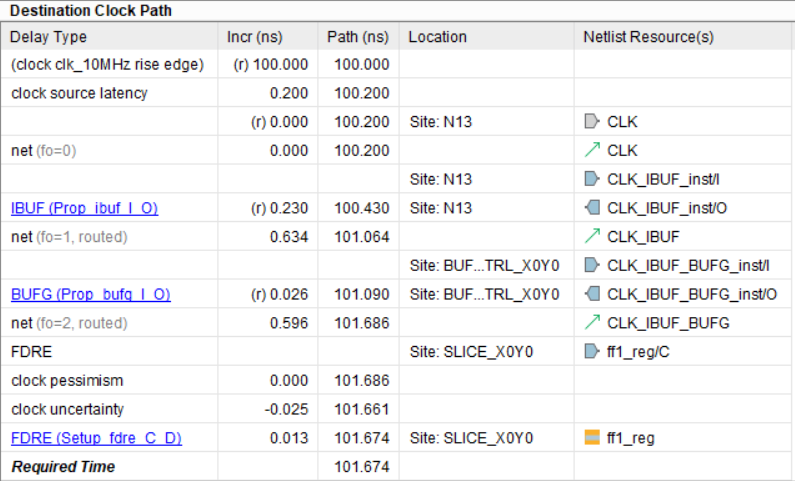
# временные ограничение для входного сигнала IDATA

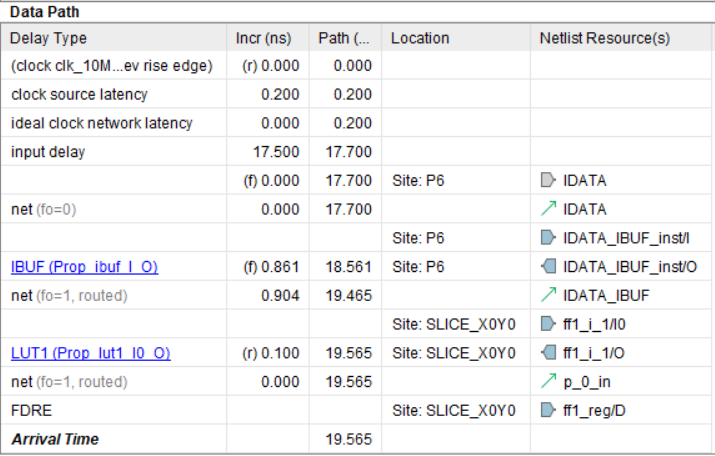
set\_input\_delay -clock clk\_10MHz\_Dev -max [expr $Tdco\_max + $Tbd\_max] [get\_ports IDATA];

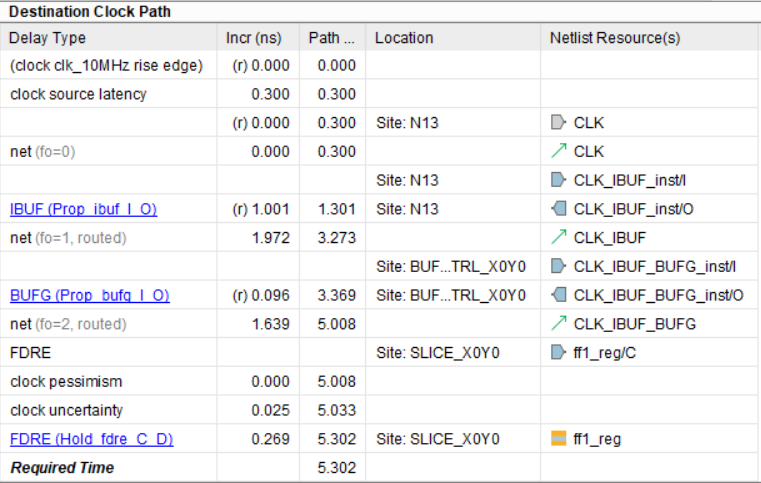
set\_input\_delay -clock clk\_10MHz\_Dev -min [expr $Tdco\_min + $Tbd\_min] [get\_ports IDATA];

**

**

**

**

**

# Rising Edge System Synchronous Inputs

#

# A Single Data Rate (SDR) System Synchronous interface is

# an interface where the external device and the FPGA use

# the same clock, and a new data is captured one clock cycle

# after being launched

#

# input      \_\_\_\_\_\_\_\_\_\_            \_\_\_\_\_\_\_\_\_\_

# clock   \_\_|          |\_\_\_\_\_\_\_\_\_\_|          |\_\_

#           |

#           |------> (tco\_min+trce\_dly\_min)

#           |------------> (tco\_max+trce\_dly\_max)

#         \_\_\_\_\_\_\_\_\_\_      \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# data    \_\_\_\_\_\_\_\_\_\_XXXXXX\_\_\_\_\_ Data \_\_\_\_\_XXXXXXX

#

set input\_clock     <clock\_name>;   # Name of input clock

set tco\_max         0.000;          # Maximum clock to out delay (external device)

set tco\_min         0.000;          # Minimum clock to out delay (external device)

set trce\_dly\_max    0.000;          # Maximum board trace delay

set trce\_dly\_min    0.000;          # Minimum board trace delay

set input\_ports     <input\_ports>;  # List of input ports

# Input Delay Constraint

set\_input\_delay -clock $input\_clock -max [expr $tco\_max + $trce\_dly\_max] [get\_ports $input\_ports];

set\_input\_delay -clock $input\_clock -min [expr $tco\_min + $trce\_dly\_min] [get\_ports $input\_ports];

**Заключение.**

**Ссылки.**