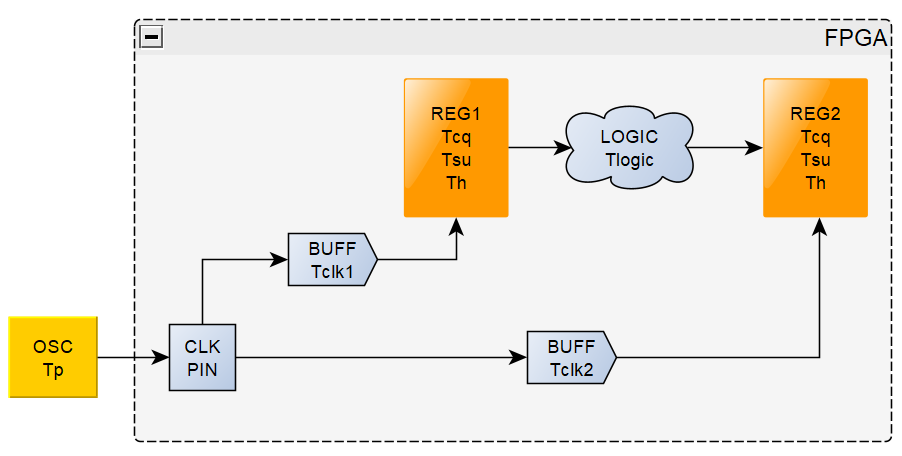
1. **Период тактового сигнала**



– задержка от входа FPGA до запускающего триггера;

– задержка от входа FPGA до защелкивающего триггера;

– период тактового сигнала;

– задержка Сlk-to-Q для триггеров;

– setup time для триггеров;

– hold time для триггеров;

– задержка через логику;

– джиттер;

– дополнительная непредвиденная задержка;

– расфазировка тактового сигнала.

**Setup Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

.

**Hold Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

.

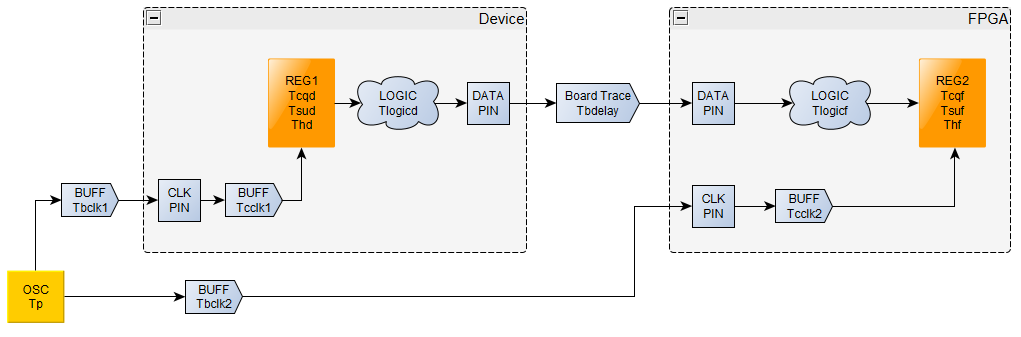
**Constraints.**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_system\_jitter Tjit или

set\_input\_jitter [get\_clocks CLK] Tjit

* set\_clock\_uncertainty -from [get\_clocks CLK] –to \ [get\_clocks CLK] Tun

1. **Входные ограничения**
   1. **System Synchronous**

****

– задержка от входа Device до запускающего триггера;

– задержка от генератора до входа Device;

– задержка от входа FPGA до защелкивающего триггера;

– задержка от генератора до входа FPGA;

– период тактового сигнала;

– задержка Сlk-to-Q для триггеров Device;

– setup time для триггеров Device;

– hold time для триггеров Device;

– задержка через логику Device;

– задержка Сlk-to-Q для триггеров FPGA;

– setup time для триггеров FPGA;

– hold time для триггеров FPGA;

– задержка через логику FPGA;

– задержка данных на дорожке платы;

– джиттер;

– дополнительная непредвиденная задержка,

**Setup Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

.

.

В FPGA известны следующие параметры: , , . Остальные необходимо указать.

**Constraints 1.**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_input\_delay -clock CLK -max Input Delay [get\_ports DATA\_PIN]

**Constraints 2.**

* create\_clock -name CLK\_DEV -period Tp

set\_clock\_latency -source -late Latency\_1 [get\_clocks CLK\_DEV]

create\_clock -name CLK\_FPGA -period Tp [get\_ports CLK\_PIN]

set\_clock\_latency -source -early Latency\_2 [get\_clocks CLK\_FPGA]

* set\_input\_delay -clock CLK\_DEV -max \

Input Delay [get\_ports DATA\_PIN]

**Hold Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

В FPGA известны следующие параметры: , , . Остальные необходимо указать.

**Constraints 1.**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_input\_delay -clock CLK -min Input Delay [get\_ports DATA\_PIN]

**Constraints 2.**

* create\_clock -name CLK\_DEV -period Tp

set\_clock\_latency -source -early Latency\_1 [get\_clocks CLK\_DEV]

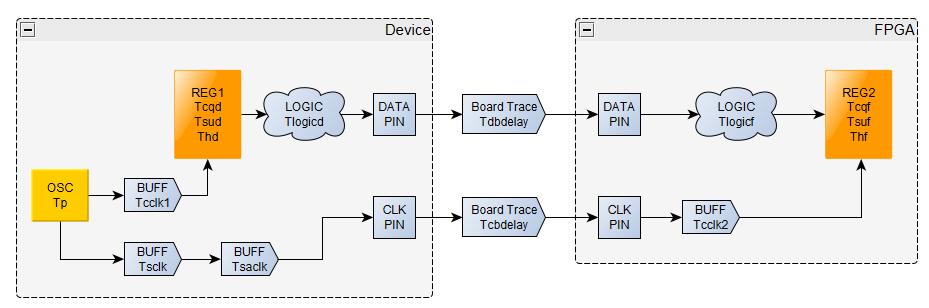
create\_clock -name CLK\_FPGA -period Tp [get\_ports CLK\_PIN]

set\_clock\_latency -source -late Latency\_2 [get\_clocks CLK\_FPGA]

* set\_input\_delay -clock CLK\_DEV -min \

Input Delay [get\_ports DATA\_PIN]

* 1. **Source Synchronous**



– задержка от OSC до запускающего триггера;

– задержка от OSC до выхода Device;

– дополнительная задержка от OSC до выхода Device;

– задержка от входа FPGA до защелкивающего триггера;

– период тактового сигнала;

– задержка Сlk-to-Q для триггеров Device;

– setup time для триггеров Device;

– hold time для триггеров Device;

– задержка через логику Device;

– задержка Сlk-to-Q для триггеров FPGA;

– setup time для триггеров FPGA;

– hold time для триггеров FPGA;

– задержка через логику FPGA;

– задержка данных на дорожке платы;

– задержка тактового сигнала на дорожке платы;

– джиттер;

– дополнительная непредвиденная задержка,

**Setup Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

.

В FPGA известны следующие параметры: , , . Остальные необходимо указать.

**Hold Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

В FPGA известны следующие параметры: , , . Остальные необходимо указать.

**Constraints 1.**

# Center-Aligned Rising Edge Source Synchronous Inputs

#

# For a center-aligned Source Synchronous interface, the clock

# transition is aligned with the center of the data valid window.

# The same clock edge is used for launching and capturing the

# data. The constraints below rely on the default timing

# analysis (setup = 1 cycle, hold = 0 cycle).

#

# input \_\_\_\_ \_\_\_\_\_\_\_\_\_\_

# clock |\_\_\_\_\_\_\_\_\_| |\_\_\_\_\_

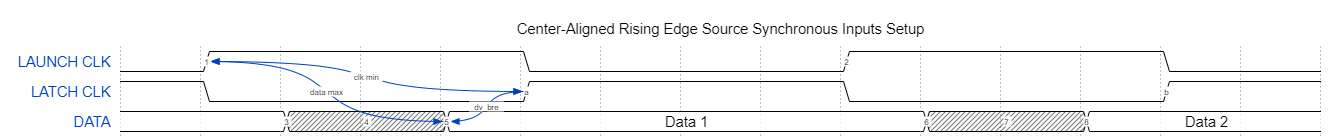
# |

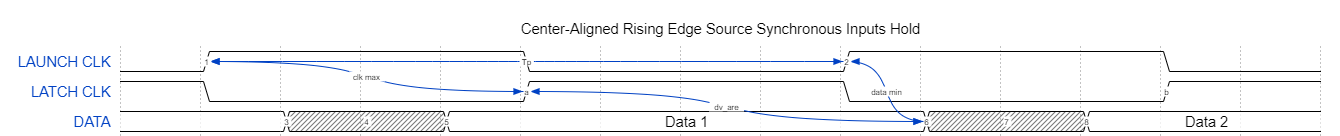
# dv\_bre | dv\_are

# <------>|<------>

# \_\_ \_\_\_\_\_\_\_\_|\_\_\_\_\_\_\_\_ \_\_

# data \_\_XXXX\_\_\_\_Rise\_Data\_\_\_\_XXXX\_\_

****

**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_input\_delay -clock CLK -max (Tp- dv\_bre) [get\_ports DATA\_PIN]
* set\_input\_delay -clock CLK -min dv\_are [get\_ports DATA\_PIN]

**Constraints 2.**

# Edge-Aligned Rising Edge Source Synchronous Inputs

# (Using an MMCM/PLL)

#

# For an edge-aligned Source Synchronous interface, the clock

# transition occurs at the same time as the data transitions.

# In this template, the clock is aligned with the end of the

# data. The constraints below rely on the default timing

# analysis (setup = 1 cycle, hold = 0 cycle).

#

# input \_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# clock |\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_| |\_\_\_\_\_\_\_\_\_\_

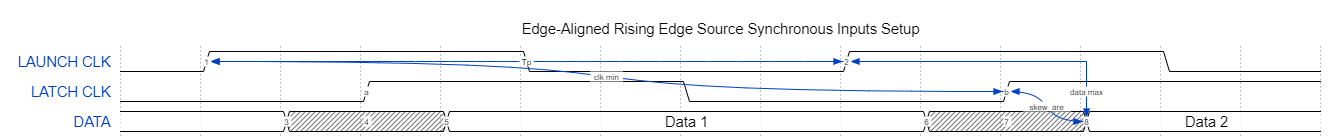
# |

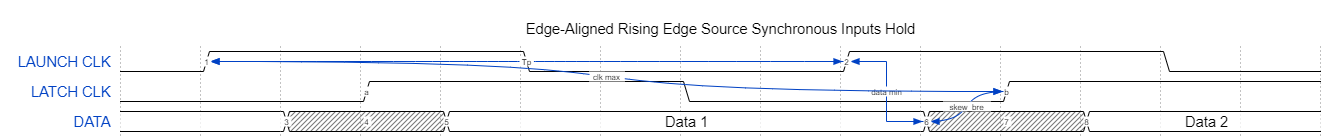
# skew\_bre|skew\_are

# <------>|<------>

# \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# data XX\_\_\_\_Rise\_Data\_\_\_\_XXXXXXXXXXXXXXXXX\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_XX

****

**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_input\_delay -clock CLK -max skew\_are [get\_ports DATA\_PIN]
* set\_input\_delay -clock CLK -min -skew\_bre [get\_ports DATA\_PIN]

**Constraints 3.**

# Edge-Aligned Rising Edge Source Synchronous Inputs

# (Using a direct FF connection)

#

# For an edge-aligned Source Synchronous interface, the clock

# transition occurs at the same time as the data transitions.

# In this template, the clock is aligned with the beginning of the

# data. The constraints below rely on the default timing

# analysis (setup = 1 cycle, hold = 0 cycle).

#

# input \_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# clock |\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_| |\_\_\_\_\_\_\_\_\_\_

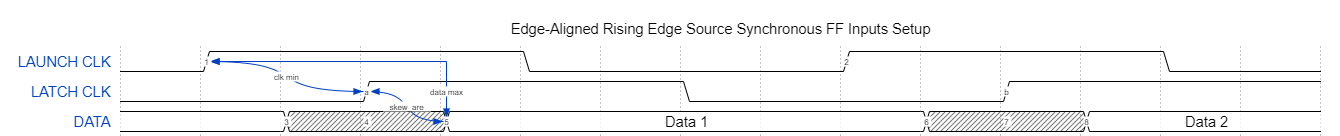
# |

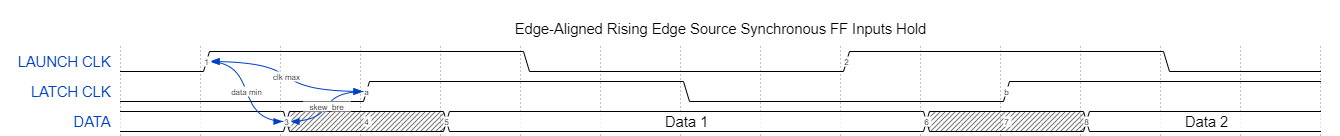
# skew\_bre|skew\_are

# <------>|<------>

# \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

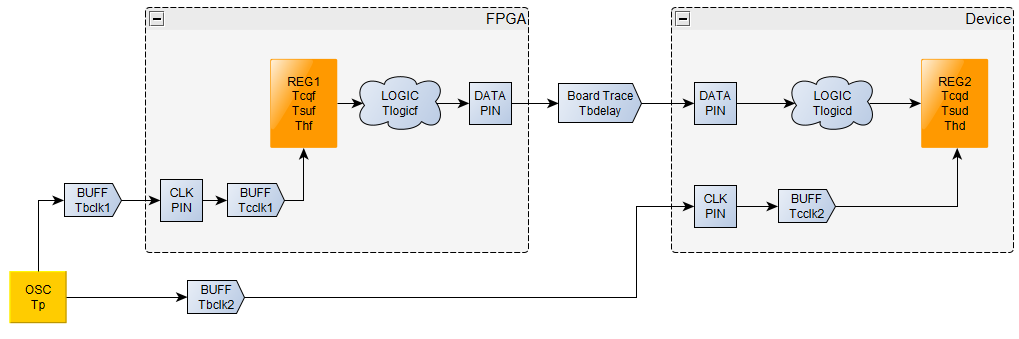
# data XXX\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_XXXXXXXXXXXXXXXXX\_\_\_\_Rise\_Data\_\_\_XXX



**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_input\_delay -clock CLK -max (Tp+skew\_are)[get\_ports DATA\_PIN]
* set\_input\_delay -clock CLK -min (Tp-skew\_bre)[get\_ports DATA\_PIN]

1. **Выходные ограничения**
   1. **System Synchronous**

****

– задержка от входа FPGA до запускающего триггера;

– задержка от генератора до входа FPGA;

– задержка от входа Device до защелкивающего триггера;

– задержка от генератора до входа Device;

– период тактового сигнала;

– задержка Сlk-to-Q для триггеров Device;

– setup time для триггеров Device;

– hold time для триггеров Device;

– задержка через логику Device;

– задержка Сlk-to-Q для триггеров FPGA;

– setup time для триггеров FPGA;

– hold time для триггеров FPGA;

– задержка через логику FPGA;

– задержка данных на дорожке платы;

– джиттер;

– дополнительная непредвиденная задержка,

**Setup Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

.

.

В FPGA известны следующие параметры: , , . Остальные необходимо указать.

**Constraints 1.**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_output\_delay -clock CLK -max Output Delay [get\_ports DATA\_PIN]

**Constraints 2.**

* create\_clock -name CLK\_DEV -period Tp

set\_clock\_latency -source -early Latency\_2 [get\_clocks CLK\_DEV]

create\_clock -name CLK\_FPGA -period Tp [get\_ports CLK\_PIN]

set\_clock\_latency -source -late Latency\_1 [get\_clocks CLK\_FPGA]

* set\_output\_delay -clock CLK\_DEV -max \

Output Delay [get\_ports DATA\_PIN]

**Hold Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

В FPGA известны следующие параметры: , , . Остальные необходимо указать.

**Constraints 1.**

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* set\_output\_delay -clock CLK -min Output Delay [get\_ports DATA\_PIN]

**Constraints 2.**

* create\_clock -name CLK\_DEV -period Tp

set\_clock\_latency -source -late Latency\_2 [get\_clocks CLK\_DEV]

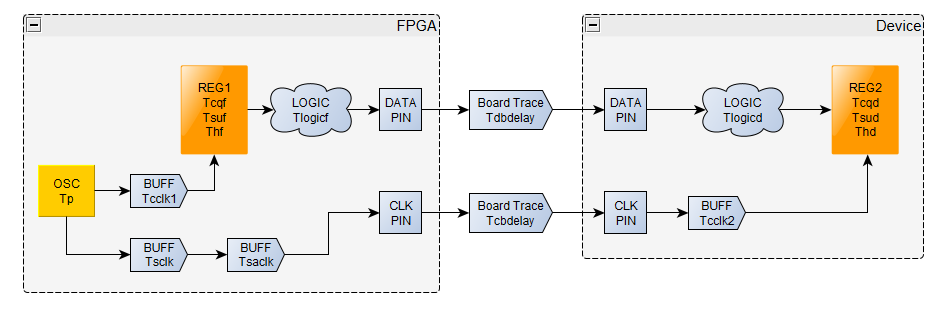
create\_clock -name CLK\_FPGA -period Tp [get\_ports CLK\_PIN]

set\_clock\_latency -source -early Latency\_1 [get\_clocks CLK\_FPGA]

* set\_output\_delay -clock CLK\_DEV -min \

Output Delay [get\_ports DATA\_PIN]

* 1. **Source Synchronous**



– задержка от OSC до запускающего триггера;

– задержка от OSC до выхода Device;

– дополнительная задержка от OSC до выхода FPGA;

– задержка от входа Device до защелкивающего триггера;

– период тактового сигнала;

– задержка Сlk-to-Q для триггеров Device;

– setup time для триггеров Device;

– hold time для триггеров Device;

– задержка через логику Device;

– задержка Сlk-to-Q для триггеров FPGA;

– setup time для триггеров FPGA;

– hold time для триггеров FPGA;

– задержка через логику FPGA;

– задержка данных на дорожке платы;

– задержка тактового сигнала на дорожке платы;

– джиттер;

– дополнительная непредвиденная задержка,

**Setup Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

.

В FPGA известны следующие параметры: , , , . Остальные необходимо указать.

**Hold Time.**

Запускающий фронт:

.

Защелкивающий фронт:

.

Задержка данных:

.

Прибытие данных:

.

Требуемое время прибытие:

.

.

В FPGA известны следующие параметры:, , , . Остальные необходимо указать.

**Constraints 1.**

# Rising Edge Source Synchronous Outputs

#

# Source synchronous output interfaces can be constrained either by the max data skew

# relative to the generated clock or by the destination device setup/hold requirements.

#

# Max Skew Case:

# The skew requirements for FPGA are known from system level analysis.

#

# forwarded \_\_\_\_\_\_\_\_\_\_\_\_\_

# clock \_\_\_\_\_\_\_\_\_\_\_| |\_\_\_\_\_\_\_\_\_

# |

# bre\_skew|are\_skew

# <------>|<------>

# \_\_\_\_\_\_ | \_\_\_\_\_\_\_\_\_\_\_\_

# data \_\_\_\_\_\_XXXXXXXXXXXXXXXXX\_\_\_\_\_\_\_\_\_\_\_\_XXXXX

#

# Example of creating generated clock at clock output port

# create\_generated\_clock -name <gen\_clock\_name> -multiply\_by 1 -source \

# [get\_pins <source\_pin>] [get\_ports <output\_clock\_port>]

# gen\_clock\_name is the name of forwarded clock here. It should be used below for defining "fwclk".

Необходимое условие: . Пусть

**Для Setup**:

**Для Hold**:

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* create\_generated\_clock -name FWCLK -multiply\_by 1 -source \

[get\_pins CLK\_PIN] [get\_ports CLK\_OUT\_PIN]

* set\_input\_delay -clock FWCLK -max (Tp - are\_skew) [get\_ports DATA\_PIN]
* set\_input\_delay -clock FWCLK -min bre\_skew [get\_ports DATA\_PIN]

**Constraints 2.**

# Rising Edge Source Synchronous Outputs

#

# Source synchronous output interfaces can be constrained either by the max data skew

# relative to the generated clock or by the destination device setup/hold requirements.

#

# Setup/Hold Case:

# Setup and hold requirements for the destination device and board trace delays are known.

#

# forwarded \_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

# clock |\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_| |\_\_\_\_\_\_\_\_\_\_\_\_

# |

# tsu | thd

# <---------->|<--------->

# \_\_\_\_\_\_\_\_\_\_\_\_|\_\_\_\_\_\_\_\_\_\_\_

# data @ destination XXXXXXXXX\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_XXXXX

#

# Example of creating generated clock at clock output port

# Example of creating generated clock at clock output port

# create\_generated\_clock -name <gen\_clock\_name> -multiply\_by 1 -source \

# [get\_pins <source\_pin>] [get\_ports <output\_clock\_port>]

# gen\_clock\_name is the name of forwarded clock here. It should be used below for defining "fwclk".

Необходимое условие: . Пусть

**Для Setup**:

**Для Hold**:

* create\_clock -name CLK -period Tp [get\_ports CLK\_PIN]
* create\_generated\_clock -name FWCLK -multiply\_by 1 -source \

[get\_pins CLK\_PIN] [get\_ports CLK\_OUT\_PIN]

* set\_input\_delay -clock FWCLK -max (Tdbmax + Tsu) [get\_ports DATA\_PIN]
* set\_input\_delay -clock FWCLK -min (Tdbmin + Thd) [get\_ports DATA\_PIN]