

Краткое описание работы микросхемы 1804ВУ1.

Данная микросхема представляет собой четырехразрядные секции и предназначена для применения в составе микро-ЭВМ в качестве устройства управления адресом микрокоманды (рис. П2.1).

На рис.П2.2 представлена структурная схема микросхемы. На структурной схеме выделены следующие основные функциональные группы:

- блок выборки адреса (БВА);
- регистр адреса (РА);
- счетчик микрокоманд (СМК);
- стек;
- буфер адреса (БА).

Блок выборки адреса (БВА) представляет собой 4-х входовой четырехразрядный мультиплексор, работа которого зависит от состояния входов S_0, S_1 . Кроме этого, в состав БВА входят элементы, обеспечивающие передачу на выходные шины сигнала $\overline{Z_A}$ (нулевой адрес) и сигналов от входов маски ($OR_3 - OR_0$).

Регистр адреса (РА) представляет собой четырехразрядный регистр, построенный на триггерах D-типа. Запись информации в него происходит по положительному перепаду тактового сигнала (Т) при наличии сигнала разрешения со входа \overline{RE} . Информация в РА записывается с входной шины адреса ($R_3 - R_0$).

Счетчик микрокоманд (СМК) представляет собой четырехразрядный регистр, построенный на D-триггерах с динамической записью, и комбинационную схему сумматора. Запись информации в регистр СМК, поступающей с сумматора СМК, производится по положительному перепаду тактового сигнала (Т). Информация на сумматор поступает с выхода БВА и может быть модифицирована при помощи сигнала переноса СØ.

Стек представляет собой внутреннюю память секции управления адресом микрокоманды. Стек состоит из накопителя емкостью 4*4 бит, указателя стека, схемы записи/считывания и регистра состояния СМК.

Информация в стек может быть записана из СМК микросхемы. Работа стека зависит от состояния входов PUP и \overline{FE} , а также от тактового сигнала (Т).

Буфер адреса (БА) представляет собой четыре ТТЛШ вентиля с тремя состояниями. Работой БА управляет вход разрешения выбора адреса (\overline{OE}).

Микросхема предназначена для управления адресом микрокоманды в составе операционных блоков микро-ЭВМ. Адрес микрокоманды может быть сформирован либо внутренними блоками секции, либо передан непосредственно с входных шин.

Как указывалось выше, передачу адреса микрокоманды на выходные шины секции производит БВА.

Работу БВА удобно рассматривать совместно с работой БА. Если на Входе \overline{OE} присутствует высокий логический уровень, то выходы $Y3 - Y0$ находятся в состоянии высокого импеданса (HZ) и, тем самым, отключены от шин управления микро-ЭВМ.

Если на вход \overline{OE} подан логический “0”, то БА передает на выходные шины $Y3 - Y0$ адрес микрокоманды, определяемый БВА.

Наличие входа \overline{ZA} в секции позволяет легко переходить к нулевому адресу.

Если на входе \overline{ZA} – логический “0”, то выходы $Y3 - Y0$ обнулены, независимо от микрокоманды, передаваемой БВА.

Кроме вышеперечисленных входов, в микросхемах 1804ВУ1 есть входы маски ($OR3 - OR0$). Если на входах маски логическая единица, то на выходах $Y3 - Y0$ тоже присутствует высокий логический уровень.

В табл.П2.1 приведено описание работы входов \overline{OE} , \overline{ZA} и $OR3 - OR0$. Как видно из табл.1 при наличии следующих сигналов на входах \overline{OE} – логический ноль, \overline{ZA} – логическая единица, $OR3 - OR0$ – логический ноль, на выходы $Y3 - Y0$ передается информация, определяемая БВА.

Таблица истинности работы БВА приведена в табл.П2.2. Так как БВА является комбинационной схемой, то его работа особых пояснений не требует.

Работа трех внутренних источников адреса микрокоманды (РА, СМК, СТЕК) не зависит друг от друга, поэтому рассмотрим работу каждого из источников отдельно.

Как уже указывалось выше, регистр адреса РА состоит из 4-х D-триггеров. Если на входе \overline{RE} – логический ноль, то адрес микрокоманды записывается в РА в микросхемах 1804ВУ1 со входов $R3 - R0$. Запись адреса микрокоманды происходит по положительному перепаду тактового сигнала Т. Если же на вход \overline{RE} подана логическая единица, то запись нового адреса микрокоманды в РА не происходит и в нем хранится последний записанный адрес микрокоманды.

Работа СМК зависит от состояния сигналов на входах $S0$ (вход переноса в СМК) и Т (тактовый вход). Если на вход $S0$ подана логическая единица, то в регистр СМК по положительному фронту сигнала Т запишется адрес микрокоманды, присутствующий в данный момент на выходе БВА, плюс 1. Если же на вход $S0$ подан логический ноль, то адрес микрокоманды в регистр СМК записывается не модифицированным.

Выходной сигнал переноса появится на выходе $S4$ в том случае, когда на вход $S0$ подана логическая единица и на выходах $Y3 - Y0$ тоже логическая единица. Для того, чтобы организовать последовательное прибавление 1 к адресу микрокоманды, необходимо на входы $S0, S1$ подать код 0 (см. табл.П2.2), а на вход $S0$ подать логическую единицу.

Стек секции управления адресом микрокоманды организован по

принципу памяти магазинного типа. Стек может работать в 3-х режимах: чтение без изменения состояния указателя стека, запись адреса микрокоманды после увеличения на единицу содержимого указателя стека и выталкивания адреса микрокоманды и уменьшение на единицу содержимого указателя стека.

В табл.П2.3 представлены состояния управляющих входов стека для трех режимов работы. Рассмотрим каждый режим работы стека более подробно.

В режиме чтения содержимое указателя стека (указатель стека представляет собой двухразрядный реверсивный счетчик, построенный на D-триггерах с динамической записью), остается без изменения и на выходах $Y_3 - Y_0$ может быть прочитана информация из ячейки памяти, на которую указывает указатель стека. Наибольший интерес представляют режимы записи и выталкивания информации стека. В режиме записи адрес микрокоманды, сформированный в СМК, по положительному фронту тактового сигнала T записывается в регистр состояния СМК. По этому же фронту сигнала T происходит увеличение содержимого указателя стека на 1, который указывает на слово в памяти, куда должна произойти запись.

Схема записи/считывания переводится внутренними сигналами в режим “запись” и по отрицательному фронту сигнала T происходит запись адреса микрокоманды в выбранное слово памяти стека.

В режиме выталкивания по положительному фронту тактового сигнала T происходит уменьшение на единицу содержимого указателя стека и схема записи/считывания переводится в режим “считывание”.

После этого, на входы $Y_3 - Y_0$ может быть выведен адрес микрокоманды, записанный в стек предпоследним.

Таблица П2.1.

Управление выходами

OR3 – ORØ	$\overline{Z}A$	\overline{OE}	Адрес микрокоманды на выходах Y3-YØ
X	X	1	Высокий импеданс
X	0	0	0
1	1	0	1
0	1	0	Адрес микрокоманды, передаваемый БВА

Таблица П2.2.

Таблица истинности БВА

Восьмеричный код	S1	SØ	Адрес микрокоманды, передаваемый БВА из источника
0	0	0	Счетчик микрокоманд
1	0	1	Регистр адреса (по шине R3 – RØ)
2	1	0	Стек
3	1	1	Прямые входы адреса на шине D

Таблица П2.3.

Таблица управления стеком

\overline{FE}	PUP	Состояние стека
1	X	Хранение и режим чтения
0	1	Увеличение указателя стека, запись информации (СМК)
0	0	Уменьшение указателя стека, выталкивание информации

1 – высокий логический уровень;

0 – низкий логический уровень;

X – состояние данного входа безразлично.

Примечание. Так как схемы содержат триггеры, информация в которые записывается по фронту тактового сигнала T, то на подачу входных сигналов накладываются определенные ограничения, только при выполнении которых правильно выполняются микрокоманды. На рис.П2.3 приведена временная диаграмма входных сигналов микросхем 1804ВУ1.

Таблица П2.4.

Времена установки и удержания микросхем по входам.

По входам	Время установки, tsu	Время удержания, tn
\overline{RE}	22	5
R3-RØ	12	5
PUP	30	7
\overline{FE}	30	5
CØ	30	5
D3-DØ	35	3
OR3-ORØ	35	3
SØ,S1	50	0
\overline{ZA}	50	0

Примечание. Конкретные значения временных параметров, указанные в табл.П2.4 являются предварительными и приведены для справок.

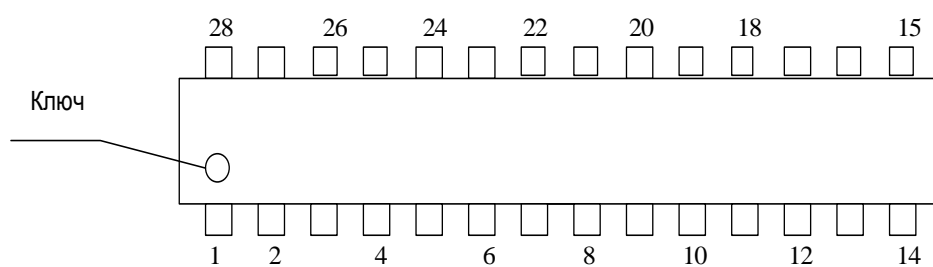


Рис.П2.1. Корпус микросхемы 1804BY1

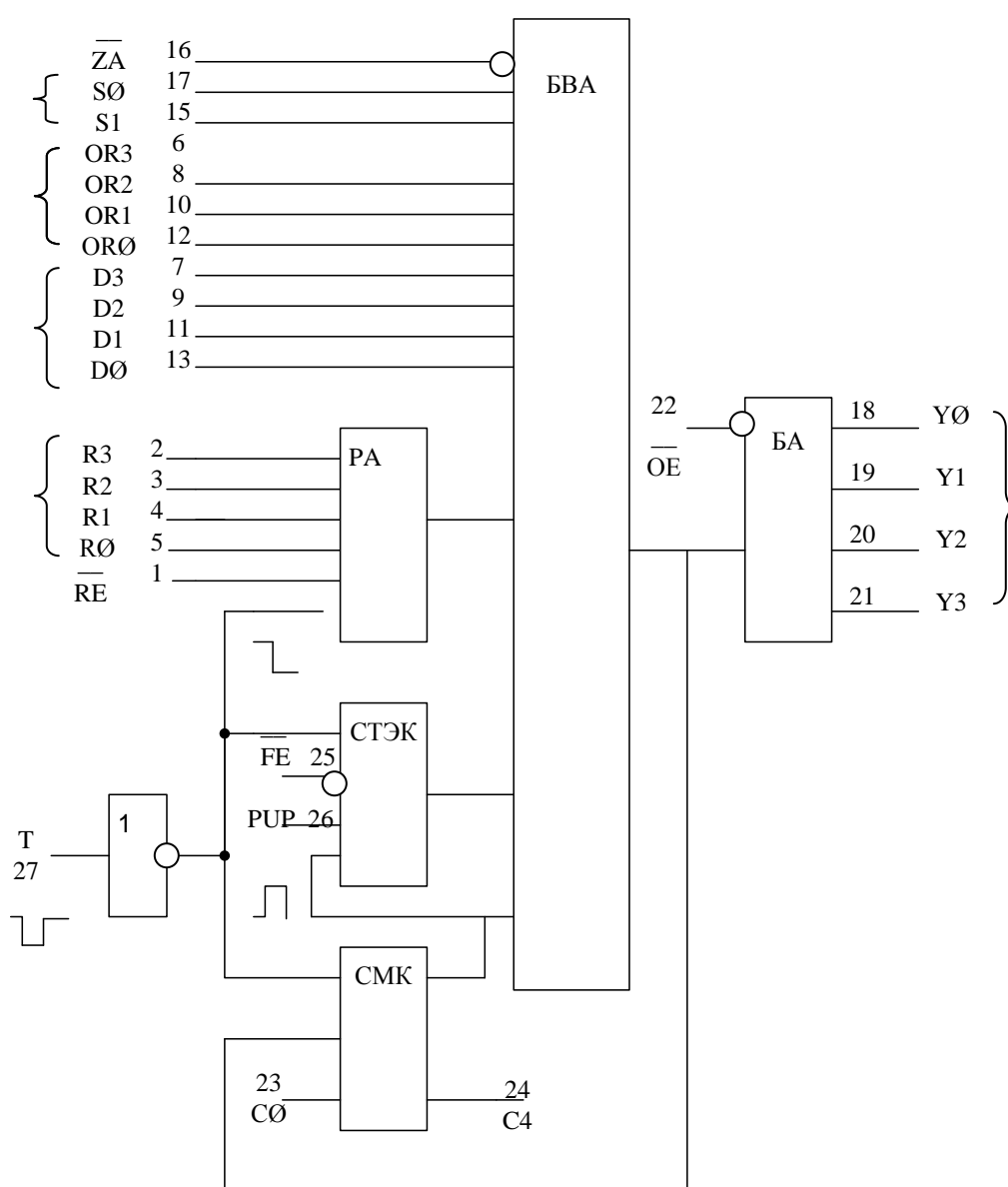


Рис.П2.2. Структурная схема микросхемы 1804BY1

Назначение и название выводов микросхемы 1804ВУ1:

БВА – блок выборки адреса;**РА** – регистр адреса;**БА** – буфер адреса;**СМК** – счетчик микрокоманд (РС).

№ вывода	Обозначение	Функциональное назначение вывода
1	2	3
1	\overline{RE}	Вход разрешения записи в регистр адреса
2	R3	Вход регистра адреса, 3-й разряд
3	R2	Вход регистра адреса, 2-й разряд
4	R1	Вход регистра адреса, 1-й разряд
5	R0	Вход регистра адреса, 0-й разряд
6	OR3	Вход маски, 3-й разряд
7	D3	Прямой вход адреса, 3-й разряд
8	OR2	Вход маски, 2-й разряд
9	D2	Прямой вход адреса, 2-й разряд
10	OR1	Вход маски, 1-й разряд
11	D1	Прямой вход адреса, 1-й разряд
12	OR0	Вход маски, 0-й разряд
13	D0	Прямой вход адреса, 0-й разряд
14	GND	Вывод общий
15	\overline{ZA}	Вход установки нулевого адреса на выходе ВУ
16	S0	Вход выбора адреса, 0-й разряд
17	S1	Вход выбора адреса, 1-й разряд
18	Y0	Выход адреса, 0-й разряд
19	Y1	Выход адреса, 1-й разряд
20	Y2	Выход адреса, 2-й разряд
21	Y3	Выход адреса, 3-й разряд
22	\overline{OE}	Вход разрешения выбора адреса
23	C0	Вход переноса в счетчик микрокоманд
24	C4	Выход переноса счетчика микрокоманд
25	\overline{FE}	Вход разрешения управления стеком
26	PUP	Вход управления стеком
27	T	Вход тактовый
28	VCC	Вывод питания

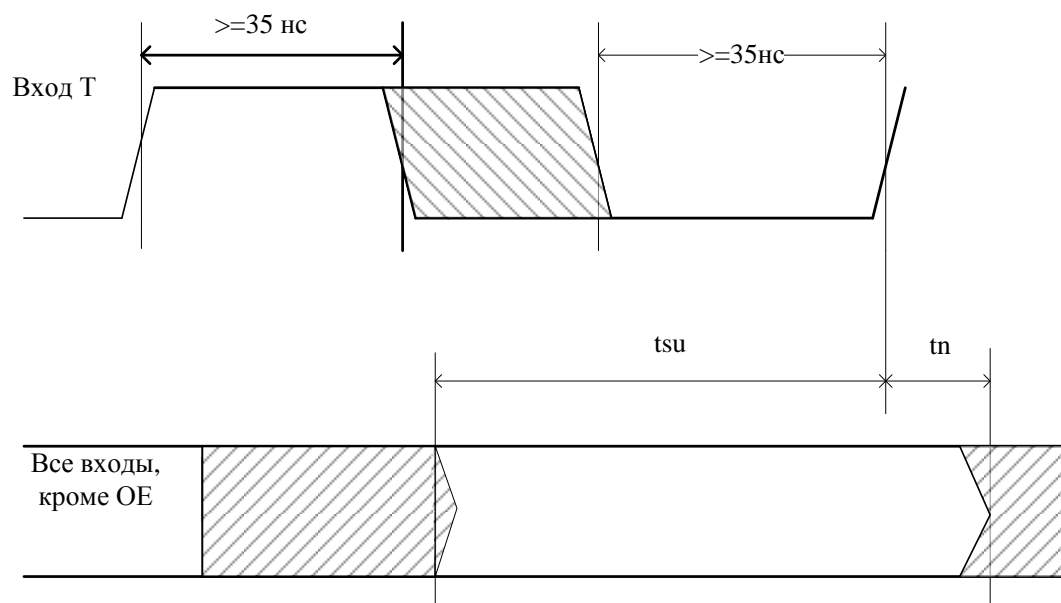


Рис. П2.3. Временная диаграмма входных сигналов микросхем 1804ВУ1.