



УНИВЕРЗИТЕТ
У НОВОМ САДУ



ФАКУЛТЕТ
ТЕХНИЧКИХ НАУКА

Трг Доситеја Обрадовића 6, 21000 Нови Сад, Југославија
Деканат: 021 350-413; 021 450-810; Централa: 021 350-122
Рачуноводство: 021 58-220; Студентска служба: 021 350-763
Телефакс: 021 58-133; e-mail: ftndean@uns.ns.ac.yu



Сертификован
систем
квалитета



PROJEKAT

iz Računarskog projektovanja digitalnih integrisanih kola

TEMA PROJEKTA:

Razdjelnička logika (pseudo NMOS)

TEKST ZADATKA:

Projektovati petoulazno NILI kolo na dva načina:

- u CMOS komplementarnoj logici;
- sa jednim PMOS tranzistorom sa uzemljenim gejtom umesto gornjeg dela mreže (pseudo NMOS).

Smatrati da su NMOS tranzistori širine $1\text{ }\mu\text{m}$. Napajanje je 3.3 V. Na izlaz postaviti kapacitivno opterećenje 50 fF.

Voditi računa da za pražnjenje kondenzatora na izlazu bude aktivna samo jedna grana. Podesiti kod kola u CMOS komplementarnoj logici da vremena odziva budu ista. Izračunati statičku potrošnju ovog kola.

Analizirati uticaj promjene vrednosti širine PMOS tranzistora u gornjem dijelu mreže na statičku potrošnju i na vrijednost logičke nule. Rezultate prikazati grafički (uz pomoć markera). Promenom vrednosti širine PMOS tranzistora u gornjem delu mreže podesiti da vremena odziva budu ista.

Kada se podesi da su vremena odziva ista u oba kola, uporediti statičku potrošnju i vrednost logičke nule.

Za oba kola projektovati lejaut. Nakon DRC i LVS provjera, generisati net listu sa parazitima (RC) iz projektovanih lejauta. Za test kolo napraviti *config view* i uraditi postlejaout simulacije, tj. na istom grafiku prikazati izlazni signal na nivou šematika (idealni slučaj) i izlazni signal na nivou lejauta sa parazitima da bi se video uticaj parazita za oba kola.

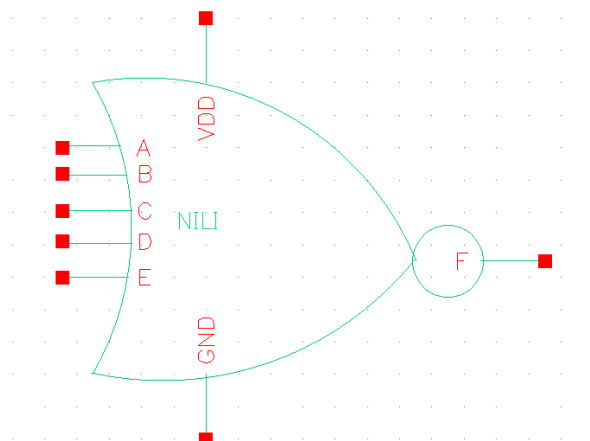
Mentor:
Kristina Nikolić

Student:
Vanja Lazarević EE 149/2019
Aleksa Bjelić EE 80/2019

U Novom Sadu, mart 2023.

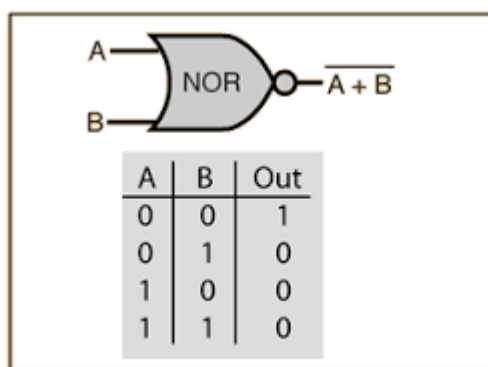
1. Teorijska analiza

Potrebno je projektovati petoulazno NILI kolo u AMS 0.35 μ m CMOS tehnologiji korišćenjem programskog paketa *Cadence*. Na slici 1. prikazan je izgled simbola kola koje analiziramo.



Slika 1. Simbol petoulaznog NILI kola

Teorijski osvrt na rad NILI kola prikazaćemo uz pomoć jednostavnijeg dvoulaznog NILI kola za koje kao na slici izlaz ima vrijednost logičke jedinice samo u slučaju kad oba ulaza imaju vrijednost logičke nule. Za naš slučaj kod petoulaznog kola vrijednost logičke jedinice bi se dobila za svih pet ulaza podešenim na vrijednost logičke nule.



Slika 2. Simbol i funkcionalna tabela dvoulaznog NILI kola

U okviru našeg projekta petoulazno NILI kolo ćemo realizovati na dva načina i to:

- u CMOS komplementarnoj logici,
- sa jednim PMOS tranzistorom sa uzemljenim gejtom umesto gornjeg dela mreže (pseudo NMOS).

CMOS komplementarna logika se sastoji iz *pull-up* i *pull-down* dijela mreže. Pull-up mreža realizovana je uz pomoć PMOS tranzistora dok je *pull-down* mreža realizovana sa NMOS tranzistorima. Razlika između realizacije kola u CMOS i pseudo NMOS je ta što se *pull-up* mreža pseudo NMOS logike realizuje sa jednim PMOS tranzistorom uzemljenog gejta što će biti u prikazano u nastavku.

Nakon izvršenog projektovanja ovih kola biće vršena analiza uticaja širine kanala PMOS tranzistora na statičku potrošnju i vrijednosti logičke nule kola, kako onih u *pull-up* mreži CMOS logike tako i PMOS tranzistora sa uzemljenim gejtom korišćenog u pseudo NMOS logici.

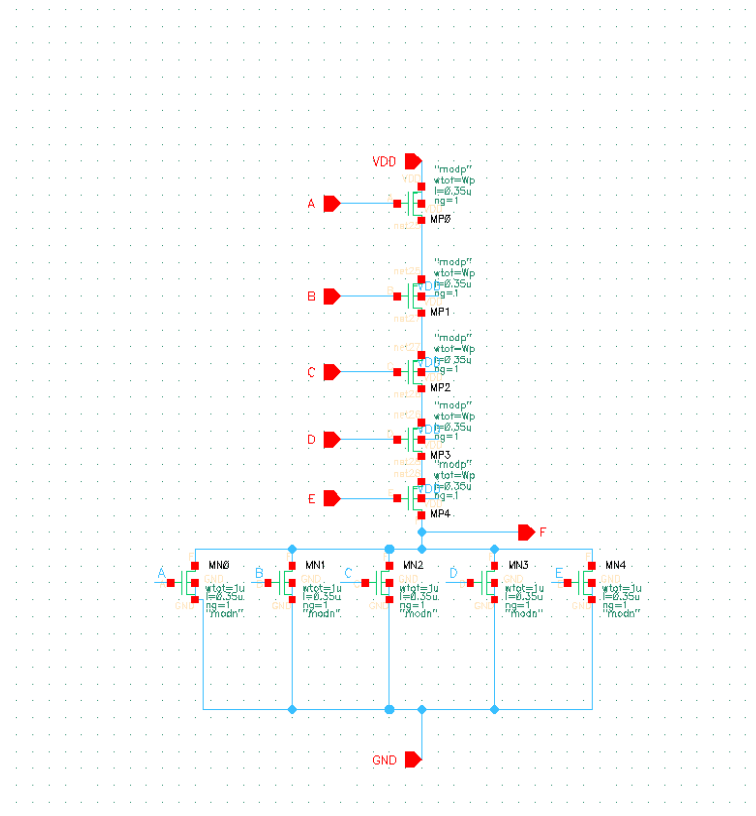
Pored toga za oba kola biće urađen ležaut i njegove DRC i LVC provjere kao i prikaz uticaja parazita na izlazni signal.

Na izlazu našeg test kola koristimo kapacitivno opterećenje kome je dodjeljena promjenjiva Cl kojoj je u okviru zadatka određena vrijednost 50 fF. Takođe za širinu kanala PMOS tranzistora dodjeljena je promjenjiva Wp čije će određivanje vrijednosti u obe realizacije ovog kola biti dalje objašnjeno.

2. Projektovanje digitalnog integrisanog kola

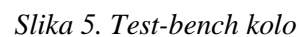
Na slici 3. prikazan je izgled NILI kola u CMOS logici dok je na slici 4. prikazana njegova realizacija u pseudo NMOS.

Zahtjevana minimalna širina svih NMOS tranzistora je 1um, dok je širina kao što je to već navedeno zadata sa promjenjivom Wp .



Slika 3. Šematik petoulaznog NILI kola u CMOS logici

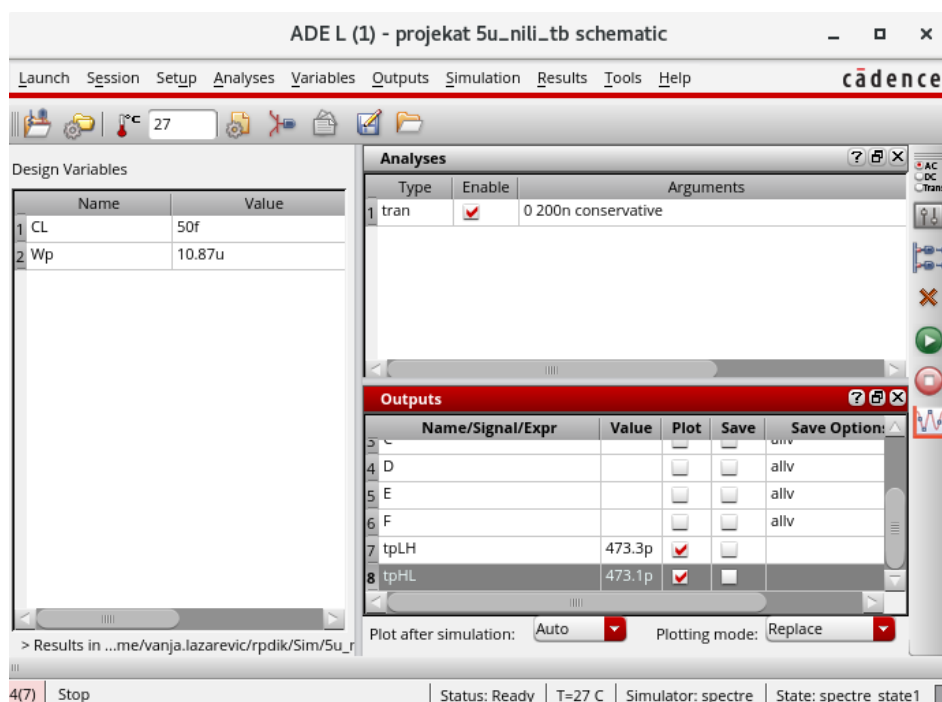
Kolo se sastoji iz pet paralelno vezanih NMOS tranzistora i oni čine i *pull-down* dio mreže dok se *pull-up* dio sastoji iz pet redno vezanih PMOS tranzistora. Na njihove ulaze dovedene su promjenjive označene sa A,B,C,D i E koje predstavljaju ulazne signale. Svi NMOS tranzistora vezan je na GND a drejni PMOS tranzistora na VDD dok se između *pull-up* i *pull-down* mreže nalazi izlaz koji je označen sa F. Na sličan način realizovano je i sledeće kolo dato na slici 4. Jedina suštinska razlika u realizaciji u odnosu na prethodno je u *pull-up* mreži koja se sastoji iz jednog PMOS tranzistora sa uzemljenim gejt priključkom.



Na izlazu se nalazi kapacitivno opterećenje, čija je vrednost 50fF kako je dato tekstom zadatka ovog projekta.

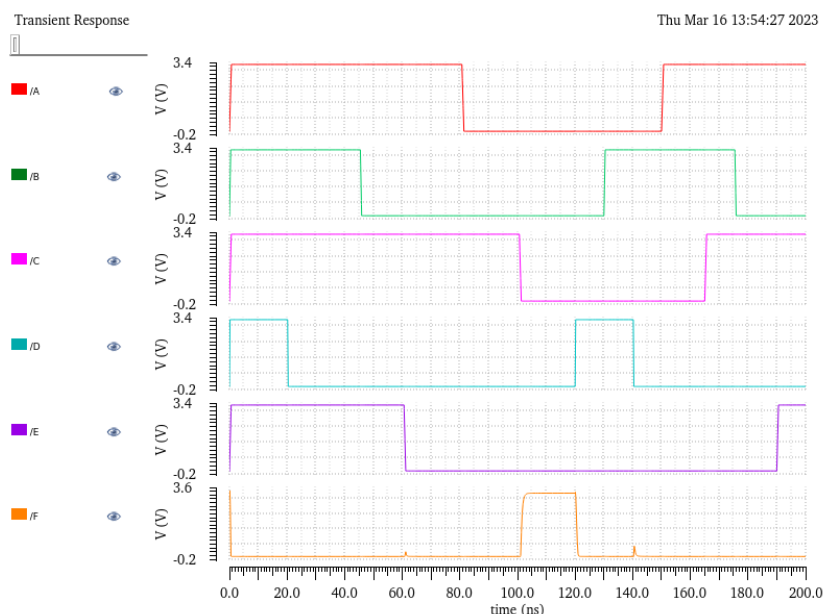
3. Simulaciona provera rezultata

U narednom poglavlju vršićemo prikaz analiza i signala prvo CMOS kola a zatim i psudo NMOS kola. Na slici prikazan je ADE L prozor analize unutar koga se vide promjenjive Cl i Wp kao i neki od ulaznih signala i približno jednako podešena vremena $tpHL$ i $tpLH$ o kojima će više biti riječi u nastavku.



Slika 6. Izgled prozora analize ADE L CMOS kola

Na slici 7. prikazani su ulazni signali A, B, C, D i E kao i izlazni signal F u okviru tranzijentne analize CMOS kola.



Slika 7. Signali CMOS kola

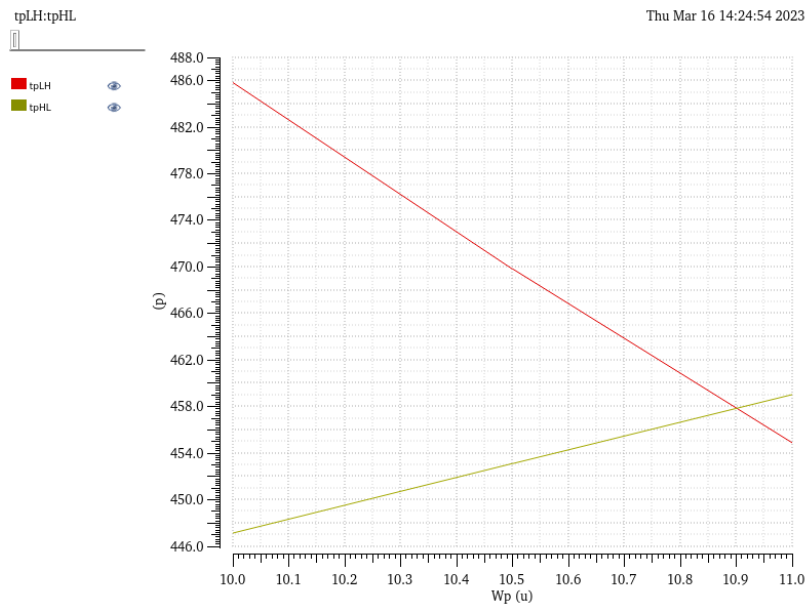
Sa prethodne slike vidimo da izlaz F ima vrijednost logičke jedinice samo u slučaju kada su svi ulazni podešeni da imaju vrijednost logičke nule što smo u teorijskom osvrtu na početku i pomenuli. Time je dokazano da naše kolo radi zadatu funkciju.

Tačna vrijednost širine kanala PMOS tranzistora i vremena tp_{HL} i tp_{LH} pronađena je uz pomoć parametrijske analize koja je prikazana na slici 8.

tp_{HL} i tp_{LH} predstavljaju vremena koja su potrebna za uspostavljanje niskog i visokog logičkog nivoa.

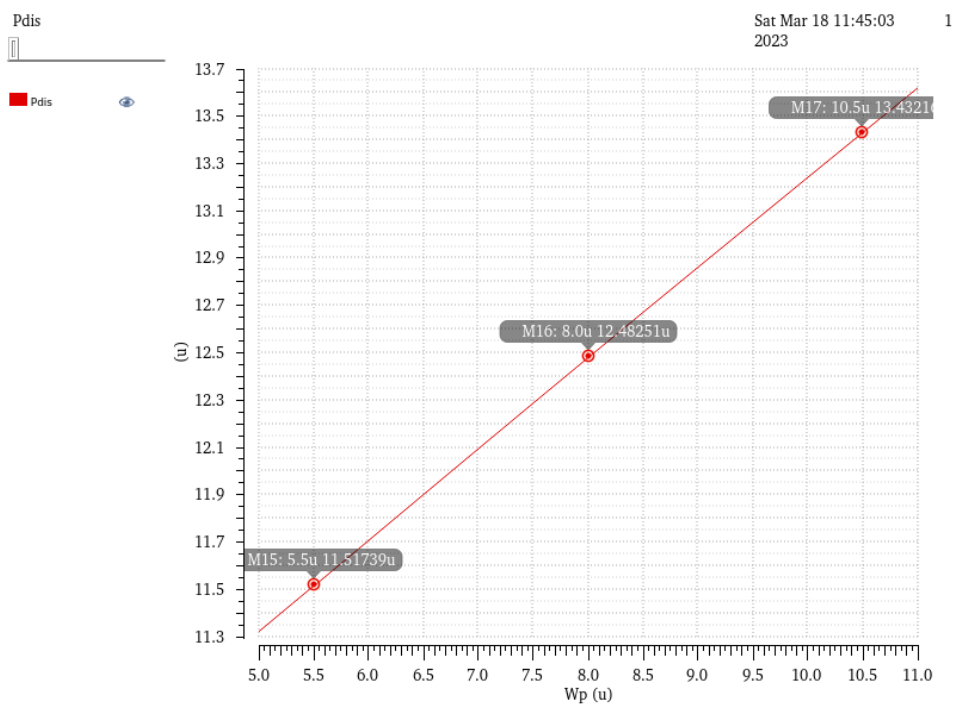
Prvo je bilo potrebno obezbjediti da samo jedan signal vrši okidanje izlaza sa niske na visoku logičku vrijednost (signal C) i da takođe jedan signal vrši njegovo okidanje sa visoke na nisku vrijednost (signal D) što je i prikazano na slici 7. Zatim se uz pomoć kalkulatora odredila formula za računanje tp_{LH} i tp_{HL} . Mijenjanjem širine kanala PMOS tranzistora u okviru parametrizovane analize pronađeno je mjesto presjeka grafika tp_{HL} i tp_{LH} sa slike 8. što ujedno predstavlja i traženu širinu W_p , kako bi ova dva vremena bila jednaka.

Preciznim zumiranjem slike utvrđeno je da su za $W_p = 10,87\mu m$, tp_{HL} i tp_{LH} približno jednaki i iznose kao što je u ADE L prozoru prikazano $tp_{HL} = 473,1$ ps i $tp_{LH} = 473,3$ ps.



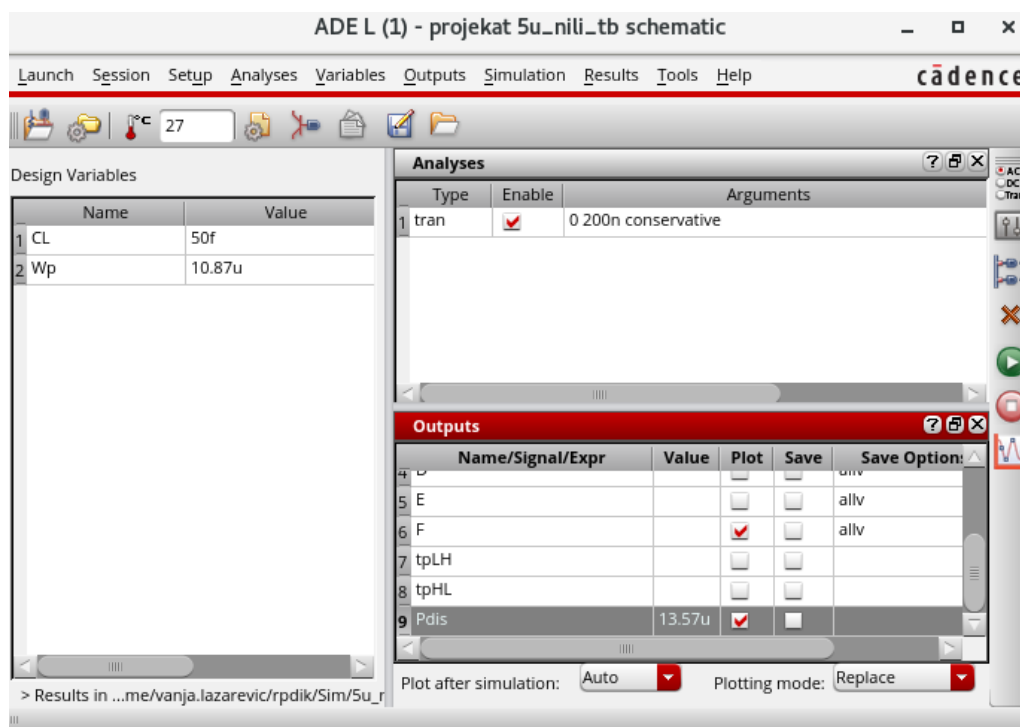
Slika 8. Promjena $tpHL$ i $tpLH$ sa promjenom Wp CMOS kola

Promjenama širine utvrdili smo takođe da dolazi i do promjena statičke potrošnje ovog kola. Statičku potrošnju smo odredili unoseći u kalkulator vrijednost učitane sa grafika i koristeću funkciju *average*. Prikaz promjene statičke disipacije CMOS kola dat je na slici 9. dok je njena tačna vrijednost za širinu kanala $Wp = 10,87\mu m$ prikazana na slici 10. i iznosi $Pdis = 13,57 \mu W$.



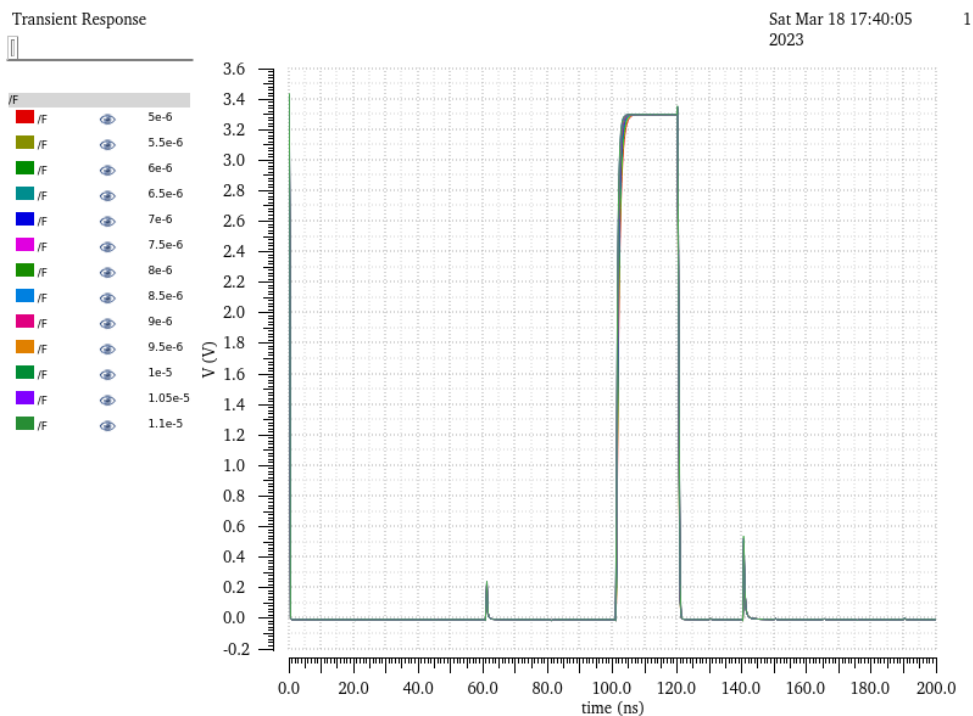
Slika 9. Grafik promjene statičke potrošnje CMOS kola

Sa grafika jasno vidimo uz pomoć markera da se sa promjenom širine kanala PMOS tranzistora mjenja i potrošnja našeg kola jer sa većom širinom kroz njega protiče veća struja pa je samim tim i potrošnja uvećana.



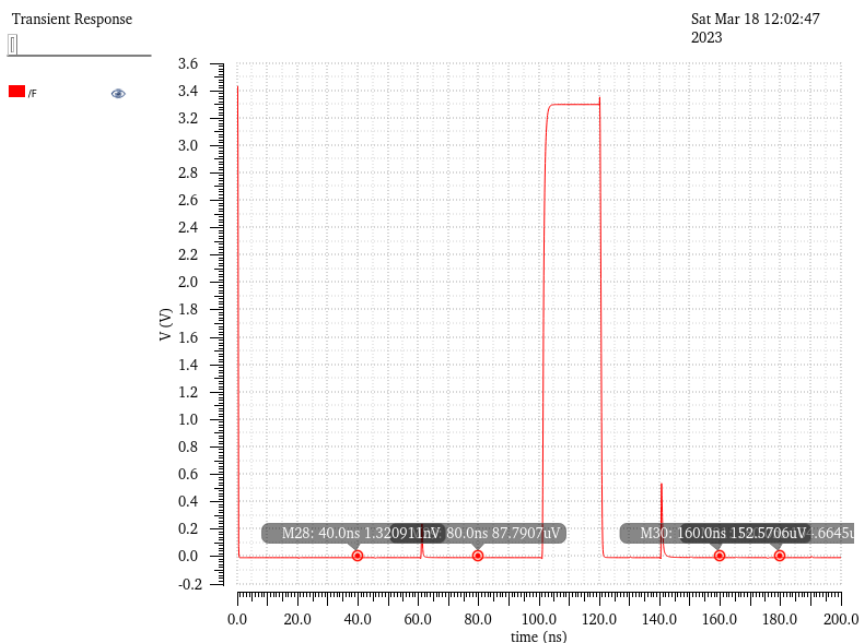
Slika 10. Prikaz tačne vrijednosti potrošne CMOS kola

Analzom promjene vrijednosti logičke nule CMOS kola utvrdili smo da se ona neznatno promjeni sa promjenama širine kanala i to je prikazano na slici 11. Širina kanala je jedino uticala uticala na promjenu brzine uspostavljanja vrijednosti logičke jedinice.



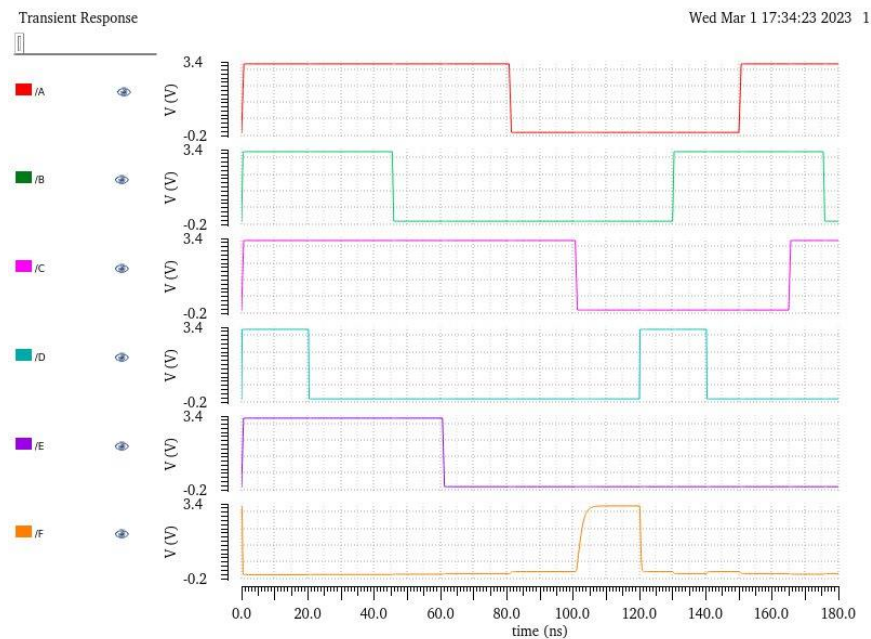
Slika 11. Izlaz CMOS kola sa promjenama širine kanala

Vrijednosti logičke nule CMOS kola za širinu kanala PMOS tranzistora $W_p = 10,87\mu m$ prikazana je na slici 12.



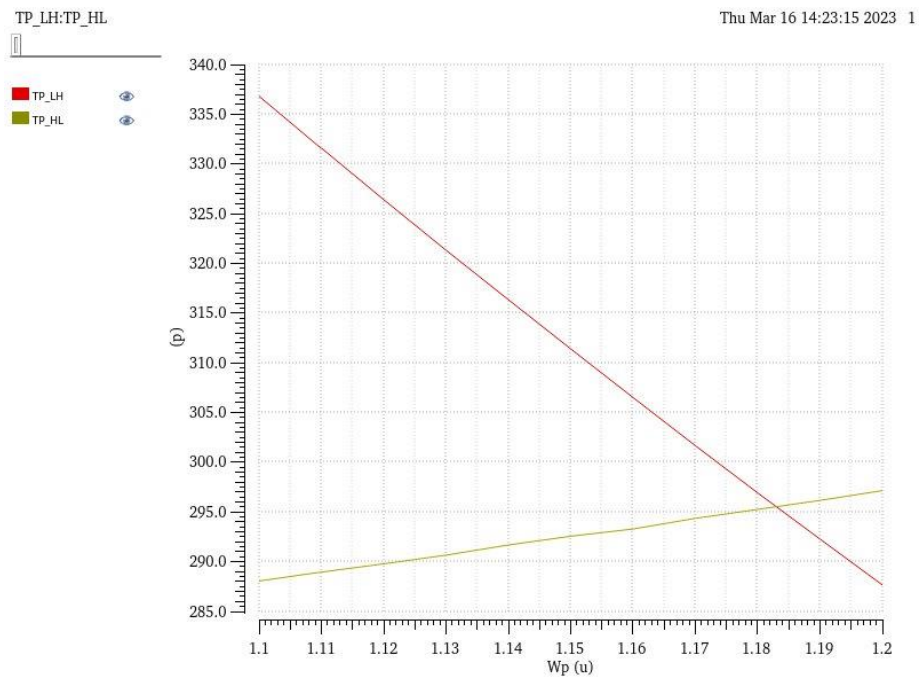
Slika 11. Izlaz CMOS kola sa zadatom širinom kanala

Dalju analizu ćemo vršiti za pseudo NMOS. Ona se neće mnogo razlikovati od prethodne analize tako da ćemo u njoj dati samo prikaz rezultata i njihovo kratko objašnjenje.

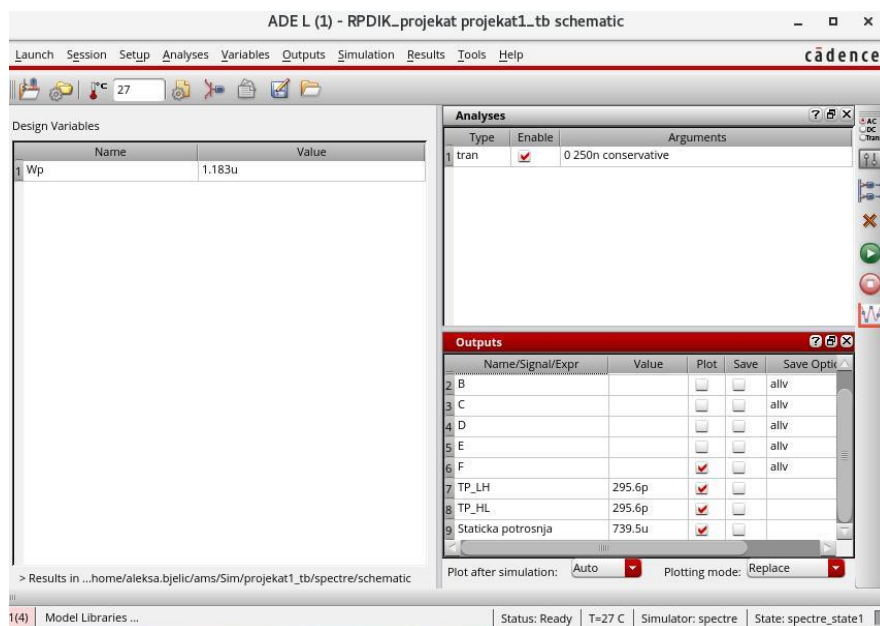


Slika 12. Signali pseudo NMOS kola

I u ovom slučaju vidimo da izlaz ima vrijednost logičke jedinice samo onda kada su svi ulazi porešeni da imaju vrijednost logičke nule. Pronalaženje tp_{HL} i tp_{LH} vršimo kao što je to ranije urađeno za CMOS kolo i postupak je dat na slikama 13. i 14.



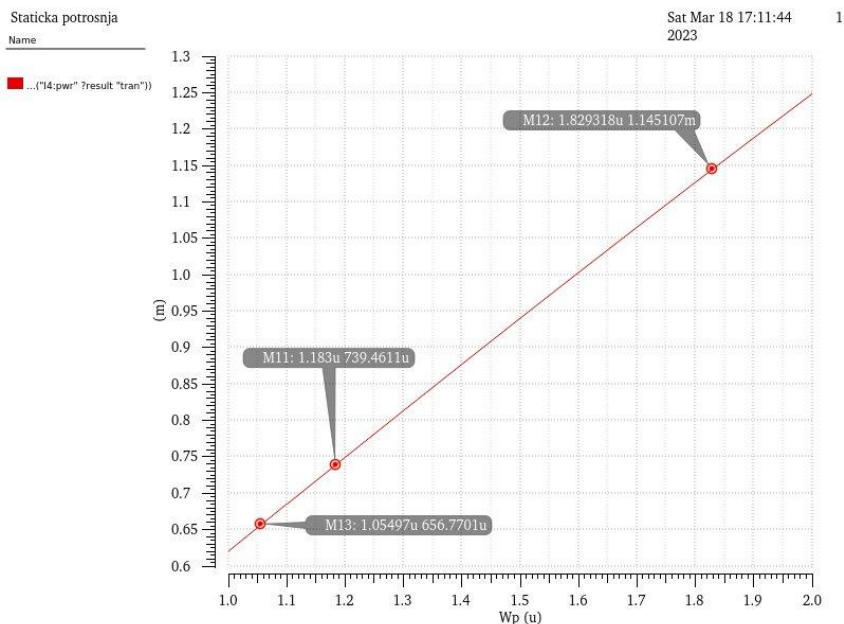
Slika 13. Promjena tp_{HL} i tp_{LH} sa promjenom W_p pseudo NMOS kola



Slika 14. ADE L prozor pseudo NMOS kola

Sa slike 14. vidimo da se za $W_p = 1,183 \mu m$ dobijaju jednake vrijednosti tp_{HL} i tp_{LH} koje iznose $295,6 ps$.

Sa promjenom širine kanala W_p dolazi i do promjene statičke potrošnje kao i kod CMOS kola i to je prikazano na slici 15.

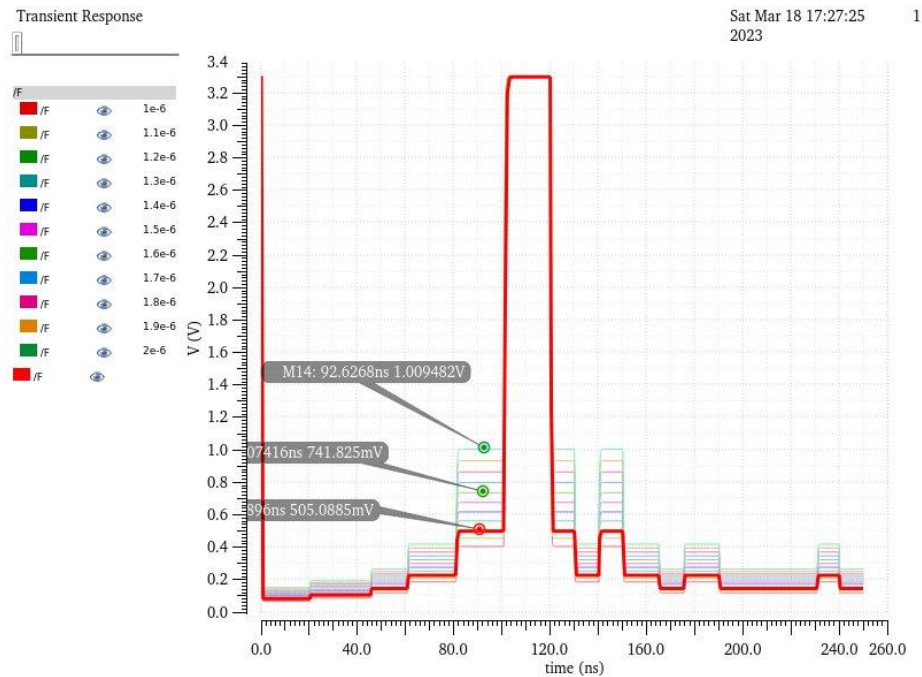


Slika 15. Grafik promjene statičke potrošnje pseudo NMOS kola

Takođe na slici 14. vidimo da statička potrošnja kola za širinu $W_p = 1,183 \mu m$ za koju su tp_{HL} i tp_{LH} jednaka iznosi $P_{dis} = 739,5 \mu W$ koja je mnogo veća nego kod kola

realizovanog u CMOS logici zbog toga što je tranzistor u gornjem dijelu mreže uvijek aktivan.

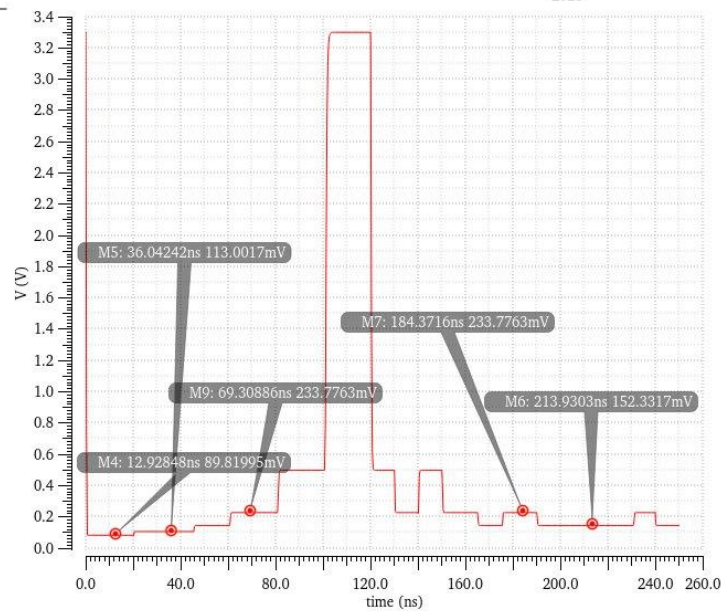
Daljom analizom utvrdili smo da promjenom širine kanala PMOS tranzistora dolazi i do promjene vrijednosti logičke nule pseudo NMOS kola. Prikaz te promjene dat je na slici 16.



Slika 16. Izlaz pseudo NMOS kola sa promjenama širine kanala

Prikaz izlaza i vrijednosti logičke nule kola za širinu kanala $W_p = 1,183 \mu m$ dat je na slici 17.

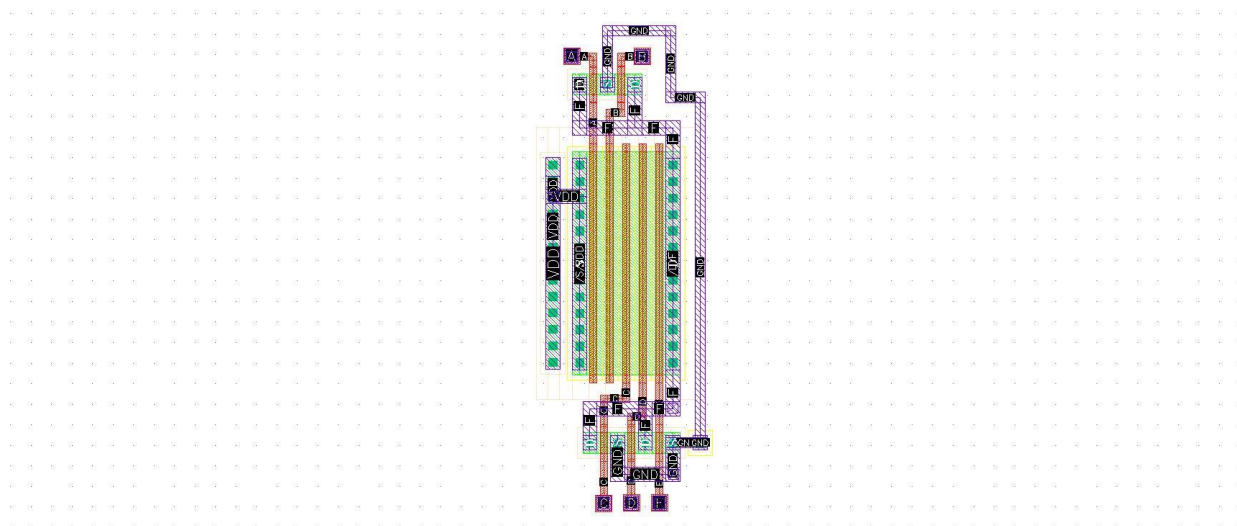
■ /f



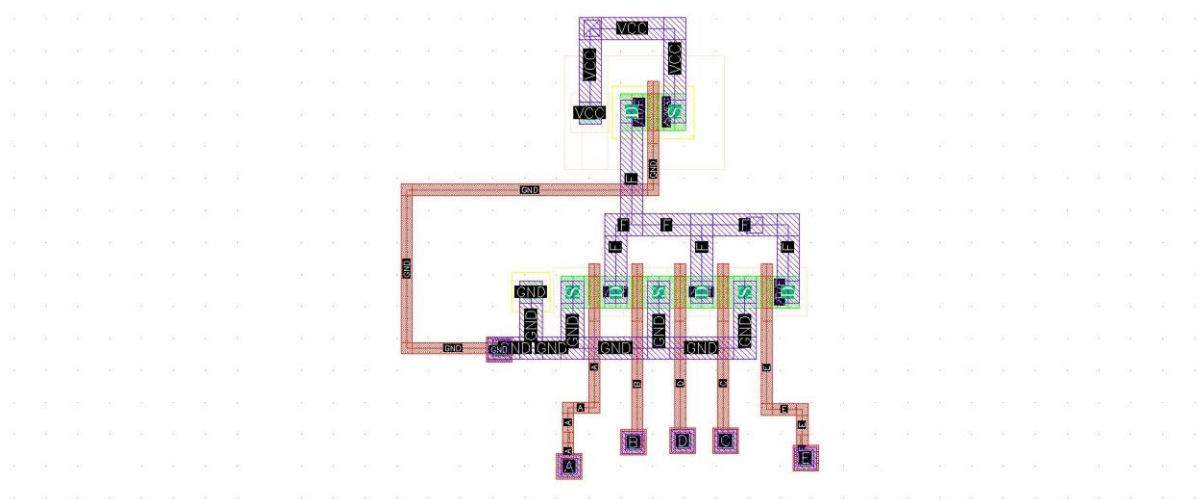
Slika 17. Izlaz pseudo NMOS kola sa zadatom širinom kanala

4. Lejaut projektovanog kola

Na slici 18 prikazan je lejaout CMOS kola a na slici 19 lejaout pseudo NMOS kola.



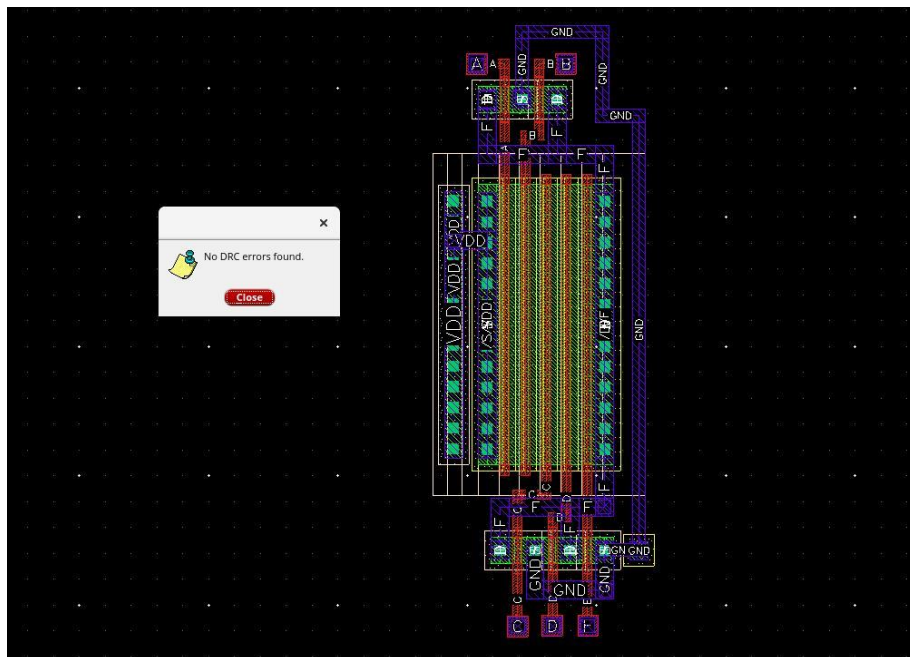
Slika 18. Lejaut CMOS kola



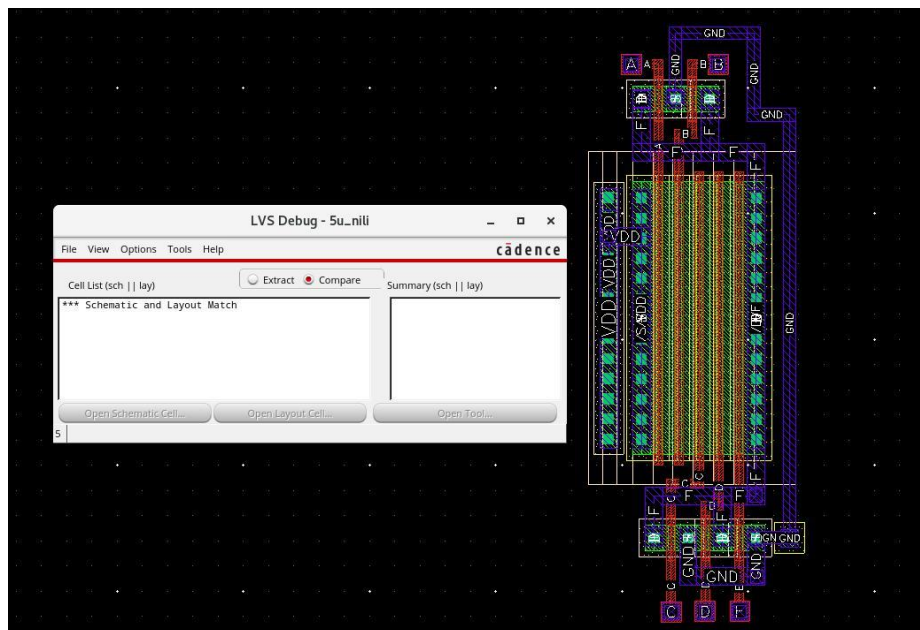
Slika 19. Lejaut pseudo NMOS kola

Na narednim slikama biće prikazana izvršena DRC, LVS kao i *Quantus* analiza kako za CMOS kolo tako i za pseudo NMOS kolo.

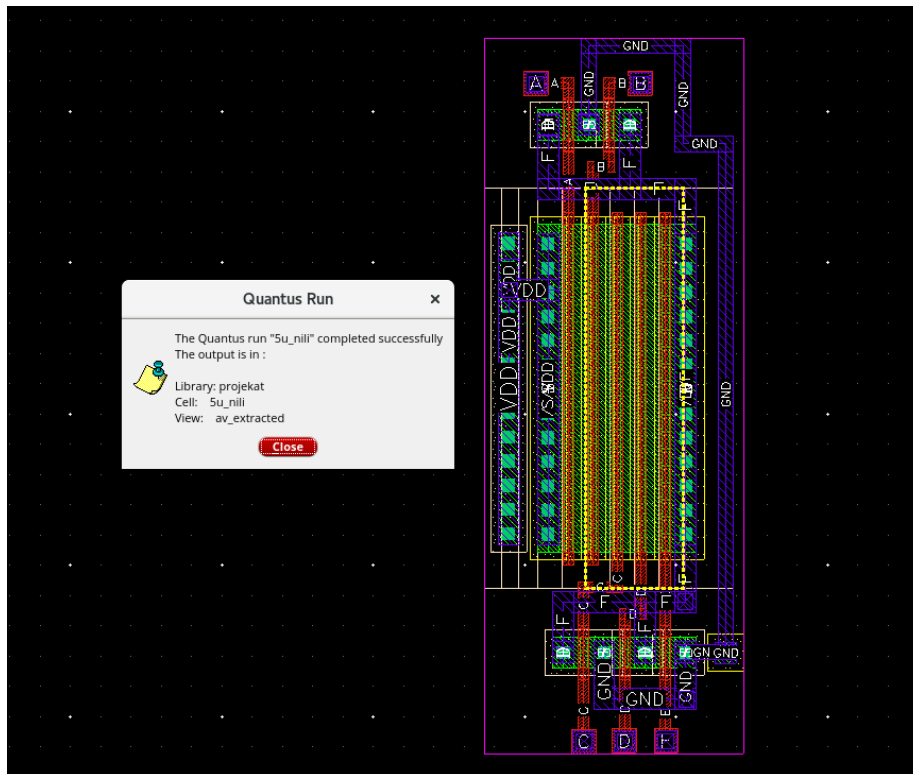
Redom za CMOS kolo na slici 20 imamo prikazane rezultate uspešne DRC analize, na slici 21 rezultate LVS analize, a na slici 22 *Quantus* analizu.



Slika 20. DRC analiza NMOS kola

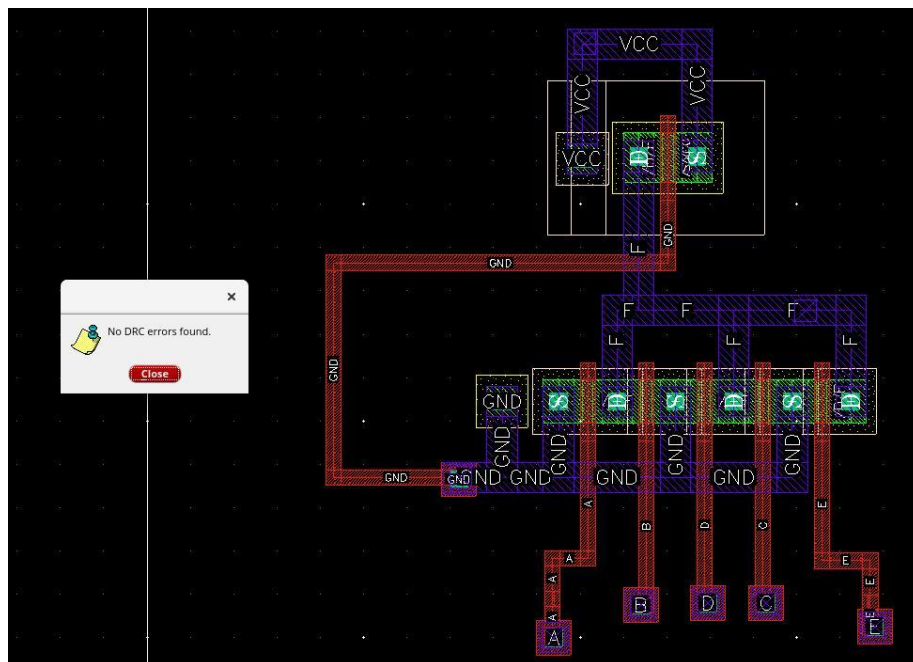


Slika 21. LVS analiza NMOS kola

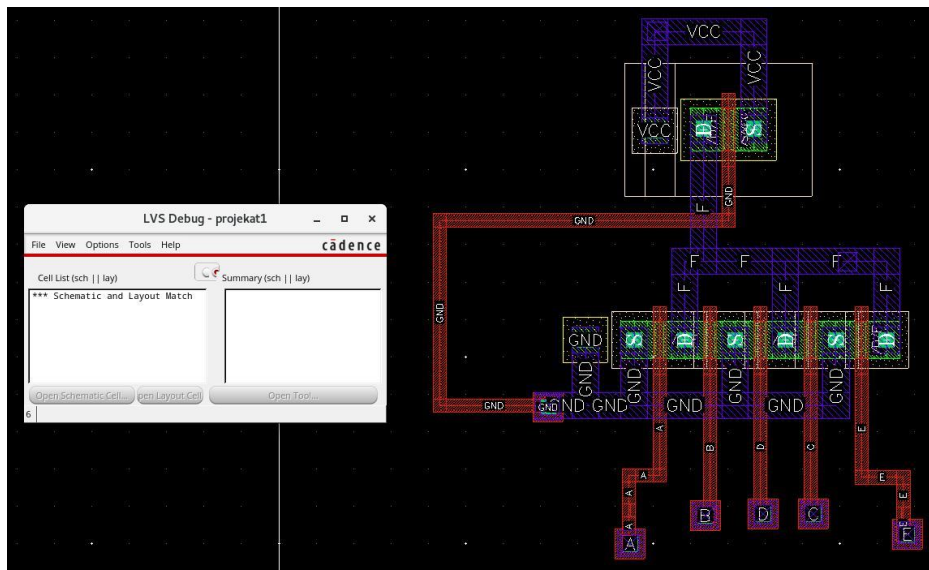


Slika 22. Quantus analiza CMOS kola

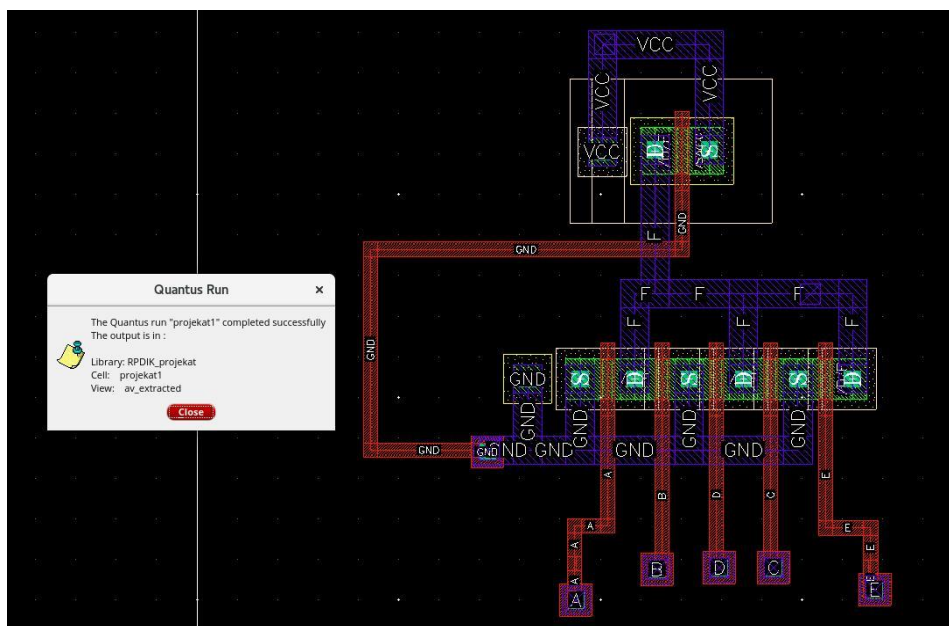
Takođe za pseudo NMOS na slici 23 imamo urađenu DRC analizu, na slici 24 LVS, a na slici 25 Quantus analizu.



Slika 23. DRC analiza pseudo NMOS kola

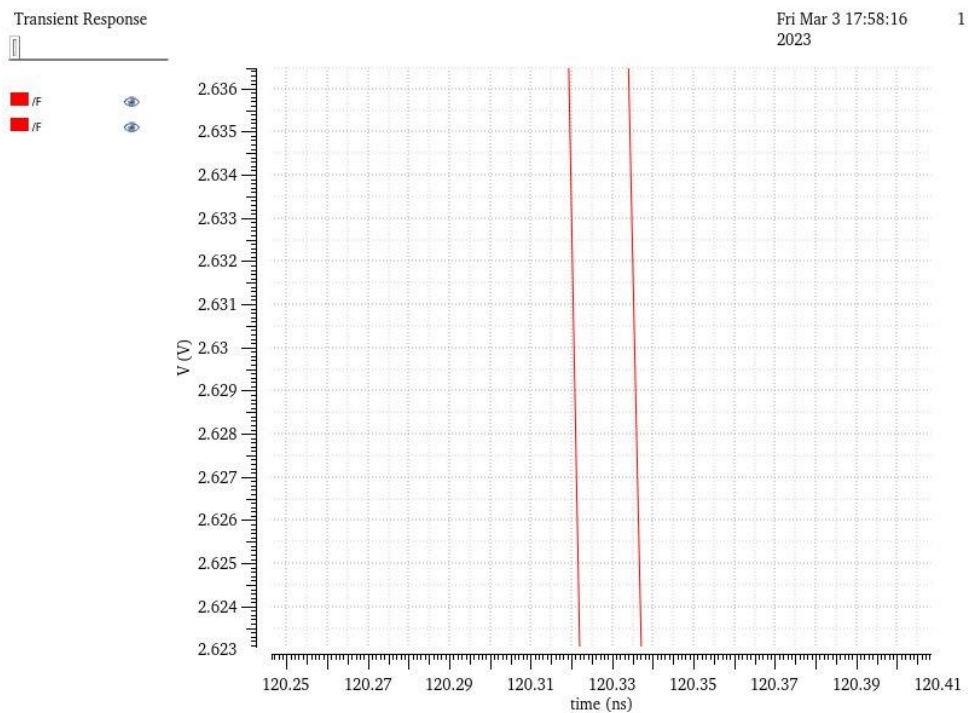


Slika 24. LVS analiza pseudo NMOS kola

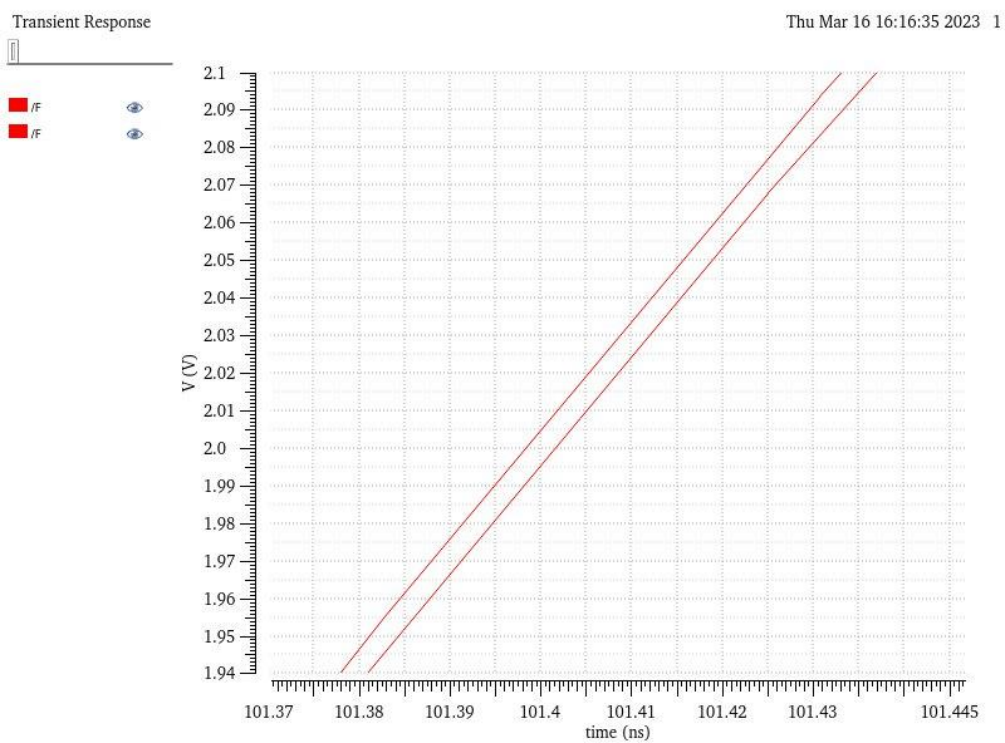


Slika 25. Quantus analiza pseudo NMOS kola

U nastavku ćemo prikazati uticaj parazita na izlaz našeg kola u slučaju CMOS kola i u slučaju pseudo NMOS kola. Na slikama 26. i 27. vidimo odstupanje odziva od idealnog slučaja kada se u obzir uzmu parazitne kapacitivnosti i otpornosti našeg kola.



Slika 26. Razlika u izlazu CMOS kola sa i bez parazita



Slika 27. Razlika u izlazu pseudo NMOS kola sa i bez parazita

5. Diskusija dobijenih rezultata

Obe realizacije petoulaznog NILI kola ispunjavaju zadatu funkciju, a to je da se na izlazu dobija vrijednost logičke jedinice samo kada se na svakom od ulaza kola dovede vrijednost logičke nule.

Najbolje poređenje ova dva kola i prikaz dobijenih rezultata pokazaćemo uz pomoć tabele.

	Wp	tpLH	tpHL	Pdis	Logička nula	Površina ic.
CMOS	10.87 um	473.3	473.1	13.7 uW	Niža vrijednost	veća
Pseudo NMOS	1.183 um	295 ps	295 ps	739.5 uW	Viša vrijednost	manja

Tabela dobijenih rezultata simulacija

Jedan od zadataka našeg projekta je bio da se uporedi statička potrošnja kao i vrijednost logičke nule kola realizovanog na ova dva načina.

Sagledavajući rezultate simulacija i prethodno prikazanu tabelu jasno vidimo razlike u vrijednostima statičke potrošnje kao i vrijednosti logičke nule ovih kola, u oba slučaja pseudo NMOS ima više vrijednosti ovih parametara.

6 Zaključak

Kao što je to već u prethodnom poglavlju rečeno naše realizacije petoulaznog NILI kola ispunjavaju zadatu funkciju a to je da se na izlazu dobija vrijednost logičke jedinice samo kada se na svakom od ulaza kola dovede vrijednost logičke nule.

Kola imaju neke suštinske sličnosti ali i razlike. Jedna od sličnosti ovih kola je njihova realizacija, oba imaju istu "pull-down" mrežu koja se sastoji od pet NMOS tranzistora dok se "pull-up" mreža razlikuje. CMOS se sastoji iz pet PMOS tranzistora a pseudo NMOS od jednog PMOS tranzistora sa uzemljenim gejnt priključkom.

Zbog ovakve realizacije se i površina koju zauzima samo integrisano kolo razlikuje pa je u ovom slučaju psudo NMOS izbor kada želimo da kolo zauzme manju površinu kako zbog manje širine kanala tako i zbog manjeg broja upotrebljenih tranzistora ali ono u daljim analizama ima neke druge probleme i mane.

Poređenjem rezultata simulacija vidimo da je širina kanala W_p PMOS tranzistora je kod pseudo NMOS ($W_p = 1,183 \mu m$) znatno manja nego kod CMOS logike ($W_p = 10,87 \mu m$). Takođe vidimo da su i vremena tp_{HL} i tp_{LH} mnogo manja ($295,6 ps$) nego što je to slučaj kod CMOS kola ($tp_{HL} = 473,1 ps$ i $tp_{LH} = 473,3 ps$).

To predstavlja jednu od prednosti i razloga za korišćenje pseudo NMOS kola.

Za razliku od toga iz simulacije vidimo da je statička potrošnja ovog kola znatno veća u odnosu na CMOS kolo i iznosi $P_{dis} = 739,5 \mu W$.

Dok za slučaj CMOS kola ona iznosi $P_{dis} = 13.57 \mu W$.

Takođe jedan od problema pseudo NMOS kola je promjena vrijednosti logičke nule i ona je u odnosu na CMOS znatno veća, pored toga ona se mijenja sa vremenom i nije približno konstantna kao što je to slučaj sa drugom realizacijom.

Zbog svega gore navedenog potrebno je prije izbora kola i tehnike u kojoj će ono biti izrađeno dobro razmotriti potrebe i zahtjeve koje korisnik i upotreba kola može imati.