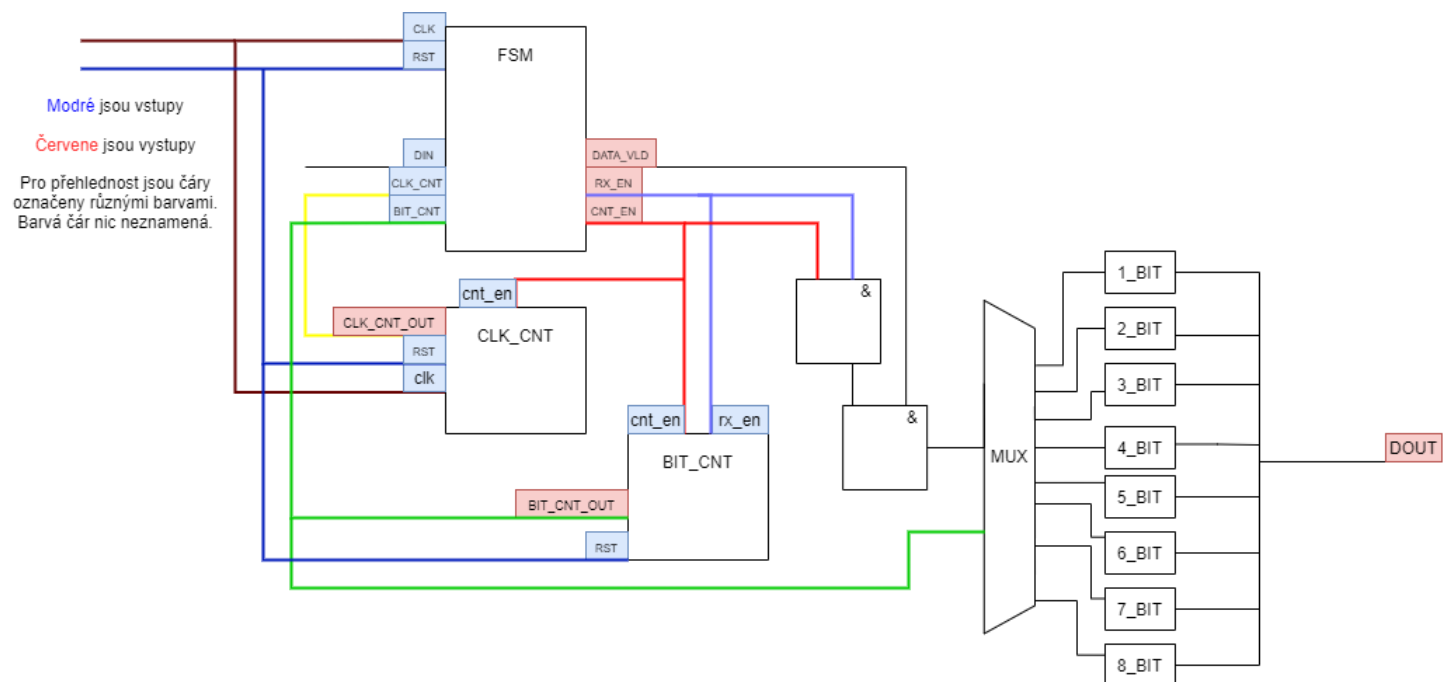


Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Obvod obsahuje 4 základní součástky to je: Finite State Machine (FSM), Time Signals Counter (CLK_CNT), Bit Counter (BIT_CNT) a Multiplexor (MUX).

FSM to je stavový automat. On obsahuje v sobě 4 stavy, které jsou vysvětleny v další úloze. Na vstup potřebuje základní vstupní signály CLK (Clock signal), RST (Reset) DIN (Input Data) a také speciální: CLK_CNT, BIT_CNT. Výstupní signály jsou **DATA_VLD**, který označuje platnost datového slova, jestli-že signál nastaven na log.1, **RX_EN**, který povoluje zápis jednotlivých bitů, jestli-že signál nastaven na log.1, a také **CNT_EN**, který povoluje start počítadlem.

BIT_CNT a CLK_CNT jsou počítadla, slouží pro přepínání stavu FSM.

BIT_CNT je počítadlem bitů, maximální počet bitů je 8 [7:0]. Má vstupy cnt_en, RST a rx_en a také má jeden výstup BIT_CNT_OUT. Ten výstup předává momentální počet bitů.

CLK_CNT je počítadlem hodinových signálů. Má vstupy cnt_en, RST, clk a má jeden výstup CLK_CNT_OUT. Ten výstup předává momentální počet hodinových signálů od začátku počtu.

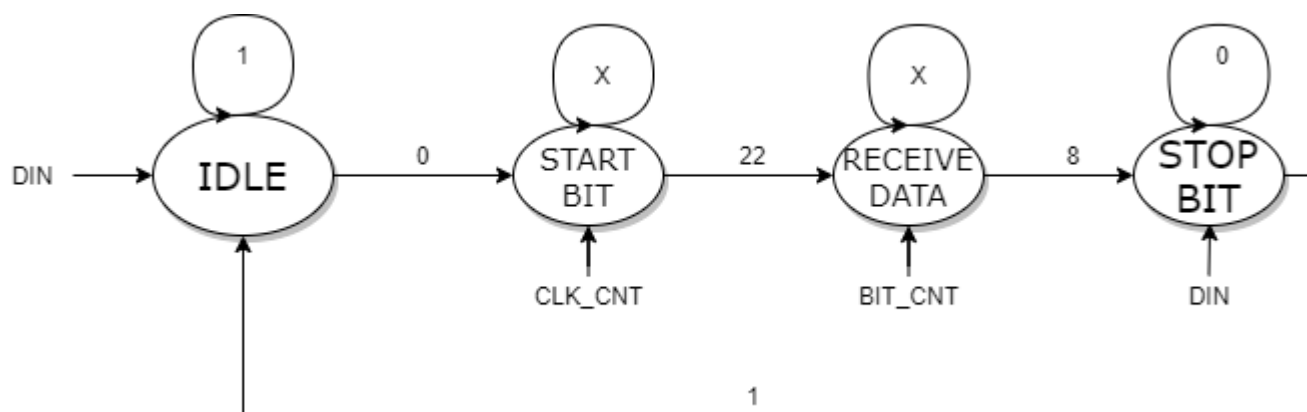
MUX to je multiplexor. Na vstup má 2 signály DIN a BIT_CNT a na výstup vypisuje bity.

DIN obsahuje 3 signály (DATA_VLD, RX_EN, CNT_EN), které postupně přichází do jediného, pomocí logické jednotky AND.

BIT_CNT signál obsahující počet bitů.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce

Automat obsahuje 4 stavy:

- **IDLE** – původní stav. Na vstup potřebuje signál **DIN**, při log.0 přepne do stavu **START BIT**, jinak bude dál čekat log.0.
- **START BIT** – 2. stav, slouží pro hledání tzv. start bitu a také dává informace, že dál budou jít bity. Na vstup potřebuje signál **CLK_CNT** a přepne do stavu **RECEIVE DATA**, jestli **CLK_CNT** = 22, jinak bude dál čekat. 22 protože na přepínání stavu ztratíme 1 hodinový signál.
- **RECEIVE DATA** – 3. stav, slouží pro přijímání dat. Na vstup jde signál **BIT_CNT** a přepne do stavu **STOP BIT**, jestli **BIT_CNT** = 8, jinak bude dál čekat.
- **STOP BIT** – poslední stav, slouží pro ukončení procesu přijímání dat a hledání stop bitu. Na vstup jde signál **DIN**, jestli **DIN** = 1 přepne do stavu **IDLE**, jinak bude dál čekat.

Screenshoot

