



# DISEÑO DIGITAL 2

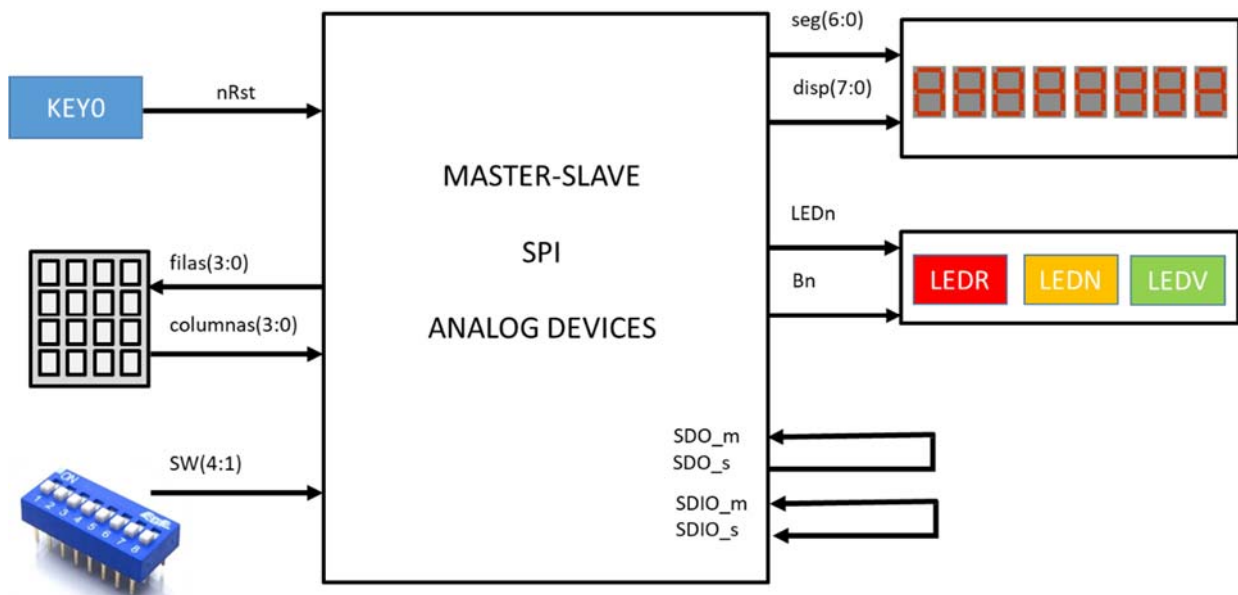
## CONVOCATORIA ORDINARIA

ESPECIFICACION DEL DISEÑO:

ESCLAVO SPI COMPATIBLE CON LA  
ESPECIFICACIÓN DE ANALOG DEVICES

## 1 Descripción del diseño

Como trabajo para realizar en esta convocatoria ordinaria se propone diseñar un esclavo SPI compatible con la especificación de Analog Devices para las interfaces SPI de sus dispositivos. El diagrama de bloques general del diseño se muestra en la siguiente figura.



## 2 Especificaciones de Funcionamiento

Las especificaciones de funcionamiento del sistema son las siguientes:

- El sistema contiene un maestro y un esclavo SPI conformes a la especificación para interfaces SPI definida por la compañía Analog Devices (ADI-SPI), que se encuentra descrita en el documento “Serial Control Interface Standard (Rev 1.0)”. Esta especificación se proporciona en el documento “*adispi\_rev\_1p0.pdf*”. Este documento servirá como texto de referencia para el desarrollo del diseño.

No todos los apartados de la especificación tienen la misma relevancia para dar soporte a las tareas del diseño. Concretamente, son de especial interés los apartados: 4.2, 4.4, 5.1 a 5.5 y 6.1 a 6.3. La sección 7 ofrece un útil resumen de los registros de configuración. La sección 8 presenta un conjunto de cronogramas útiles para comprender la temporización y la estructura de la trama en los distintos modos de funcionamiento.

- b) Las interfaces entre maestro y esclavo están conectadas de manera externa solamente de forma parcial. Concretamente, las líneas SCLK y CSB, estarán interconectadas en el interior de la FPGA, mientras que las líneas SDO y SDIO del maestro y del esclavo estarán conectadas al conector de expansión de la XDECA.

Se utilizan los terminales reservados para la conexión del “display LCD”, que no se encuentra montado, y su interconexión se realizará externamente mediante sendos cables (ya instalados en la tarjeta).

La correspondencia de los pines de la XDECA y las señales del SPI es la siguiente: SDIO\_m (SCL), SDIO\_s(SI), SDO\_m(nCS) y SDO\_s(nReset).

- c) La inicialización asíncrona del sistema se llevará a cabo mediante el accionamiento del pulsador “key 0” de la tarjeta DECA.
- d) La especificación ADI-SPI no se implementará de manera completa. Concretamente, no se implementarán los siguientes aspectos:
- La gestión de dominios de reloj descrita en el apartado 5.6.
  - De los 16 registros de configuración solamente se implementarán el 0x0000, en lo relativo a las funcionalidades “LSB First o MSB First”, “Address Ascension or Descend” y “SDO Active (3 or 4 wires connection)”; y el 0x0001, en lo relativo al modo “streaming” o “single instruction”. El resto de los bits serán ignorados.
  - Solamente se implementarán dos registros de operación, en las dos direcciones más bajas destinadas a tal fin.
  - La especificación de tiempos del apartado 5.5 se concreta en el apartado 4 de este documento.
- e) La verificación del funcionamiento correcto del esclavo diseñado se llevará a cabo mediante su respuesta al conjunto de transferencias realizadas por el maestro SPI disponible en el sistema. El tipo concreto de transferencia que el maestro llevará a cabo será controlado por el usuario mediante el teclado hexadecimal conectado a la XDECA, así como mediante cuatro microinterruptores de los ocho disponibles en la XDECA.

f) Mediante la pulsación de la tecla “1” el sistema entrará en el modo de control de transferencias. La forma de componer la transferencia se realiza mediante el teclado y los microinterruptores:

- La tecla “C” se utilizará para conmutar entre dos modos de inserción: el primero permitirá editar los bytes correspondientes a los registros de configuración 0x0000 y 0x0001, el segundo se utilizará para editar los dos bytes correspondientes a los registros de operación.
- En el modo de control de las transferencias, cuando se está editando la información a enviar a los registros de configuración, en los displays se mostrará la siguiente información:

*Display 0:* unidades del byte a enviar (0 a F)

*Display 1:* decenas del byte a enviar (0 a F)

*Display 2:* apagado

*Display 3:* dirección del registro (0 a 1)

- En el modo de control de las transferencias, cuando se está editando la información a enviar a los registros de operación, en los displays se mostrará la siguiente información:

*Display 0:* unidades del byte a enviar a la dirección baja (0 a F)

*Display 1:* decenas del byte a enviar a la dirección baja (0 a F)

*Display 2:* unidades del byte a enviar a la dirección alta (0 a F)

*Display 3:* decenas del byte a enviar a la dirección alta (0 a F)

- La tecla “D” permitirá desplazarse por los dígitos que van a ser editados. El desplazamiento será dígito a dígito y de derecha a izquierda, volviendo al situado más a la derecha una vez que se ha llegado al otro extremo. La indicación de qué dígito está siendo editado se mostrará mediante un parpadeo en el punto decimal correspondiente con una cadencia de medio segundo.
- La tecla “A” incrementará en una unidad el valor del dígito que se encuentra activo.
- La tecla “B” decrementará en una unidad el valor del dígito que se encuentra activo.

- La tecla “E” realizará una transferencia de escritura de los dos bytes correspondientes a los registros de configuración o a los de operación, según el modo en el que se encuentre el sistema.
- La tecla “F” realizará una transferencia de lectura de los dos registros de configuración o de operación, según el modo en el que se encuentre el sistema. La información leída se mostrará en los displays con el mismo formato que en la edición de los campos explicada anteriormente. Esta información permanecerá en los displays hasta la pulsación de la tecla “C”.
- Los microinterruptores de la XDECA se utilizan para establecer la configuración del maestro. Se llevará a cabo de la forma siguiente:

SW1 = modo tres hilos (0) o cuatro hilos (1).

SW2 = modo MSB First (0) o LSB First (1).

SW3 = modo decremento de direcciones (0) o incremento (1).

SW4 = modo streaming (0) o single instruction (1).

- g) Mediante la pulsación de la tecla “2” el sistema entrará en el modo chequeo de consistencia. El maestro y el esclavo solamente serán capaces de comunicarse si ambos se encuentran configurados de la misma manera. Precisamente, el modo de chequeo se utiliza para comprobar de manera automática esta compatibilidad entre maestro y esclavo. Para ello, en los displays se presentará la información que refleja la configuración del esclavo de la forma siguiente:

*Displays 0 y 1: modo 3 o 4 hilos (3H, 4H)*

*Displays 2 y 3: MSB First o LSB First (IIS, LS)*

*Displays 4 y 5: Incremento o decremento de dirección (IC, dC)*

*Displays 6 y 7: streaming o single instruction (St, SI)*

Con el fin de no sobrecargar la representación de esta información en la pantalla, se mostrarán estos campos uno a uno, con una cadencia de medio segundo.

Esta información se comparará con la correspondiente configuración del maestro (estado de los microinterruptores). En caso de coincidir se encenderá la barra de leds verde, en caso contrario se encenderá la barra de leds roja.

En todo momento, cuando el esclavo esté configurado para una comunicación a tres hilos se encenderá la barra de leds naranja de la tarjeta DECA.

**Nota:** se le ha proporcionado un fichero “.sof” con una solución para este diseño con el cual puede comprobar este conjunto de especificaciones en caso de tener alguna duda.

### **3 Consideraciones sobre el diseño jerárquico del sistema**

Para desarrollar el sistema que se propone, cada uno de los grupos deberá llevar a cabo el diseño jerárquico del sistema completo. No obstante, dada la complejidad del sistema que se propone, se proporcionan algunos bloques que implementan parte de la funcionalidad descrita en el apartado anterior. Así pues, el diseño jerárquico que realice cada uno de los grupos deberá adaptarse a las particularidades de los módulos que se proporcionan.

A continuación, se describe la funcionalidad y la interfaz de cada uno de estos módulos:

#### **❖ master\_spi\_3\_4\_hilos.vhd**

Este módulo implementa la funcionalidad completa de un Master-SPI conforme a la especificación de Analog Devices. Es capaz de realizar transferencias en los distintos modos de funcionamiento soportados por nuestro sistema y descritos en el apartado anterior: Streaming-SingleInstruction, LSBFirst-MSBFirst, 3Hilos-4Hilos o Incremento-Decremento. Su interfaz está brevemente descrita en la propia declaración de entidad.

#### **❖ app\_module.vhd**

Este módulo se encarga del control de las transacciones realizadas por el master SPI a partir de la interacción por parte del usuario con el teclado hexadecimal. Implementa toda la funcionalidad definida para el hito 1 del diseño, es decir, la expresada en el punto f) de las especificaciones del apartado anterior. Su interfaz está brevemente descrita en la propia declaración de entidad.

#### **❖ presentacion.vhd**

Este módulo se encarga de implementar la funcionalidad definida para el hito 1 del diseño, es decir, la expresada en el punto f) de las especificaciones del apartado anterior, relativas a la representación de información en los displays. Su interfaz está brevemente descrita en la propia declaración de entidad.

De igual forma, se proporcionan recursos para llevar a cabo el proceso de verificación del sistema. Concretamente, se ofrece un paquete de procedimientos que facilitan la verificación del sistema formado por el control de la aplicación, el master y el esclavo SPI, y la presentación, sin incluir el controlador de teclado. Asimismo, se ofrece un pequeño testbench.

#### ❖ **pack\_test\_spi.vhd**

Este paquete está formado por los siguientes procedimientos:

- *pulsar*: simula la pulsación de la tecla indicada por “dígito”
- *set\_modos\_reg\_op*: simula la entrada en el modo de edición de los registros de operación
- *set\_modos\_reg\_conf*: simula la entrada en el modo de edición de los registros de configuración
- *editar\_reg\_op*: simula las pulsaciones de teclado necesarias para la edición de los dos bytes de los registros de operación al valor indicado por “valor”
- *editar\_reg\_conf*: simula las pulsaciones de teclado necesarias para cargar el valor indicado por “valor” en el registro de configuración indicado por “add”

#### ❖ **test\_top.vhd**

Código que incluye la parte rutinaria del testbench y un pequeño ejemplo de utilización de los procedimientos. Podrá servir como base para un testbench más completo que verifique el cumplimiento de las especificaciones del sistema.

## **4 Especificaciones de tiempos de la interfaz Esclavo-SPI**

Los límites máximos y mínimos para cada uno de los parámetros temporales del comportamiento dinámico de la interfaz SPI no se encuentran detallados en el documento de la especificación. Considere los siguientes valores a la hora de diseñar su esclavo SPI:

$$t_{DSMIN} = 5 \text{ nS}$$

$$t_{DHMIN} = 2 \text{ nS}$$

$$t_{CLKMIN} = 200 \text{ nS}$$

$$t_{HIGHMIN} = 60 \text{ nS}$$

$$t_{LOWMIN} = 80 \text{ nS}$$

$$t_{SMIN} = 5 \text{ nS}$$

$$t_{HMIN} = 2 \text{ nS}$$

$$t_{ACCESSMAX} = 60 \text{ nS}$$

$$t_{ZMAX} = 20 \text{ nS}$$

A esta especificación hay que añadir las que se derivan del master SPI que se le proporciona resuelto.

- ✓ La señal de reloj que se genera tiene una frecuencia de 5MHz y un ciclo de trabajo del 50%
- ✓ En las operaciones de lectura el esclavo deberá cambiar el pin SDIO de entrada a salida con posterioridad al tercer ciclo de reloj del sistema después del flanco de subida de SCLK.
- ✓ En las operaciones “single instruction” el esclavo deberá devolver el control de la línea SDIO al maestro, cambiando de salida a entrada la línea SDIO, antes de la finalización del tercer ciclo de reloj con posterioridad al flanco de subida en SCLK.

## **5 Fases de la realización del diseño. Hitos entregables.**

El diseño se realizará obligatoriamente en 3 fases, cada una de las cuales conllevará la realización de un entregable. Estas fases se describen a continuación.

### ***5.1 Hito 1: Diseño de un Esclavo-SPI a cuatro hilos.***

En esta primera fase deberá realizarse el modelado del hardware necesario para implementar la interfaz del esclavo SPI en modo 4 hilos. Para ello, deberá considerar que el modo inicial de funcionamiento del master y del esclavo al inicio de operación es a cuatro hilos, en lugar de a tres hilos como marca la especificación.

Para facilitar las tareas de test del módulo diseñado en este hito dispondrá de un paquete con procedimientos para simular la interacción del usuario con el teclado así como un test básico, que deberá ser ampliado a fin de verificar el funcionamiento correcto del circuito.

Además del diseño del esclavo, para completar el hito, debe realizar una descripción estructural en la que:

- se reutilice en la medida de lo posible la interfaz que tiene el módulo que se instancia en el test que se le proporciona, adaptándola cuando sea necesario (puede utilizar la primera figura en este documento como guía).
- se interconecte el esclavo diseñado con los circuitos que se le proporcionan: master, presentación y control de la aplicación. Utilice los módulos de presentación y de control de la aplicación tal cual le han sido entregados. Así pues, solamente implementan la funcionalidad definida en el punto f) de las especificaciones, es decir, el modo de control de transferencias. El sistema, por lo tanto, no responderá a la pulsación de las teclas “1” o “2”.
- se incluya un circuito, que debe diseñar, para generar las señales de tiempo necesarias



- se incluya un circuito controlador de teclado que permita leer las teclas pulsadas en un teclado hexadecimal

NOTA: Cuando realice las pruebas sobre la tarjeta de prototipado debe tener en cuenta que los nombres de los microinterruptores serigrafiados en el componente no se corresponden con los nombres que se dan en la Tabla 3 del manual de la XDECA. Concretamente, el microinterruptor SW1 en la Tabla 3 es SW8 en la serigrafía, el SW2 es el SW7 y así sucesivamente.

HITO 1 (entregable): Diseño del Esclavo-SPI, testbech que demuestre el funcionamiento correcto del mismo y prototipado sobre la tarjeta DECA que demuestre el cumplimiento de las especificaciones.

## **5.2 Hito 2: Modificación del módulo de presentación.**

En esta segunda fase deberá modificar los módulos de control de la aplicación y de presentación con el fin de que implementen las funcionalidades recogidas en el apartado g) de las especificaciones. Asimismo, podrá modificar el esclavo diseñado en el hito 1, si lo considera necesario.

HITO 2 (entregable): Diseño que incorpore las modificaciones del módulo de presentación y de control de la aplicación, testbech que demuestre el funcionamiento correcto del mismo y prototipado sobre la tarjeta DECA que demuestre el cumplimiento de las especificaciones.

## **5.3 Hito 3: Diseño de un Esclavo-SPI a tres hilos.**

En esta tercera realizará el sistema completo tal y como se especifica en este documento. Para ello incorporará el funcionamiento con el modo a tres hilos. Solamente deberá hacerlo en el esclavo que diseñó en los hitos anteriores, ya que el master está preparado para soportar este modo de funcionamiento

HITO 3 (entregable): Diseño y test del sistema completo, testbech que demuestre el funcionamiento correcto del mismo y prototipado sobre la tarjeta DECA que demuestre el cumplimiento de las especificaciones.

# **6 Especificaciones no funcionales**

El diseño deberá cumplir las siguientes especificaciones no funcionales:

- El circuito diseñado deberá cumplir las reglas de diseño síncrono.
- El circuito empleará un reloj de 50 MHz como frecuencia de reloj del sistema.

- La frecuencia máxima de funcionamiento garantizada del circuito deberá ser compatible con la especificación anterior.
- El circuito deberá prototiparse empleando las tarjetas DECA MAX10 y XDECA.

## **7 Entrega de resultados**

Los resultados del diseño deberán entregarse:

HITO1: hasta el 5 de Mayo de 2023

HITO2: hasta el 12 de mayo de 2023

HITO3: hasta el 19 de mayo de 2023

Adicionalmente, cada grupo realizará a lo largo del diseño una memoria que deberá adjuntar junto con el entregable del Hito 3.

El profesor de cada grupo valorará la calidad de los resultados entregados y el trabajo realizado durante el transcurso del bloque 2, con la finalidad de acreditar, individualmente, a cada miembro del grupo para la realización del examen del diseño.

## **8 Examen del diseño**

El examen del diseño podrá ser realizado únicamente por aquellos alumnos que hayan realizado una entrega de resultados calificada favorablemente por su profesor de laboratorio.

**Nota :** El examen escrito y práctico del diseño se realizará en la fecha fijada por la SOA para el examen final de la asignatura.