

Hardware/Software Co-design

Protokoll Tag 1

Fritz Lukas
Steurer Elias

Aufgabe 1)

Aufgabenstellung:

Ziel dieser Übung ist es, ein SystemC Modell für das Modul „host_command“ ohne Verschlüsselung zu schreiben. Hierbei wurde ein Beispielprogramm mit den fehlenden Funktionen vervollständigt.

Hauptaufgabe in dieser Übung ist die Implementierung des Moduls „receive“. Dieses Modul generiert aus einem Byte-stream ein passendes Paket, dazu wurde eine Statemachine durch c++ Code nachgebaut.

Nach der Erstellung der Pakete und Daten mussten diese im top-file anschließend verlinkt werden.

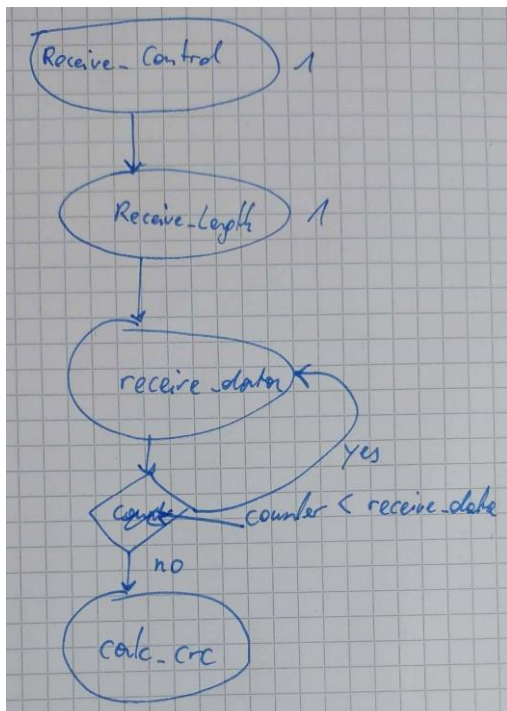


Abbildung 1: Statechart zum auslesen vom Bytestream

```
SystemC 2.3.1-Accellera --- Sep 15 2016 10:55:30
Copyright (c) 1996-2014 by all Contributors,
ALL RIGHTS RESERVED
default cycles = 1000
Control byte: 0x70
Length: 0x0e
Data: 01 0c 00 01 02 03 00 00 ff cc 00 00 00 64
CRC: 0x0000
Control byte: 0x70
Length: 0x1b
Data: 02 0c 0c 00 01 02 03 00 00 dd 55 00 00 00 03 02 01 00 00 00 ff cc 00 00 00 64
CRC: 0x0000
Control byte: 0x70
Length: 0x0e
Data: 01 0c 00 01 02 03 00 00 ff cc 00 00 00 64
CRC: 0x0000
Control byte: 0x70
Length: 0x0e
Data: 01 0c 00 01 02 03 00 00 bb aa 00 00 00 80
CRC: 0x0000
Control byte: 0x70
Length: 0x1b
Data: 02 0c 0c 00 01 02 03 00 00 dd 55 00 00 00 00 03 02 01 00 00 00 bb aa 00 00 00 83
CRC: 0x0000
Press any key to continue . . .
```

Abbildung 2: Output nach erfolgreicher durchführung von Aufgabe 1

Aufgabe 2)

Das Modul „host_command“ ist hier um eine Decryption-Einheit (Modul „decrypt“) erweitert, welche verschlüsselte Pakete (Control-Byte 0x80) entschlüsselt. Des weiteren sollen Control und Logger zum Modell hinzugefügt werden.

Hauptaufgabe ist es dann, den Controller bestehend aus einem Befehlsdecoder und den 2 Statemachines FSM1 und FSM2 zu implementieren.