



THIẾT KẾ IC



BÁO CÁO CUỐI KÌ

GV hướng dẫn: TS.Phạm Thanh Huyền

Sinh viên thực hiện: Võ Văn Tuấn - 6251020094

Lớp: CQ.62.KS.KTĐT&THCN

Đề tài: Thiết kế và mô phỏng mạch Op-Amp 2 tầng

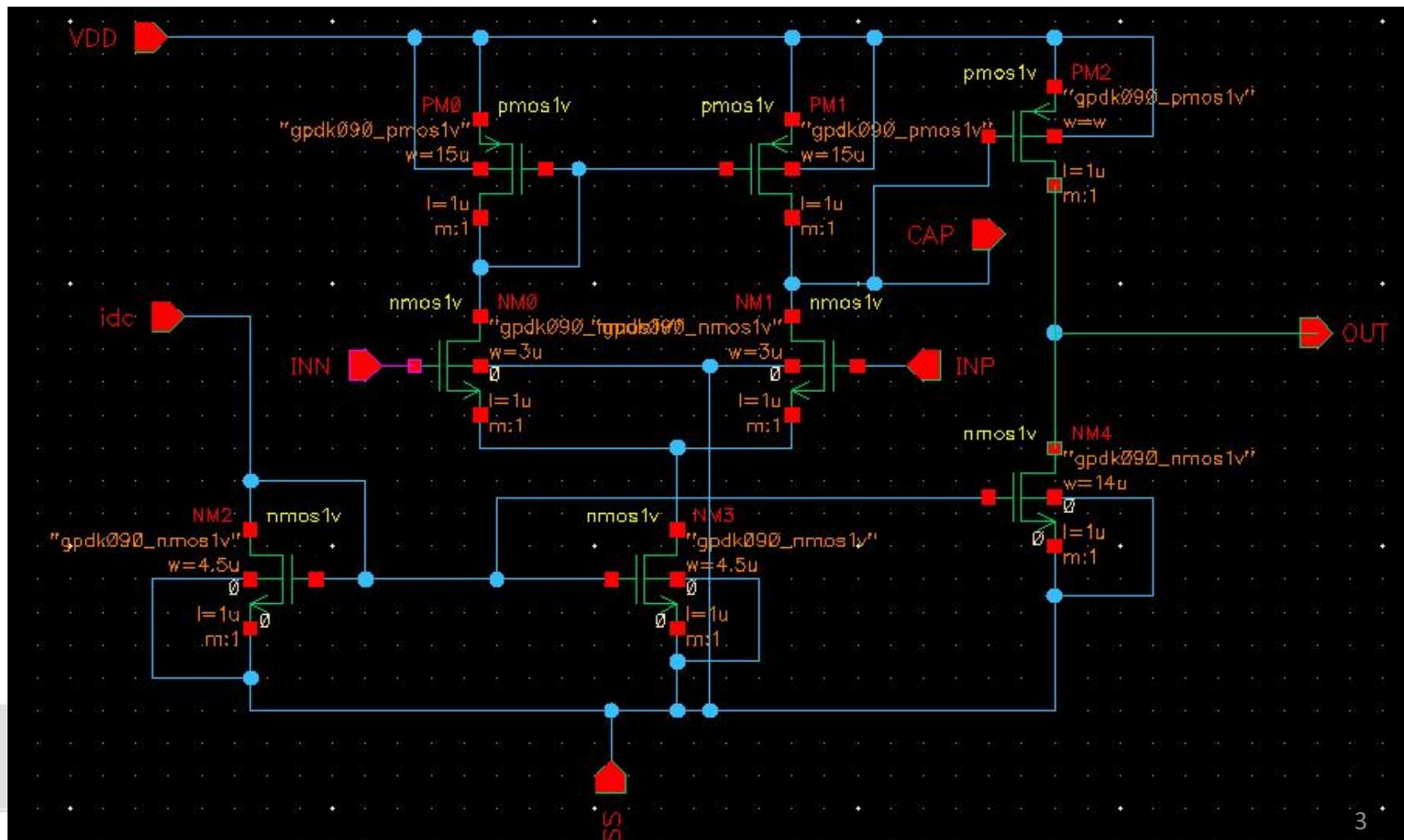


Nội Dung:

- Tinh chỉnh thống số mạch Op-Amp**
- Khảo sát các MOSFET trong mạch Op-Amp**
- Khảo sát giá trị đầu ra trên miền thời gian**
- Khảo sát CMRR (common-mode rejection ratio)**
- Khảo sát PSRR (power supply ripple rejection)**
- Khảo sát Slew-Rate (Tốc độ quay)**
- Nhận xét và đánh giá**

THIẾT KẾ IC

Sơ đồ mạch khuếch đại thuật toán CMOS hai tầng (Two-Stage CMOS Operational Amplifier) thiết kế trên Cadence 90nm





THIẾC KẾ IC

Bảng kích thước của các phần tử chính trong sơ đồ mạch

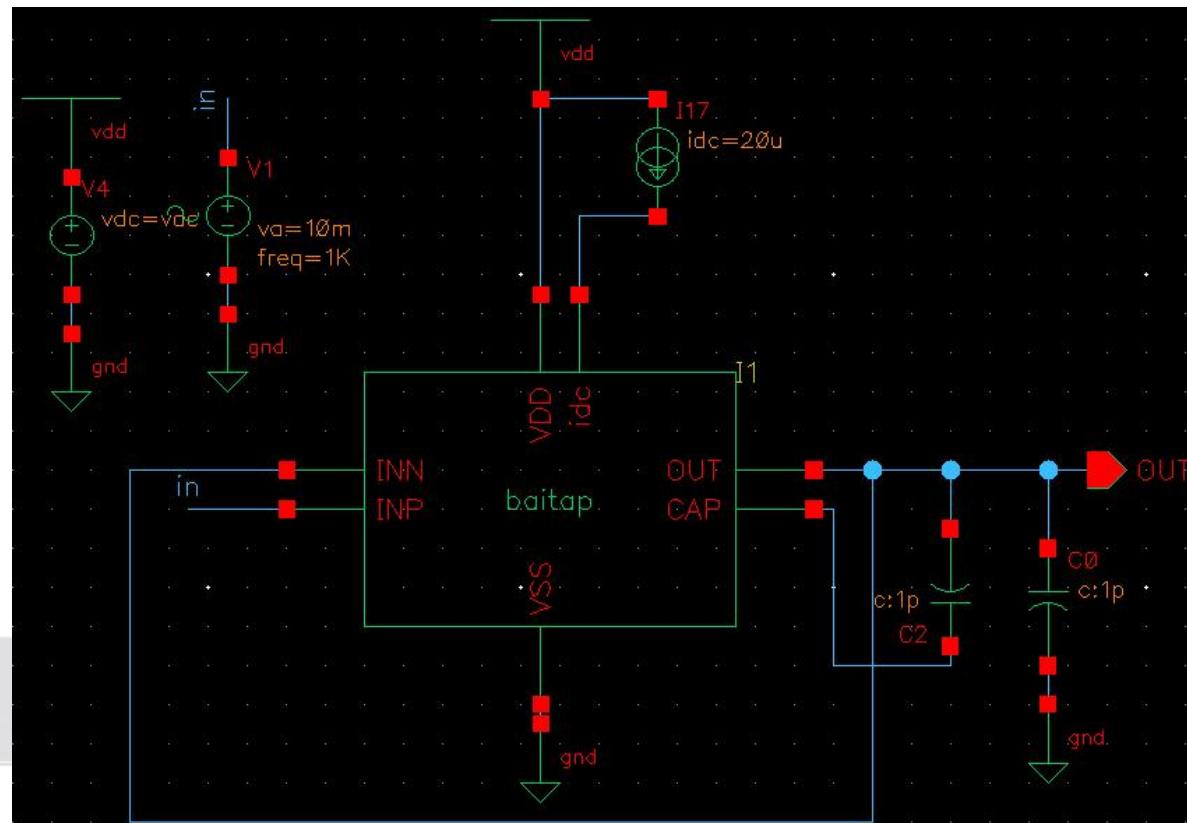
Ký Hiệu MOSFET	Tỉ số W/L	Giá trị chọn
PM0, PM1	15	$W= 15\mu m$, $L= 1\mu m$
MN0, NM1	3	$W= 3\mu m$, $L= 1\mu m$
NM2, NM3	4.5	$W= 4.5\mu m$, $L= 1\mu m$
NM4	14	$W= 14\mu m$, $L= 1\mu m$
PM2	W/ 1 μm	$W= W$, $L= 1\mu m$

THIẾT KẾ IC

1. Tinh chỉnh thông số mạch Op-Amp

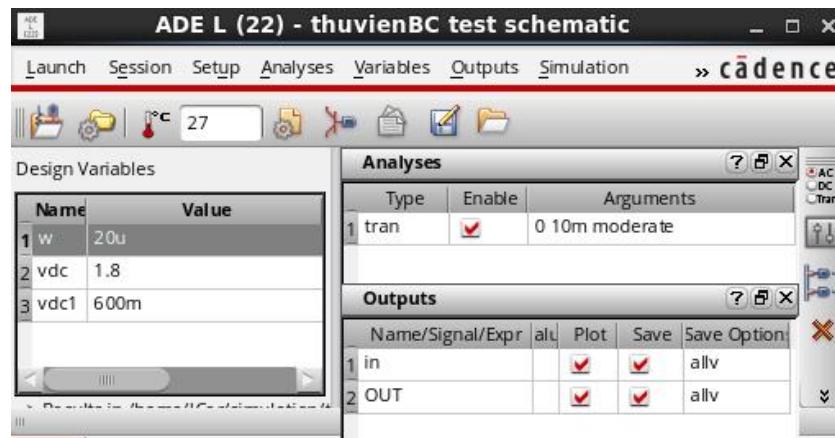
Tiến hành đóng gói IC khuếch đại để khảo sát, tạo testbench để khảo sát thông số W/L PM2

Thiết kế mạch lặp điệp áp để khảo sát đầu ra và đầu vào của Op-Amp

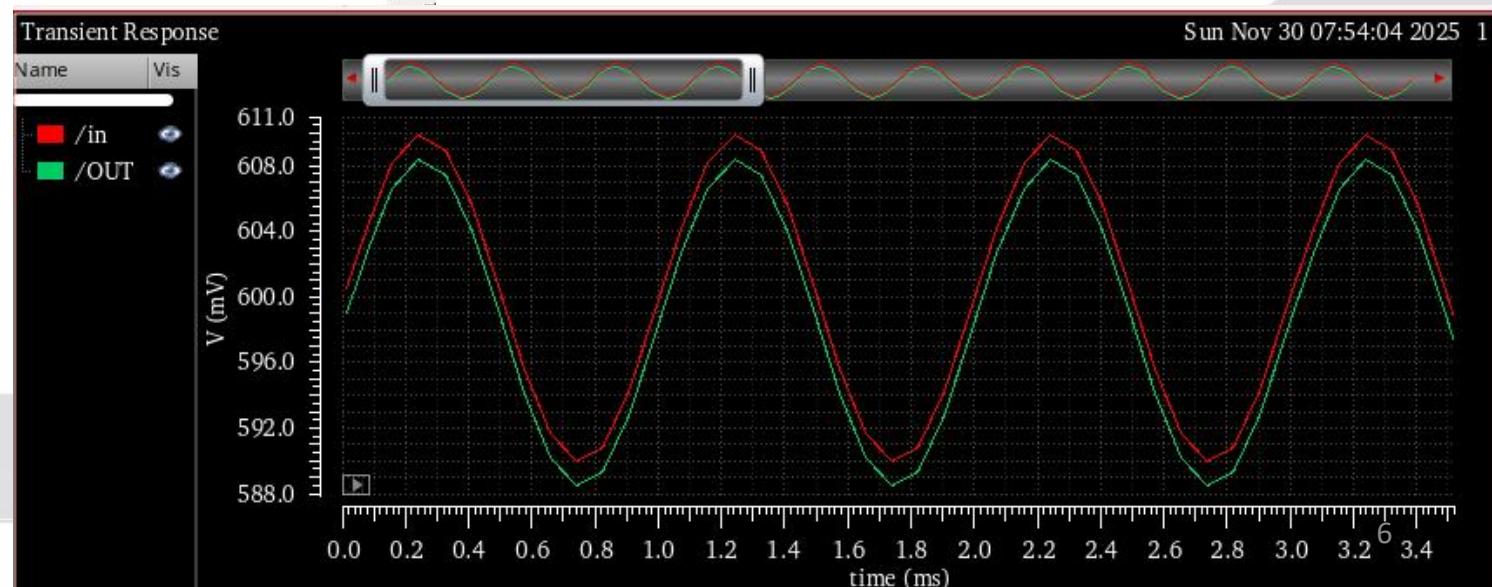


THIẾC KẾ IC

Sử Dụng ADE L để chạy lệnh Tran với thông số $V_{dc}=1.8V$, $V_{dc1}=0.6V$ và $W=20u$ (dữ liệu thô) để khảo sát đầu vào và đầu ra của mạch lặp điện áp

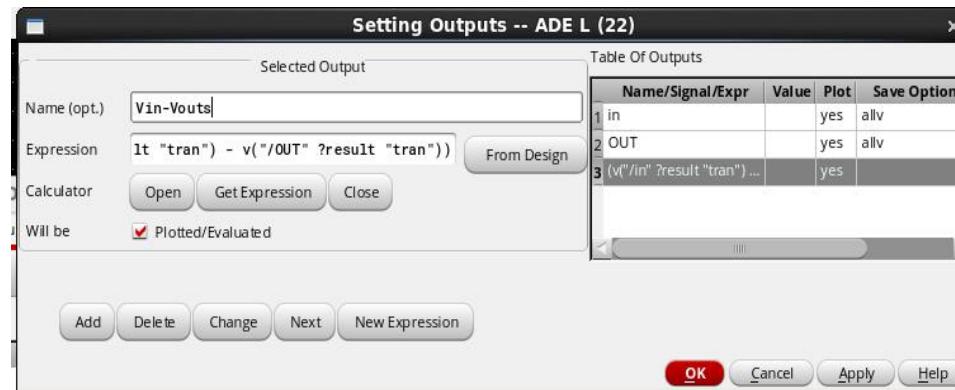


➤ Ta nhận thấy điện áp đầu vào và đầu ra của mạch lặp điện áp chưa trùng khớp với nhau chứng tỏ rằng thông số $W=20u$ (dữ liệu thô) là thông số chưa tối ưu

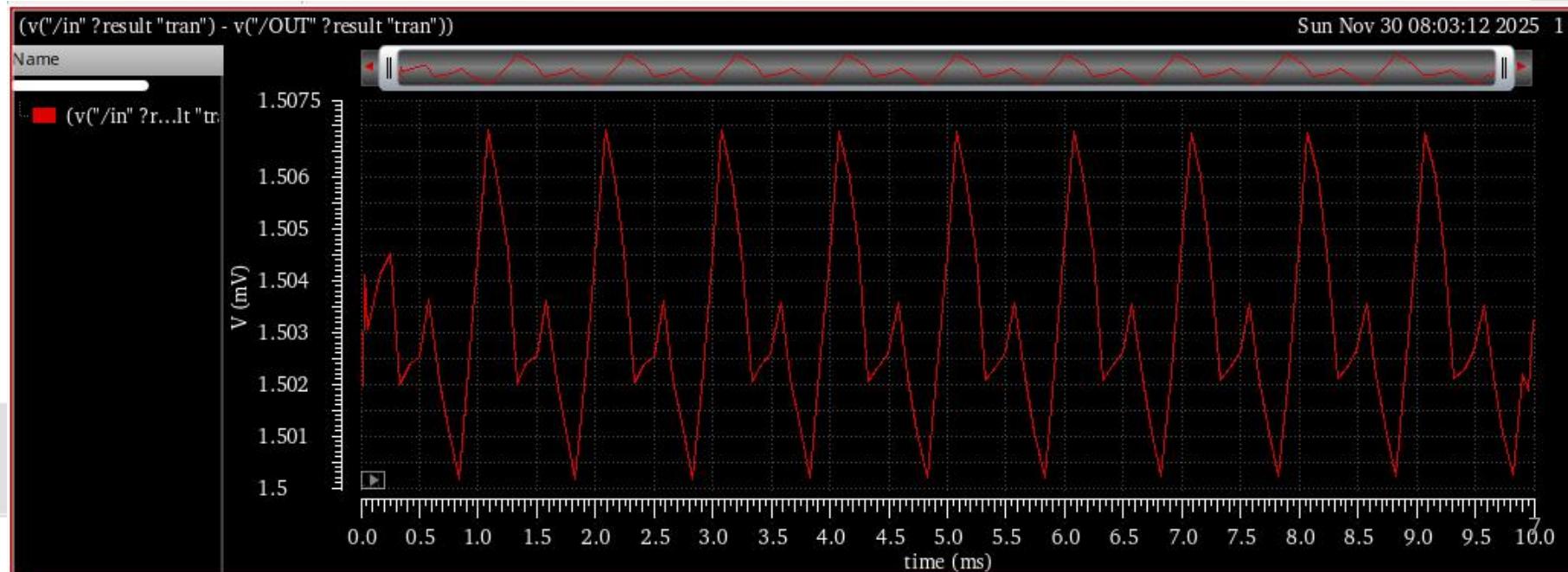


THIẾC KẾ IC

Sử Dụng Calculater để tạo ra output là Vin-Vout để khảo sát theo w



- Đây là độ chênh lệch điện áp giữa đầu ra và đầu vào của mạch.
- Chúng ta sẽ tính chỉnh thông số này về gần 0 nhất



THIẾC KẾ IC

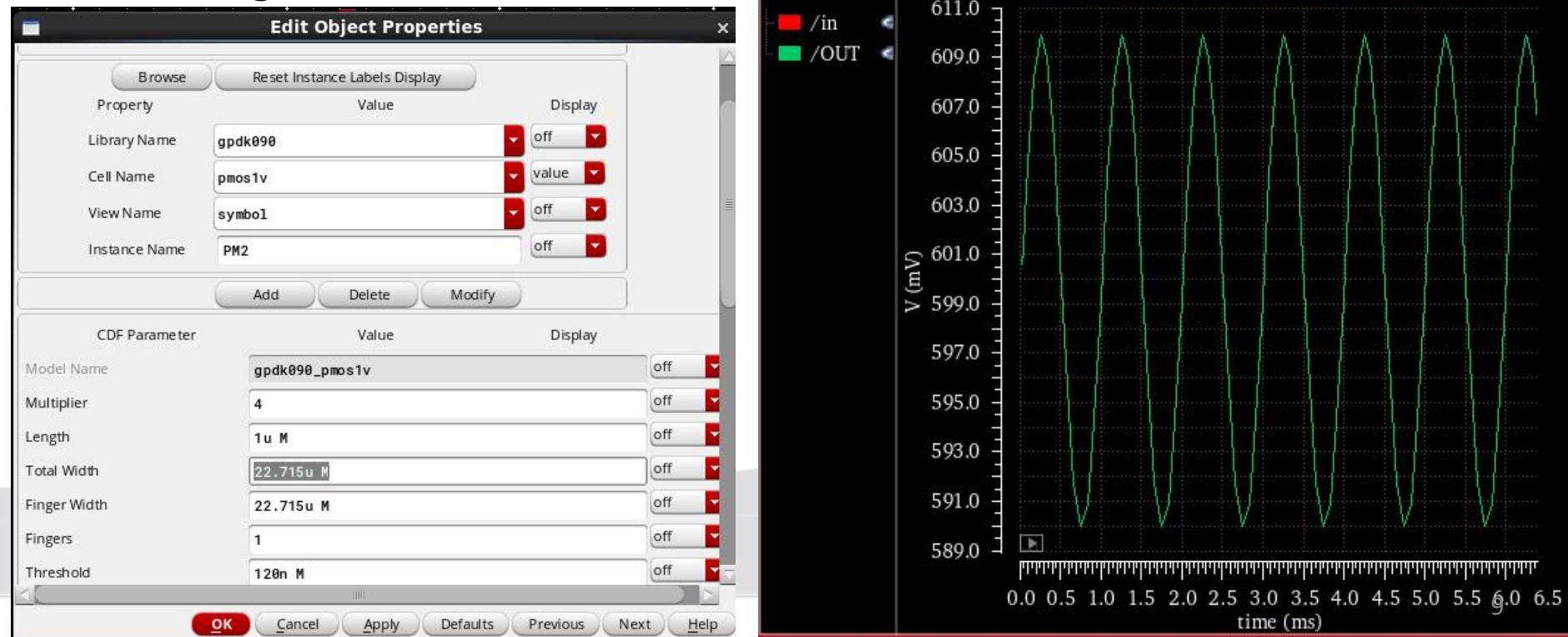
Chỉnh lại điện đầu vào V1 thành DC để dễ khảo sát giá trị Vin-Vout
 Tiến hành chạy Parametric Analysis để khảo sát W để tìm ra giá trị w tối ưu (giá trị W để Vin-Vout= 0)



THIẾC KẾ IC

Sau khi tiến hành chạy Parametric Analysis thì kết quả cho ra $W = 90.8667\mu m$ là giá trị tối ưu của PM2. Tiến hành chạy lại lệnh Transient để khảo sát đầu vào đầu ra của mạch lặp điện áp

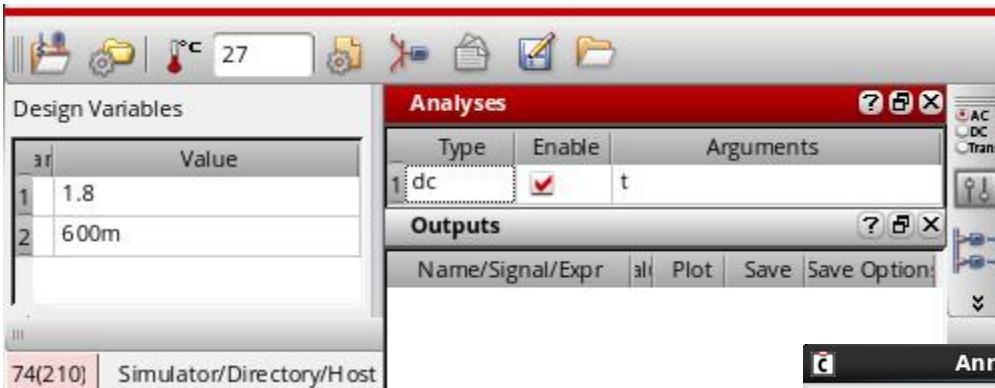
- Mạch lặp điện áp hoạt động rất tốt cho ra điện áp đầu ra và điện áp đầu vào trùng với nhau



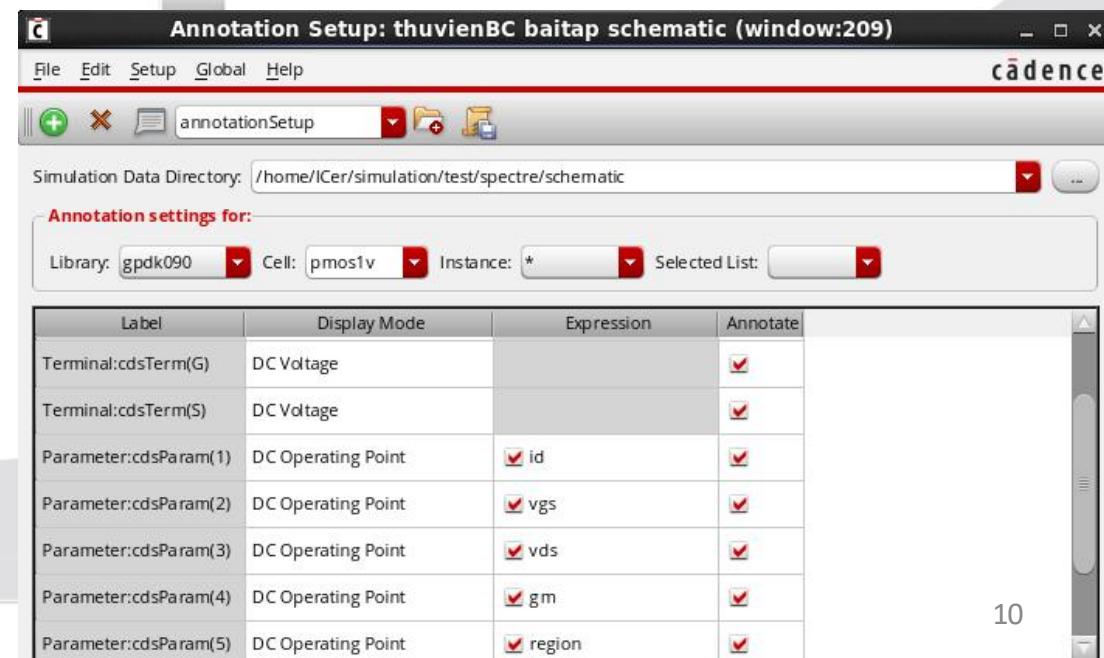
THIẾC KẾ IC

2. Khảo sát các MOSFET trong mạch Op-Amp

Tiến hành chạy chế độ DC để kiểm tra Region của các Mosfet trong



➤ Thiết lập chế độ DC để khảo sát các MOSFET

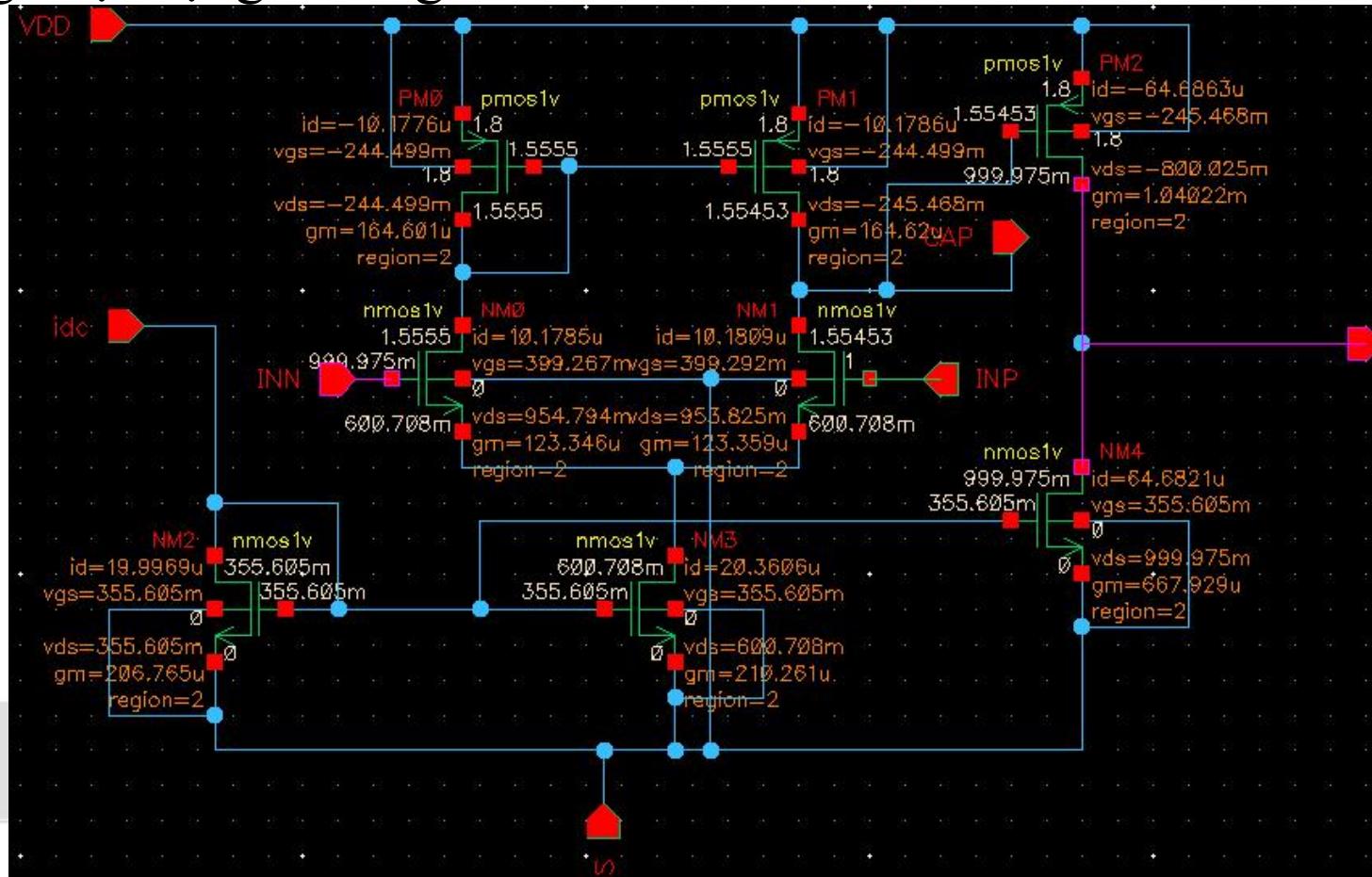


➤ Setup cho Annotation để hiển thị thông số Region của tất cả các Mosfet trong mạch Op-Amp

THIẾC KẾ IC

Kết quả sau khi chạy chế độ DC và khảo sát giá trị Region của các mosfet

- Các Mosfet tất cả đều đạt giá trị Region= 2 tức là tất cả các Mosfet đều đang hoạt động ở vùng bảo hoà

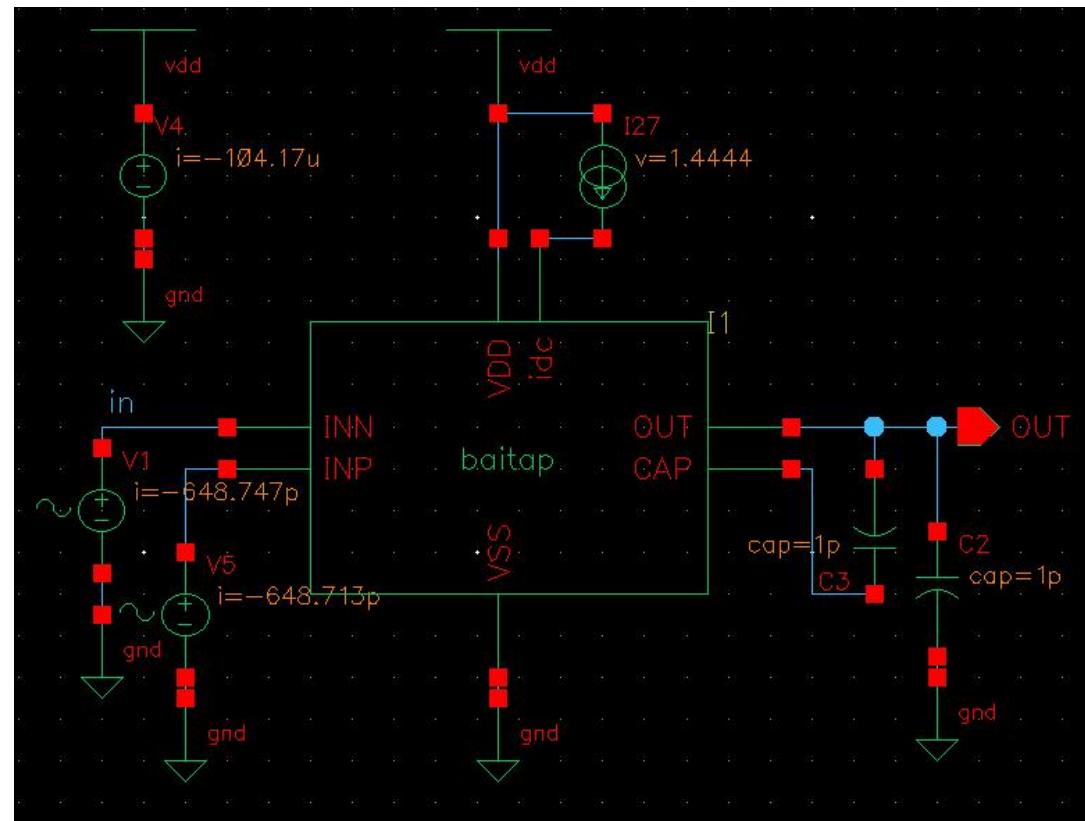


THIẾC KẾ IC

3. Khảo sát giá trị đầu ra trên miền thời gian

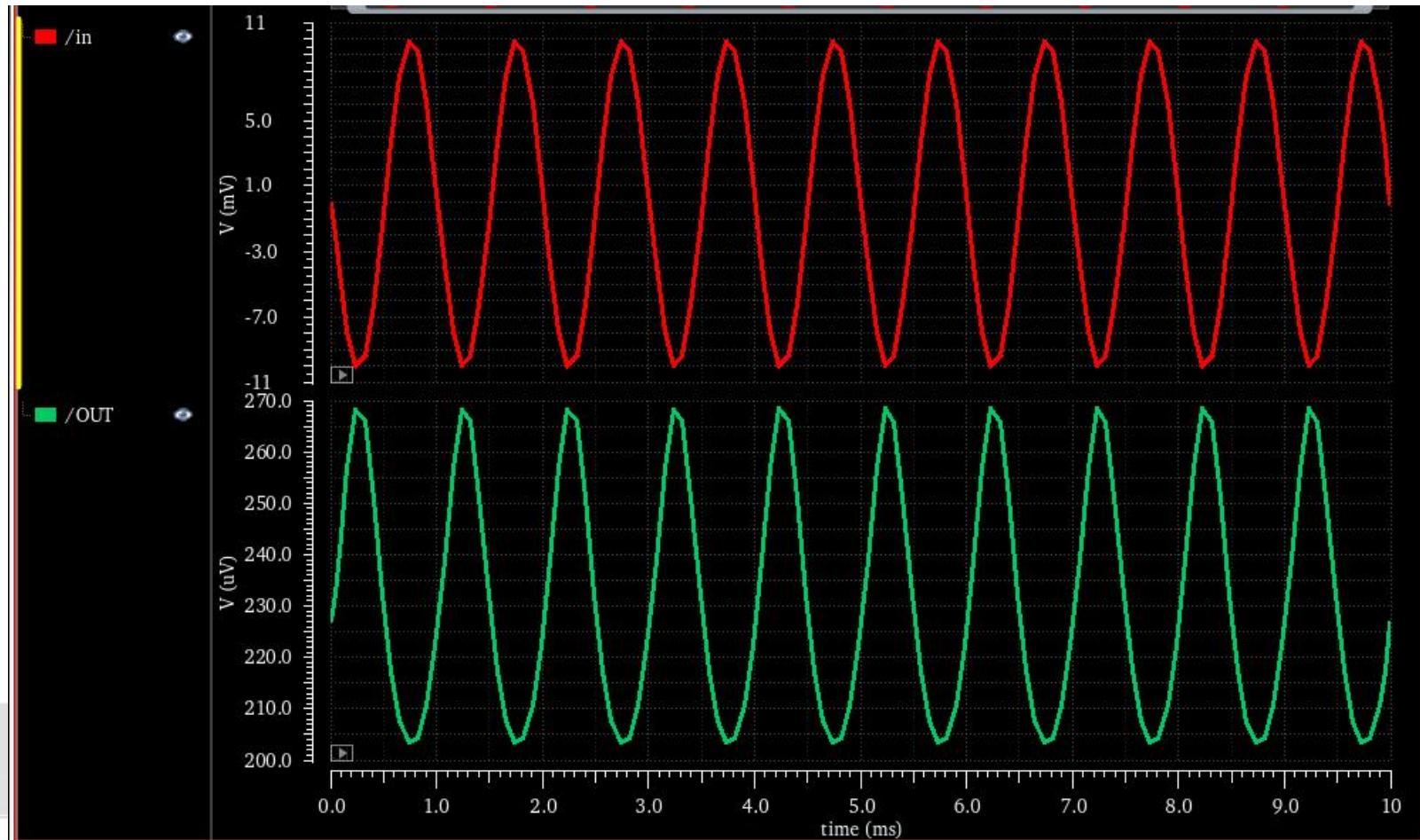
Thiết kế testbench để khảo sát dạng tín hiệu giá trị đầu vào IN đầu ra OUT của mạch Op-Amp

Cho một nguồn V_{sin} có pha bằng 0 vào chân INN và một nguồn V_{sin} có pha bằng 180 vào chân INP



THIẾC KẾ IC

Kết quả khi chạy chế độ Transient và khảo sát dạng tín hiệu jđầu vào và đầu ra của Op-Amp.

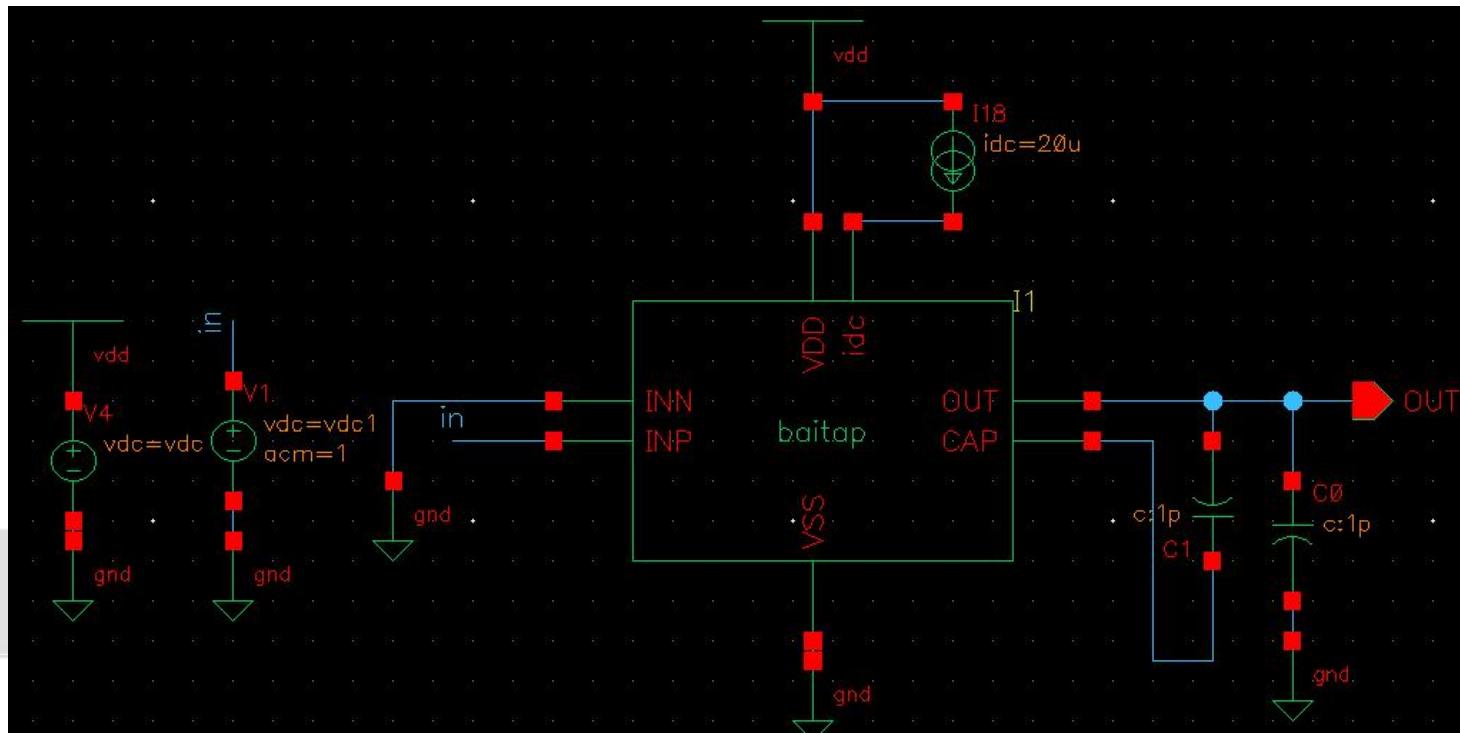


THIẾT KẾ IC

4. Khảo sát giá trị DC Offset

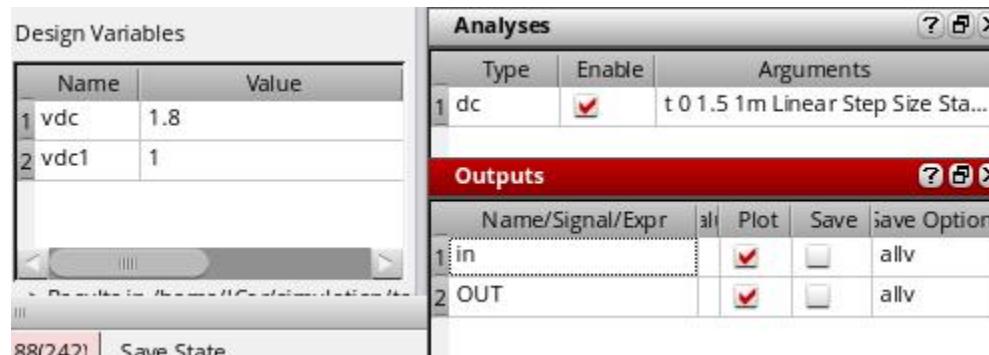
Khảo sát giá trị đầu vào IN nhỏ nhất làm xuất hiện đầu ra OUT

Thiết kế sơ đồ mạch khảo sát DC Offset Có INN nối GND và khảo sát INP,OUT để khảo sát khi INP thay đổi thì giá trị nhỏ nhất của INP để xuất hiện OUT là bao nhiêu



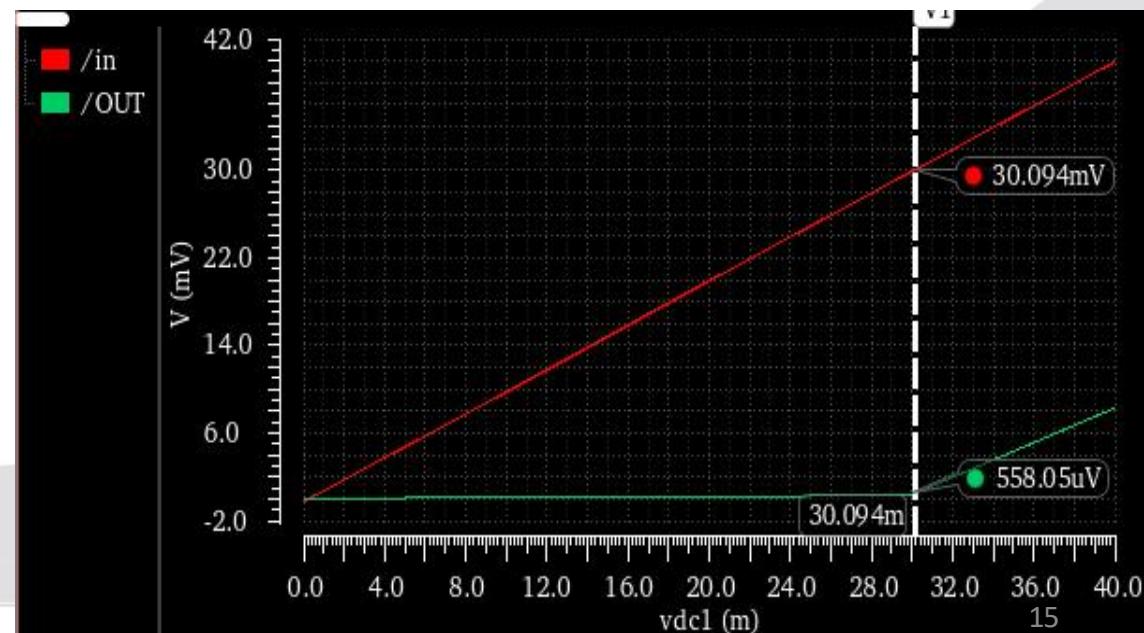
THIẾT KẾ IC

Tiến hành chạy chế độ DC theo Vdc1 từ 0 đến 1.5V để khảo sát giá trị DC Offset là bao nhiêu



➤ Thiết lập chế độ DC để khảo sát điểm DC Offset

- Giá trị DC Offset VIN khaongr sát được khoảng 30mV thì bắt đầu xuất hiện OUT
- Giá trị khá là cao

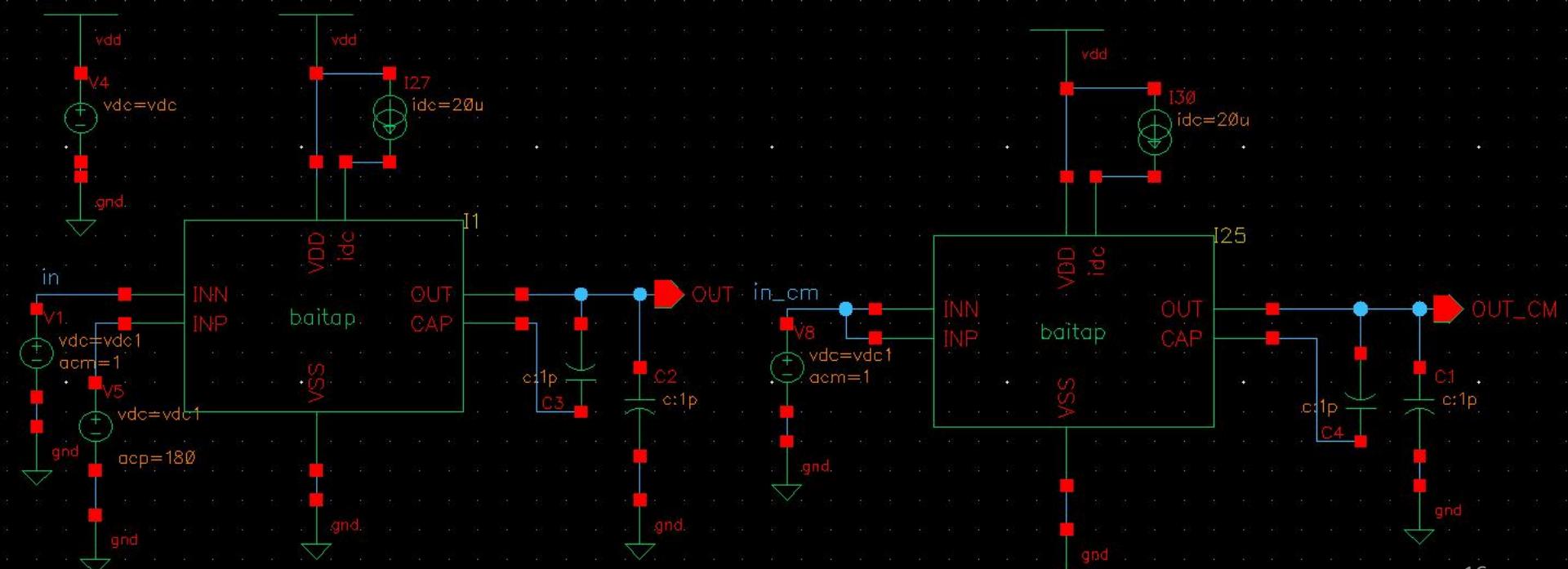


THIẾC KẾ IC

5. Khảo sát CMRR (common-mode rejection ratio)

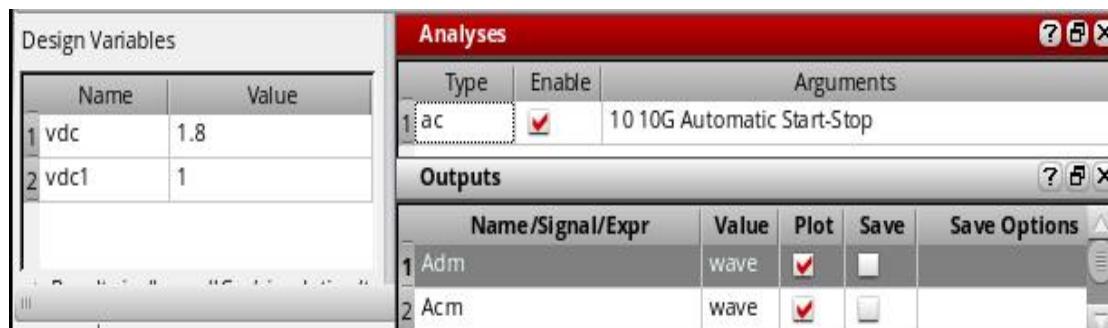
Thiết kế sơ đồ mạch khảo sát giá trị CMRR-Giá trị hệ số nén tín hiệu đồng pha.

$$\text{CMRR} = \frac{A_{dm}}{A_{cm}} = \text{Adm (db)} - \text{Acm(db)}$$



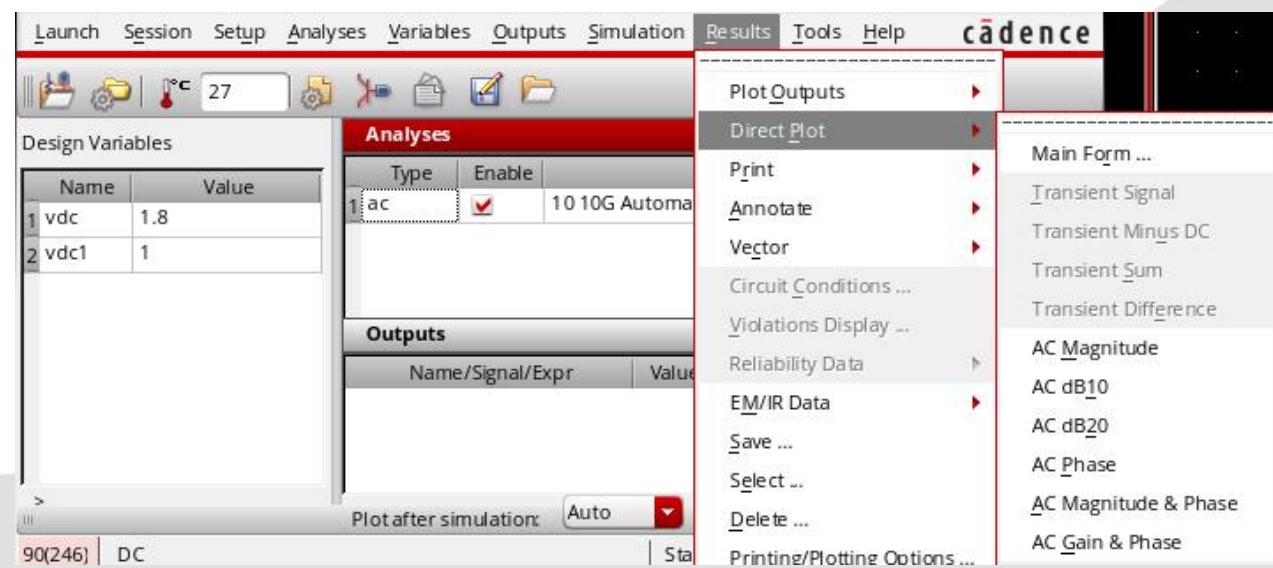
THIẾT KẾ IC

Tiến hành chạy chế độ AC để khảo sát đồ thị Gain & Phase của 2 tín hiệu đồng Phase (Acm) và ngược Phase (Adm)

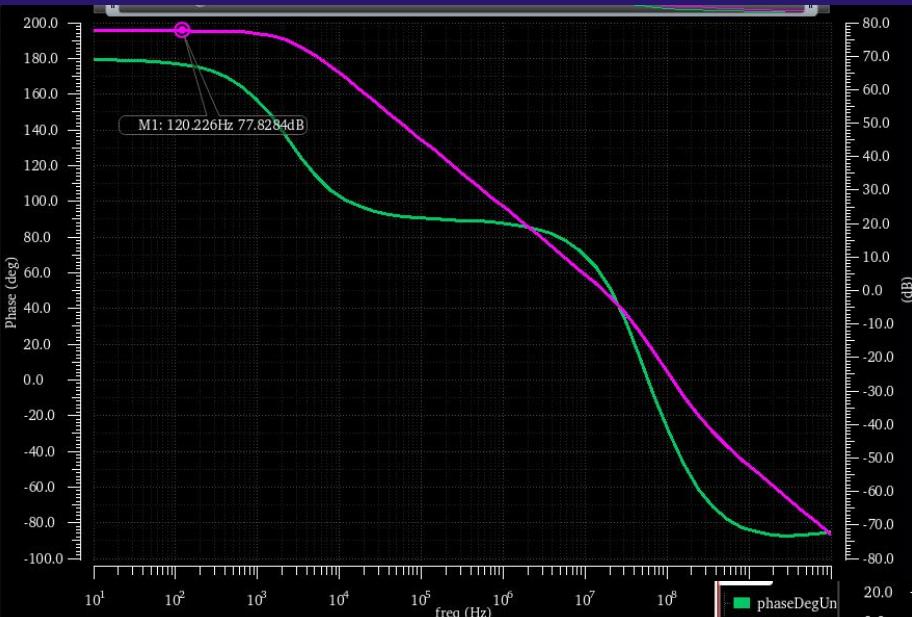


➤ Thiết lập chế độ AC

➤ Sử dụng lệnh
AC Gain & Phase để
thực hiện vẽ ra biểu
đồ của Gain&Phase
của tín hiệu Adm và
Acm

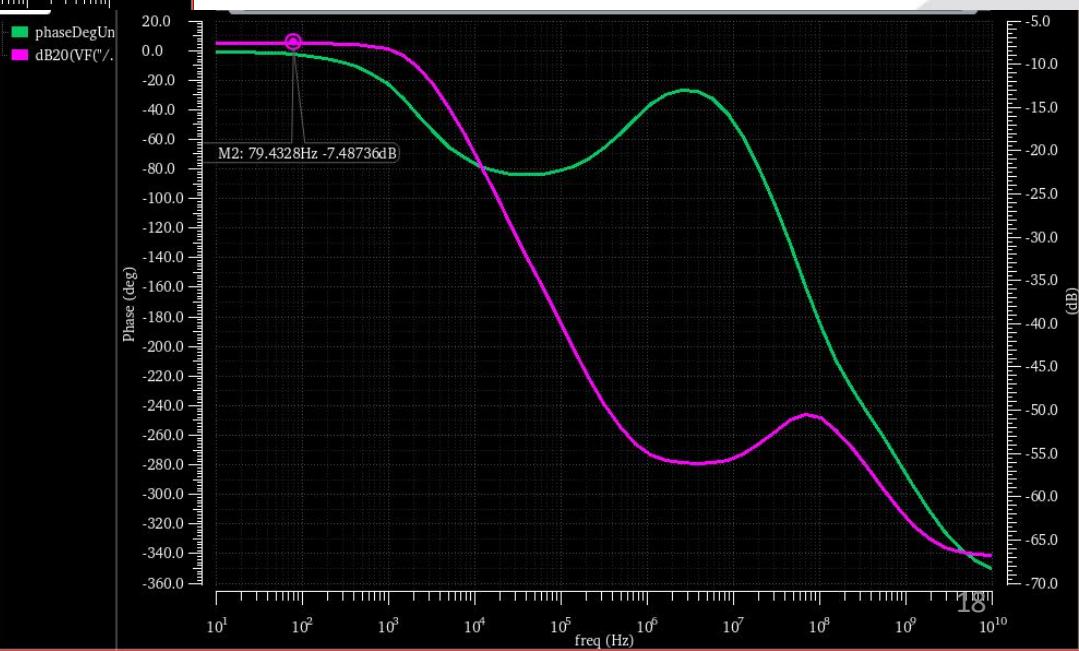


THIẾC KẾ IC

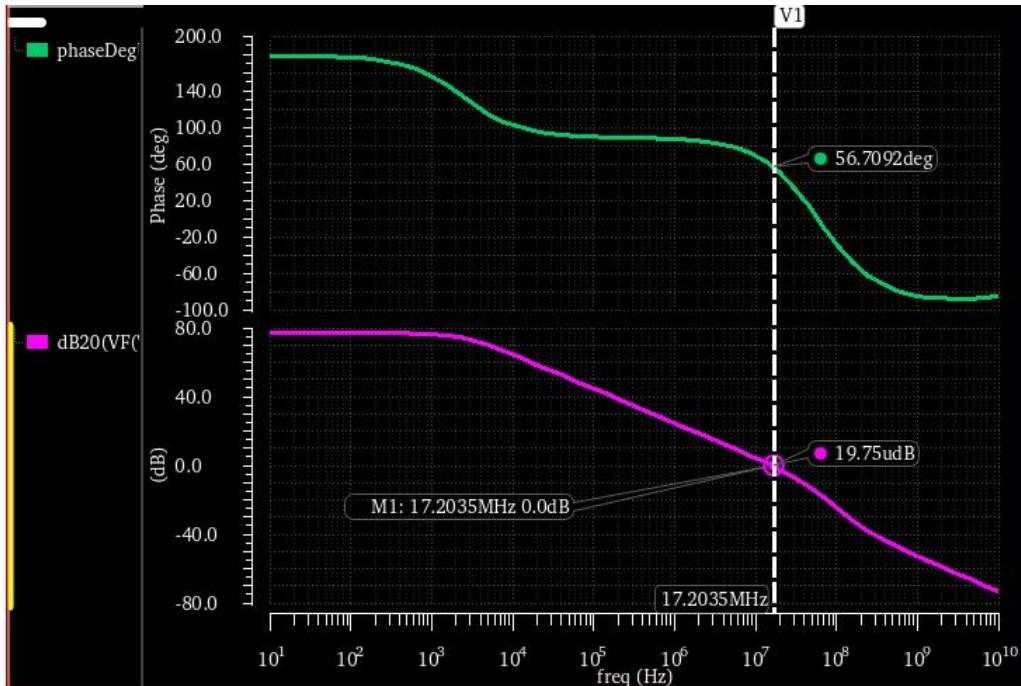


➤ Gain & Phase của tín hiệu ngược pha Adm

➤ Gain & Phase của tín hiệu đồng pha Acm



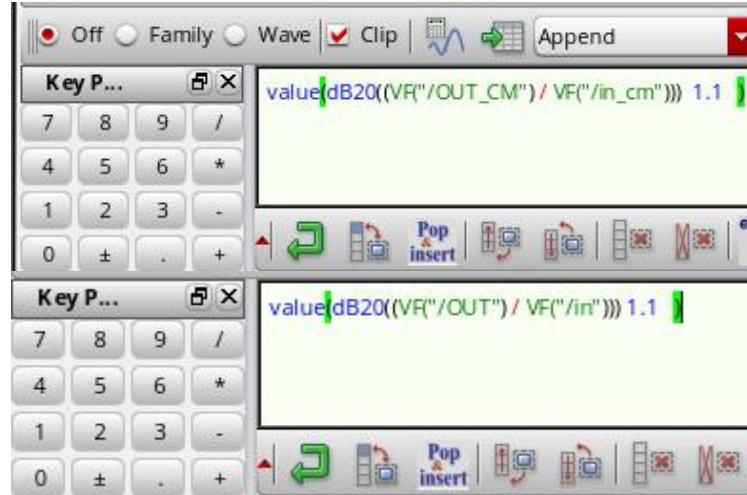
THIẾC KẾ IC



- Thông số Lề pha - Dự trữ pha (Phase Margin) tại điểm độ lợi Gain bằng 0db khoảng 56.7092 deg

THIẾC KẾ IC

Sử dụng công cụ Calculator để tính toán giá trị Adm và Acm



➤ Thiết lập Output tính toán giá trị Acm

➤ Thiết lập Output tính toán giá trị Adm



➤ Thiết lập Output tính toán giá trị CMRR

Name/Signal/Expr	Value	Plot	Save	Save Options
1 Acm	-7.4827	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
2 Adm	77.8395	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
3 CMRR	85.3222	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

➤ Sau khi tính toán ta được giá trị hệ số nén tín hiệu đồng pha CMRR = 85.3222

THIẾC KẾ IC

Sử dụng công cụ Calculator để tính toán giá trị Adm và Acm

Name (opt.)	Gain
Expression	value(dB20((VF("/OUT") / VF("/in"))) 2.2)
	<input type="button" value="From Design"/>
Name (opt.)	Bandwidth
Expression	bandwidth((VF("/OUT") / VF("/in")) 3 "low")
	<input type="button" value="From Design"/>
Name (opt.)	GBW
Expression	unityGainFreq((VF("/OUT") / VF("/in")))
	<input type="button" value="From Design"/>
Name (opt.)	Phase margin
Expression	phaseMargin((VF("/OUT") / VF("/in")))
	<input type="button" value="From Design"/>

- Thiết lập Output tính toán giá trị độ lợi Gain
- Thiết lập Output tính toán giá trị băng thông Bandwidth
- Thiết lập Output tính toán giá trị Độ lợi băng thông GBW
- Thiết lập Output tính toán giá trị lè Pha (Phase Margin)

	Name/Signal/Expr	Value	Plot
1	GBW	17.5818M	<input checked="" type="checkbox"/>
2	Bandwidth	2.36263K	<input checked="" type="checkbox"/>
3	Gain	77.8397	<input checked="" type="checkbox"/>
4	Phase margin	-122.58	<input checked="" type="checkbox"/>

- Các giá trị Output sau khi tính toán

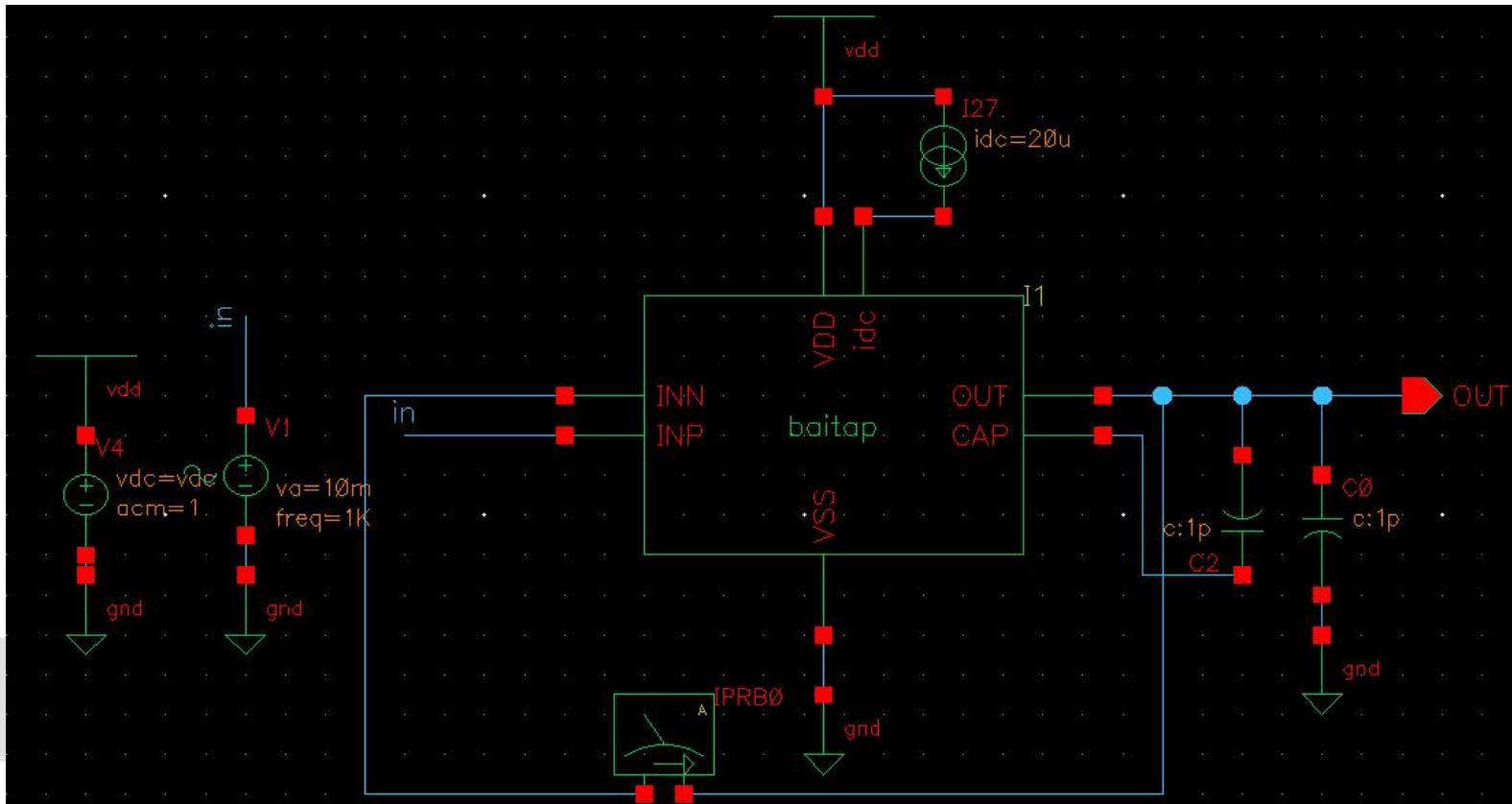
THIẾC KẾ IC



6. Khảo sát PSRR (power supply ripple rejection)

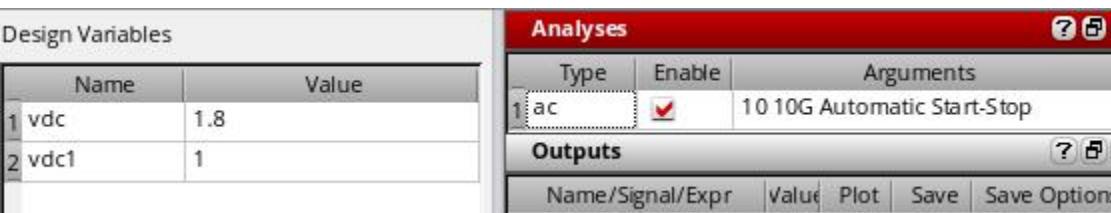
Thiết kế sơ đồ mạch khảo sát giá trị PSRR-Giá trị hệ số nén nhiễu nguồn.

$$\text{PSRR} = \frac{V_{out}}{V_{ac}}$$



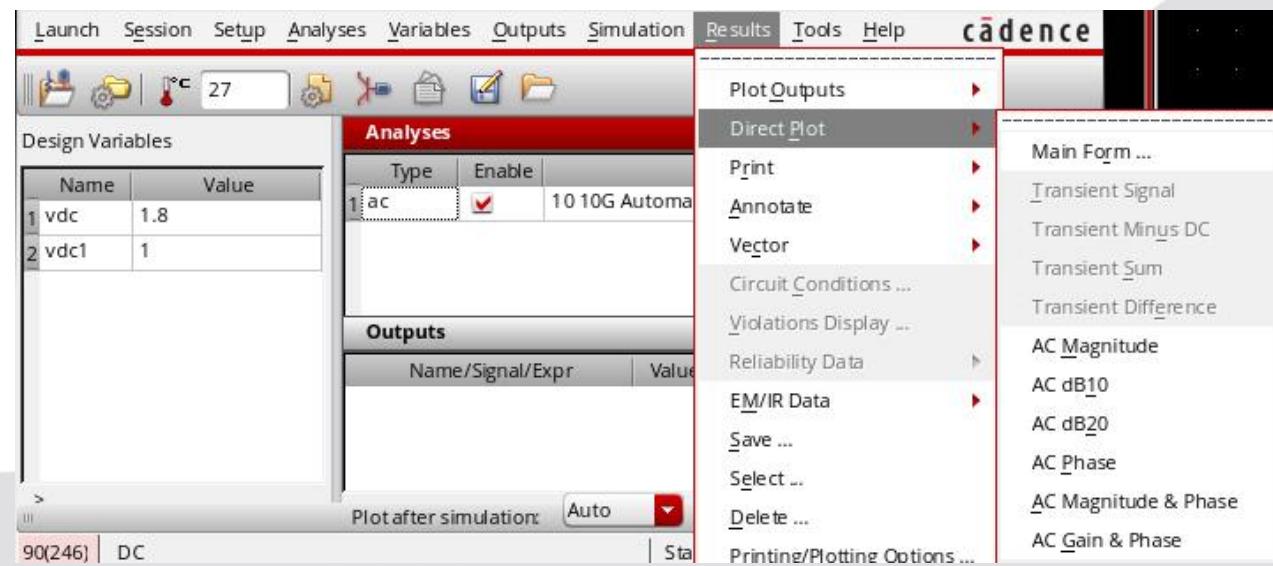
THIẾT KẾ IC

Tiến hành chạy chế độ AC để khảo sát đồ thị Gain & Phase của tín hiệu đầu ra Vout với nguồn vào Vac

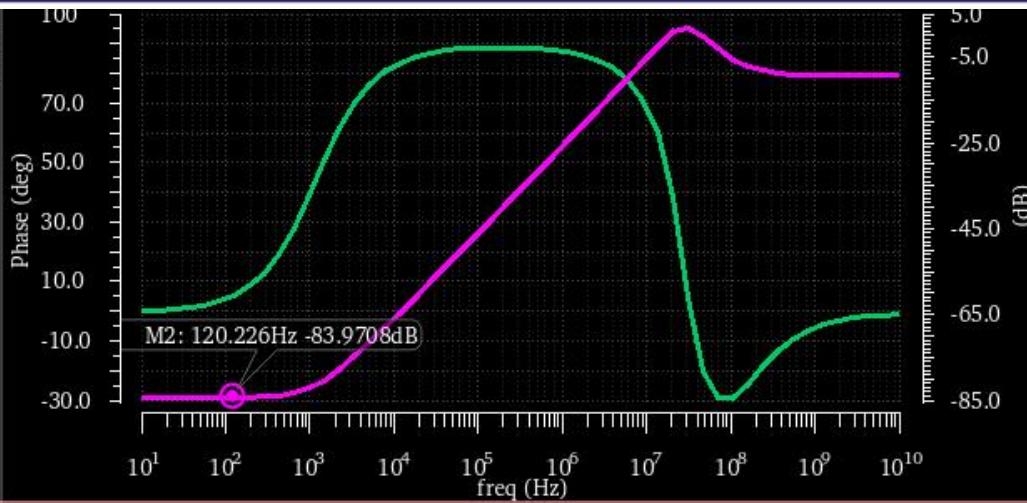


➤ Thiết lập chế độ AC

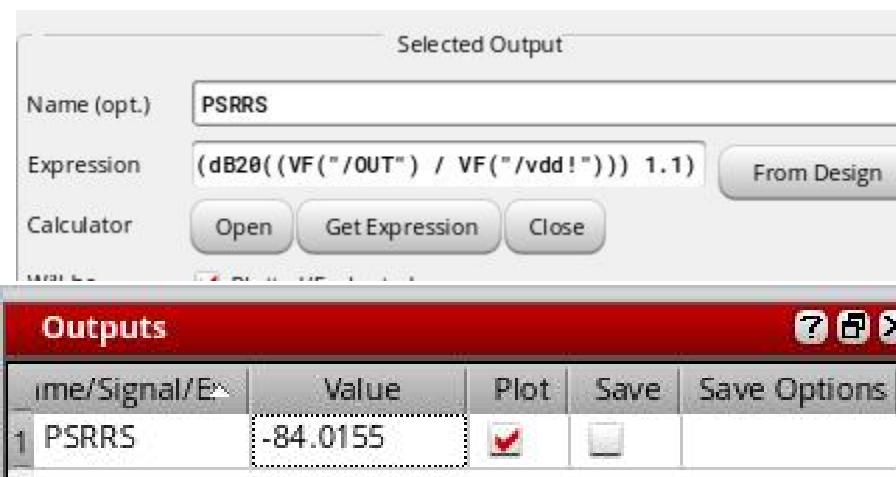
➤ Sử dụng lệnh
AC Gain & Phase để
thực hiện vẽ ra biểu
đồ Gain&Phase đầu ra
Vout với nguồn vào
Vac



THIẾC KẾ IC



➤ Gain & Phase của tín hiệu đầu ra Vout với nguồn vào Vac

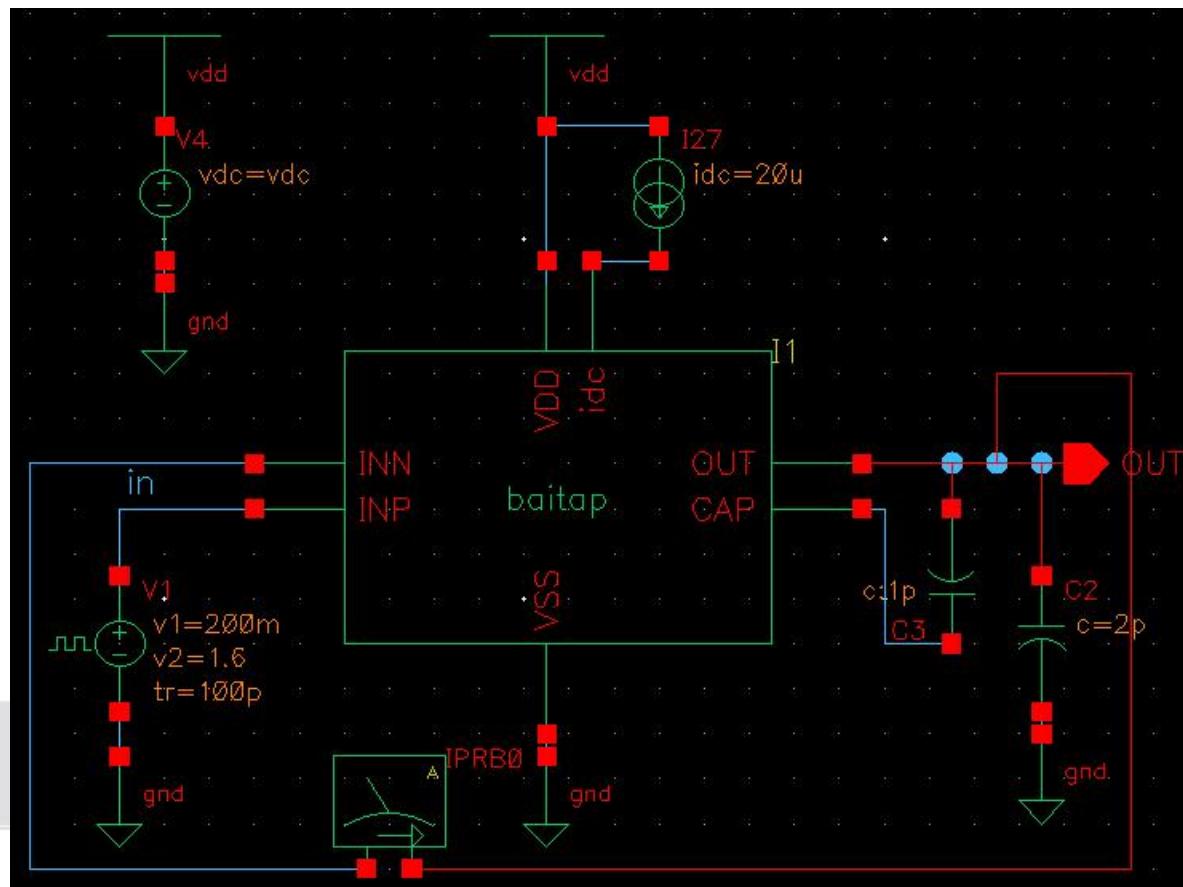


- Dùng Calculator để tính PSRR
- giá trị PSRR-Giá trị hệ số nén nhiễu nguồn của mạch là -84.0155

THIẾT KẾ IC

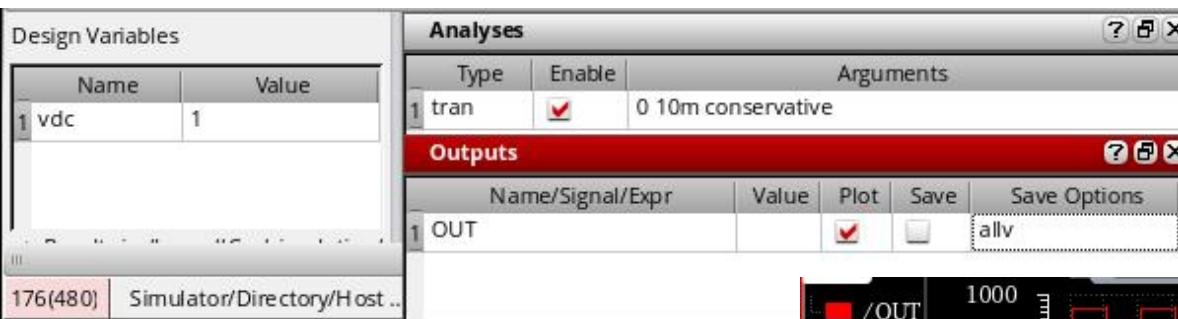
7. Khảo sát Slew-Rate (Tốc độ quay)

Thiết kế sơ đồ mạch khảo sát giá trị **SlewRate** - Giá trị hệ số Tốc độ quay.
 Mắc một nguồn VPulse vào INP của Op-Amp và chân INN đi xuống GND



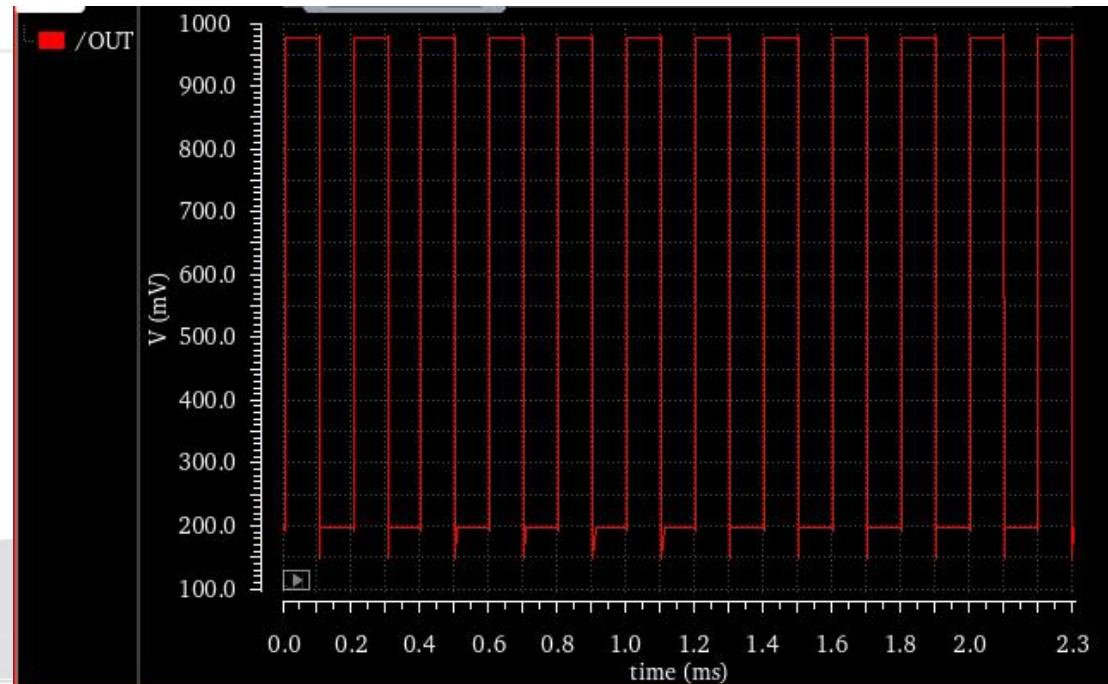
THIẾT KẾ IC

Tiến hành chạy chế độ Transient để kháo sát đồ thị của tín hiệu đầu ra Vout

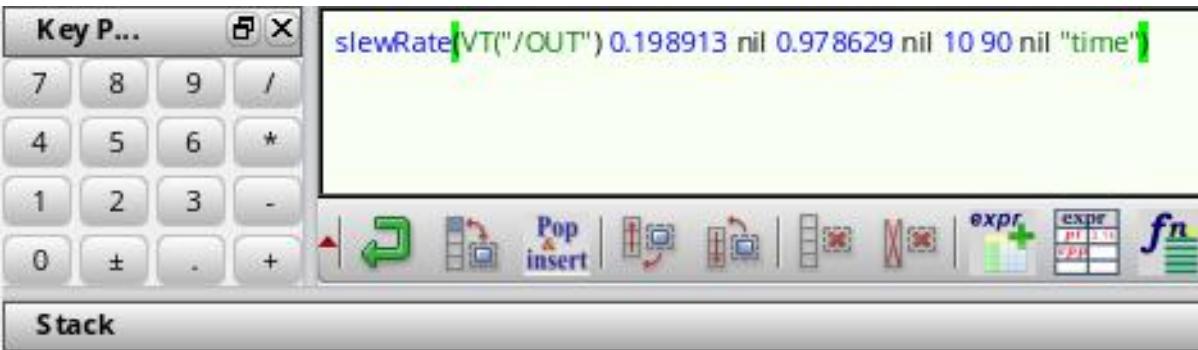


➤ Thiết lập chế độ transient với Output là OUT

➤ Dạng đồ thị của Output là dạng 1 sóng vuông



THIẾC KẾ IC



- Sử dụng công cụ Calculator để cài đặt tính toán giá trị slew rate

	Name/Signal/Expr	Value	Plot
1	OUT		<input checked="" type="checkbox"/>
2	slewRate(VT('/OUT'))	0.198913 nil 0.978629 nil 10 90 nil "time"	<input checked="" type="checkbox"/> 18.0563M

- Sau khi tính toán ra được thông số giá trị tốc độ quay Slew Rate = 18.0563 V/ μ s
- Thông số Slew Rate cho thấy mạch jOp-Amp hoạt động rất tốt đây là thông số rất cao, thông thường các Op-Amp khoảng 10 - 20V/ μ s là rất tốt

THIẾC KẾ IC



7. Nhận xét và đánh giá

Bảng giá trị các thông số của mạch Op-amp với các nghiên cứu khác nhau

Thông số	Nghiên cứu này	IJARIIE 2024	Krishi Sanskriti 2017
Công nghệ	90 nm	90 nm	90 nm
Gain (Độ lợi)	~77dB	84 dB	46 dB
Phase Margin (PM)	56.71 deg	56 deg	60 deg
Slew Rate	18.0563 V/ μ s	10 V/ μ s	20 V/ μ s
CMRR	85.32 dB	Không công bố	60 dB
PSRR	~84.02 dB	Không công bố	Không công bố
GBW (Băng thông)	17.2 MHz	Không công bố	20 MHz

https://ijariiie.com/AdminUploadPdf/Design_Analysis_and_Implementation_of_Two_Stage_Operational_Amplifier_ijariiie24012.pdf?srsltid=AfmBOoqgDjwFU8jlkPUZGfW314jj-bgW2RyzMPNaObzmq6usiFatiXFe

THIẾC KẾ IC

❖ Đánh giá mạch khuếch đại thuật toán Op-Amp

- Thiết kế ưu tiên độ ổn định cao với thông số Phase Margin ~57 deg. Điều này đảm bảo cho mạch hoạt động khuếch đại, tín hiệu ra sẽ không bị vọt lố (overshoot) hay dao động nhiều.
- Khả năng chống nhiễu của mạch rất tốt, qua khảo sát cho ra được thông số CMRR và PSRR đều trên 80dB. Mạch này có thể đáp ứng được các ứng dụng thực tế như mạch y sinh (ECG) hay cảm biến, nơi tín hiệu nhiễu môi trường rất lớn.
- Kích thước transistor chọn $L=1\mu m$ để tăng trớ kháng ngõ ra, giúp đạt Gain cao (77dB).

❖ Nhược điểm: việc thiết kế mạch có độ lợi Gain cao vào độ ổn định cao nên ta phải đánh đổi lại

- Băng thông thấp (17.2 MHz)
- Diện tích lớn ($L=1\mu m$)

TRƯỜNG ĐẠI HỌC GIAO THÔNG VẬN TẢI

UNIVERSITY OF TRANSPORT AND COMMUNICATIONS

Thank you!

