

Содержание

1	Введение.....	3
2	Назначение.....	3
3	Основные технические характеристики.....	3
3.1	Основные функциональные параметры ПЛИС.....	4
3.2	Особенности ПЛИС.....	4
3.3	Особенности внутренних межсоединений ПЛИС.....	5
3.4	Особенности элементов ввода-вывода ПЛИС.....	5
3.5	Особенности САПР для ПЛИС.....	5
3.6	Электрические параметры ПЛИС при приемке и поставке.....	6
3.7	Предельно допустимые и предельные режимы эксплуатации ПЛИС...	7
4	Условное обозначение и назначение выводов микросхем.....	8
5	Описание архитектуры ПЛИС.....	35
5.1	Блок встроенной памяти.....	37
5.2	Логический блок.....	39
5.3	Логический элемент.....	40
5.3.1	Режимы работы логического элемента.....	41
5.3.1.1	Нормальный режим.....	41
5.3.1.2	Арифметический режим.....	42
5.3.1.3	Режим суммирующего/вычитающего счетчика.....	43
5.3.1.4	Режим сбрасываемого счетчика.....	43
5.3.2	Управление логикой сброса и установки.....	44
5.4	Система межсоединений.....	46
5.5	Элемент ввода-вывода.....	49
5.5.1	Соединение элементов ввода-вывода с горизонтальными каналами...	52
5.5.2	Соединение элементов ввода-вывода с вертикальными каналами.....	52
5.5.3	Контроль скорости нарастания выходного напряжения.....	53
5.5.4	Выход с открытым стоком.....	54
5.6	Поддержка периферийного сканирования.....	54
6	Тестирование.....	54
7	Расчет рассеиваемой мощности ПЛИС.....	54

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

1 Введение

Настоящее техническое описание (ТО) предназначено для изучения программируемых логических интегральных схем 5576XC3T, 5576XC4T (далее ПЛИС) и содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

2 Назначение

Данные микросхемы являются результатом разработки серии отечественных ПЛИС логической емкостью от 100 до 200 тысяч вентилях с возможностью многократного изменения конфигурации в составе аппаратуры.

Разрабатываемые ПЛИС в составе современной элементной базы используются в цифровых интегральных модулях средств связи, предназначенных для управления бортовым комплексом радиосвязи летательных аппаратов, приема, обработки и передачи речевой и телекодированной информации. Их использование обеспечивает обработку сигналов с высокой тактовой частотой, позволяет снизить габариты и массу СЦВ, увеличить надежность функционирования и обеспечить техническую независимость от поставок электрорадиоизделий иностранного производства. Кроме того, ПЛИС могут быть использованы в системах управления, обнаружения и пеленгации, обработки видеоизображений, мультипроцессорных средствах вычислительной техники, радио- и звуколокации, при создании аппаратуры специального назначения с высокими технико-экономическими показателями.

Функциональными аналогами ПЛИС 5576XC3T и 5576XC4T являются соответственно изделия EPF10K100E и EPF10K200S(E) ф. Altera.

3 Основные технические характеристики

Кристаллы ПЛИС изготовлены по КМОП-технологии с минимальными проектными нормами 0,18 мкм, с одним уровнем поликремния и шестью уровнями металлизации.

Значение потенциала статического электричества не должно превышать 2 000 В.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3.1 Основные функциональные параметры ПЛИС

Основные функциональные параметры ПЛИС приведены в таблице 1.

Таблица 1

Параметр		Значение	
		5576XC3T	5576XC4T
Типовая логическая емкость, вент.		100 000	200 000
Максимальное число системных вентилях		257 000	513 000
Количество логических элементов		4 992	9 984
Количество логических блоков		624	1 248
Количество блоков встроенной памяти		12	24
Объем встроенной памяти, бит		49 152	98 304
Количество триггеров		5 175 ¹⁾	10 155 ¹⁾
Количество пользовательских выводов	программируемые элементы ввода-вывода	183	171
	выделенные входы	4	4
	глобальные тактовые входы	2	2
	всего	189	177
<p>¹⁾ По восемь триггеров в каждом логическом блоке и по одному в каждом пользовательском элементе ввода-вывода.</p>			

3.2 Особенности ПЛИС:

- блоки встроенной памяти для реализации мегафункций;
- логические блоки для основных логических функций;
- напряжение питания ядра ПЛИС 1,8 В;
- напряжение питания периферии ПЛИС 3,3 В;
- встроенный блок тестирования (Joint Test Action Group (JTAG)) с использованием схемы периферийного сканирования (СПС), совместимый с IEEE Std. 1149.1;
- встроенная система реконфигурации (ICR), обеспечивающая многократное программирование посредством специальной микросхемы памяти 5576PC1У, загрузочных кабелей типа ByteBlaster, микропроцессора;
- программируемый режим верификации конфигурационной памяти без выхода из рабочего состояния (VERIFICATION);
- программируемый режим циклической перезаписи конфигурационной памяти (SCRUBBING).

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3.3 Особенности внутренних межсоединений ПЛИС:

- внутренние быстрые глобальные межсоединения (Fast Track Interconnect);
- специализированная цепь переноса, обеспечивающая поддержку арифметических функций, таких как быстродействующие сумматоры, счётчики и компараторы (используется автоматически программным обеспечением);
- специализированная цепь каскадирования, обеспечивающая поддержку высокоскоростных функций с высоким коэффициентом разветвления на входе (используется автоматически программным обеспечением);
- до шести глобальных тактовых сигналов и четырех глобальных сигналов сброса.

3.4 Особенности элементов ввода-вывода ПЛИС:

- индивидуальный сигнал разрешения третьего состояния для каждого вывода;
- возможность использования опции «открытый сток» для каждого вывода;
- снижение помех при переключениях за счёт программируемой опции slew-rate control;
- программируемая опция Bus-Hold;
- программируемая опция Pull-Up;
- программируемая опция Pull-Down;
- программируемый триггер.

3.5 Особенности САПР для ПЛИС:

- для создания проектов используется САПР ф. Altera MAX+PLUS II или Quartus II;
- для создания файла с размещением выводов в корпусе аналога используется специальное программное обеспечение собственной разработки;
- для программирования расширенной функциональности ПЛИС (режимы VERIFICATION, SCRUBBING, Bus-Hold, Pull-Up, Pull-Down элементов ввода-вывода) используется специальное программное обеспечение собственной разработки.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3.6 Электрические параметры ПЛИС при приемке и поставке

Значения электрических параметров ПЛИС при приемке и поставке приведены в таблице 2.

Таблица 2 – Электрические параметры ПЛИС при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Бук- венное обозна- чение пара- метра	Норма параметра		Темпе- ратура среды, °С	Примечание
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В, $U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$, $I_{OL} = 4,0 \text{ мА}$	U_{OL}	–	0,55	-60 ± 3 25 ± 3 125 ± 5	1
Выходное напряжение высокого уровня, В, $U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$, $I_{OH} = -4,0 \text{ мА}$	U_{OH}	2,2	–		1
Ток потребления ядра, мА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_I = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_I = 3,6 \text{ В}$	I_{CC1}	–	20		1
Ток потребления перифе- рии, мА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_I = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_I = 3,6 \text{ В}$	I_{CC2}	–	20		1
Входной ток низкого уровня, мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	I_{IL}	–10	–		1, 2
Входной ток высокого уровня, мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$	I_{IH}	–	10		

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 2

1	2	3	4	5	6
Выходной ток в состоянии «Выключено», мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_O = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_O = 3,6 \text{ В}$	I_{OZ}	-10	10	-60 ± 3 25 ± 3 125 ± 5	1, 3
Длительность тактового интервала межрегистровой пересылки, нс, $U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$	t_{DRR}	—	16		1
Примечания					
1 Контролируется после конфигурирования ПЛИС при отключенных режимах Bus-Hold, Pull-Up, Pull-Down на пользовательских входах и входах/выходах.					
2 Контролируется на пользовательских входах.					
3 Контролируется на пользовательских входах/выходах.					

3.7 Предельно допустимые и предельные режимы эксплуатации ПЛИС

Предельно допустимые и предельные режимы эксплуатации ПЛИС приведены в таблице 3.

Таблица 3 – Предельно допустимые и предельные режимы эксплуатации ПЛИС

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
1	2	3	4	5	6
Напряжение питания ядра, В	U_{CC1}	1,71	1,89	-0,5	2,2
Напряжение питания периферии, В	U_{CC2}	3,0	3,6	-0,5	4,0
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	-0,5	—
Входное напряжение высокого уровня, В	U_{IH}	2,0	3,6	—	4,0
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	3,6	-0,5	4,0

Окончание таблицы 3

1	2	3	4	5	6
Выходной ток низкого уровня ¹⁾ , мА	I_{OL}	—	4	—	24
Выходной ток высокого уровня ¹⁾ , мА	I_{OH}	—4	—	—24	—
Ток по выводу питания ²⁾ , мА	I_{VCC}	—	—	—	100
Ток по общему выводу ²⁾ , мА	I_{GND}	—	—	—100	—
Емкость нагрузки, пФ	C_L	—	—	—	200
<p>¹⁾ Для пользовательских выводов.</p> <p>²⁾ По каждому отдельному выводу микросхемы, подключенному к источнику питания ядра или периферии.</p>					

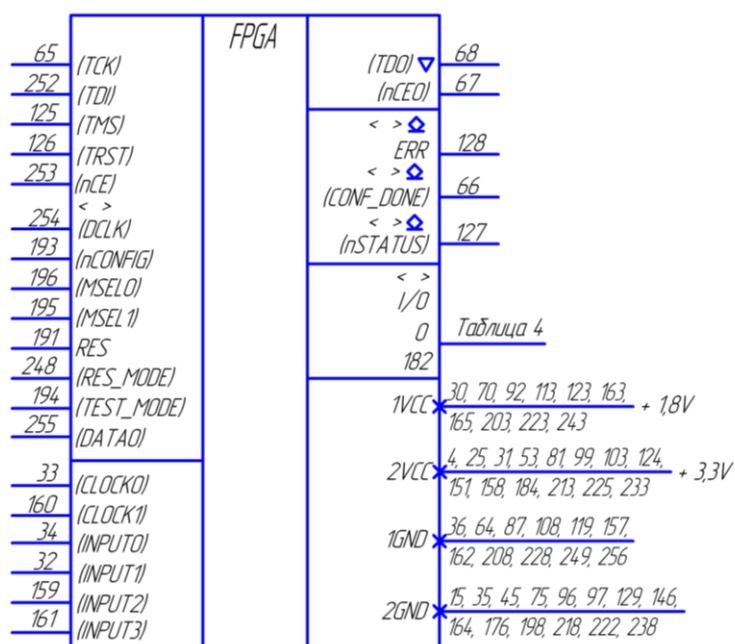
4 Условное обозначение и назначение выводов микросхем

Разработанные ПЛИС выполнены в планарных металлокерамических 256-выводных корпусах 4244.256—3 с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота.

Условные графические обозначения микросхем 5576XC3Т, 5576XC4Т приведены на рисунках 1 и 2 соответственно.

Функциональное назначение выводов микросхем 5576XC3Т и 5576XC4Т приведено в таблицах 6 и 7 соответственно.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

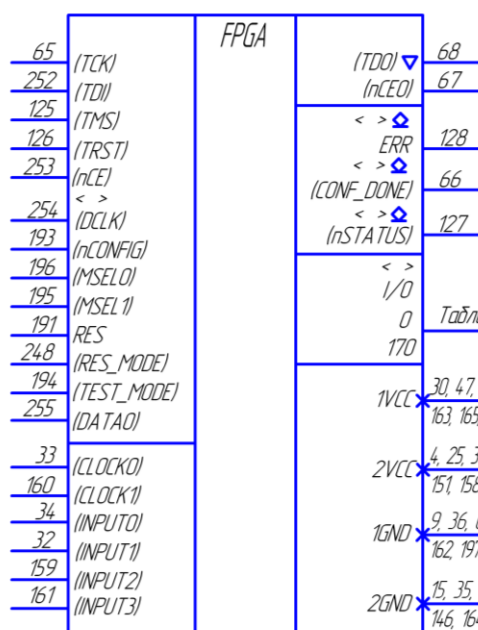


FPGA – программируемая логическая интегральная схема (ПЛИС);
TCK – тактовый вход JTAG;
TDI – вход данных JTAG;
TMS – управление состоянием TAP контроллера JTAG;
TRST – асинхронный сброс TAP контроллера JTAG;
nCE – разрешение конфигурирования в режиме Download;
DCLK – тактовый вход-вывод Download;
nCONFIG – сброс конфигурации;
MSEL – выбор типа конфигурирования в режиме Download;
RES_MODE – выбор режима глобального сброса;
TEST_MODE – управление тестовым режимом;
DATA0 – вход данных Download;
CLOCK – глобальный тактовый вход;
INPUT – выделенный вход;
TDO – выход данных JTAG;
nCEO – разрешение конфигурирования следующей схемы в цепочке;
CONF_DONE – окончание конфигурирования;
nSTATUS – готовность к конфигурированию или ошибка при конфигурировании.

Таблица 4

Номер вывода	1	3	2	5	7	6	9	8	11	10	13	12	14	17	16	19	18	21
Метка вывода	I/00	I/01	I/02	I/03	I/04	I/05	I/06	I/07	I/08	I/09	I/010	I/011	I/012	I/013	I/014	I/015	I/016	I/017
Номер вывода	20	22	23	24	26	27	28	29	37	38	39	40	41	42	43	44	46	48
Метка вывода	I/018	I/019	I/020	I/021	I/022	I/023	I/024	I/025	I/026	I/027	I/028	I/029	I/030	I/031	I/032	I/033	I/034	I/035
Номер вывода	47	50	49	52	51	54	56	55	58	57	60	59	62	61	63	69	71	72
Метка вывода	I/036	I/037	I/038	I/039	I/040	I/041	I/042	I/043	I/044	I/045	I/046	I/047	I/048	I/049	I/050	I/051	I/052	I/053
Номер вывода	73	74	76	77	78	79	80	82	83	84	85	86	88	89	90	91	93	94
Метка вывода	I/054	I/055	I/056	I/057	I/058	I/059	I/060	I/061	I/062	I/063	I/064	I/065	I/066	I/067	I/068	I/069	I/070	I/071
Номер вывода	95	98	100	101	102	104	105	106	107	109	110	111	112	114	115	116	117	118
Метка вывода	I/072	I/073	I/074	I/075	I/076	I/077	I/078	I/079	I/080	I/081	I/082	I/083	I/084	I/085	I/086	I/087	I/088	I/089
Номер вывода	120	121	122	131	130	133	132	135	134	137	136	139	138	141	140	143	142	145
Метка вывода	I/090	I/091	I/092	I/093	I/094	I/095	I/096	I/097	I/098	I/099	I/0100	I/0101	I/0102	I/0103	I/0104	I/0105	I/0106	I/0107
Номер вывода	144	147	149	148	150	152	153	154	155	156	166	167	168	169	170	171	172	173
Метка вывода	I/0108	I/0109	I/0110	I/0111	I/0112	I/0113	I/0114	I/0115	I/0116	I/0117	I/0118	I/0119	I/0120	I/0121	I/0122	I/0123	I/0124	I/0125
Номер вывода	174	175	178	177	180	179	182	181	183	186	185	188	187	190	189	192	197	199
Метка вывода	I/0126	I/0127	I/0128	I/0129	I/0130	I/0131	I/0132	I/0133	I/0134	I/0135	I/0136	I/0137	I/0138	I/0139	I/0140	I/0141	I/0142	I/0143
Номер вывода	200	201	202	204	205	206	207	209	210	211	212	214	215	216	217	219	220	221
Метка вывода	I/0144	I/0145	I/0146	I/0147	I/0148	I/0149	I/0150	I/0151	I/0152	I/0153	I/0154	I/0155	I/0156	I/0157	I/0158	I/0159	I/0160	I/0161
Номер вывода	224	226	227	229	230	231	232	234	235	236	237	239	240	241	242	244	245	246
Метка вывода	I/0162	I/0163	I/0164	I/0165	I/0166	I/0167	I/0168	I/0169	I/0170	I/0171	I/0172	I/0173	I/0174	I/0175	I/0176	I/0177	I/0178	I/0179
Номер вывода	247	250	251															
Метка вывода	I/0180	I/0181	I/0182															

Рисунок 1 – Условное графическое обозначение микросхемы интегральной 5576XC3T в корпусе 4244.256–3



FPGA – программируемая логическая интегральная схема (ПЛИС);
TCK – тактовый вход JTAG;
TDI – вход данных JTAG;
TMS – управление состоянием TAP контроллера JTAG;
TRST – асинхронный сброс TAP контроллера JTAG;
nCE – разрешение конфигурирования в режиме Download;
DCLK – тактовый вход-вывод Download;
nCONFIG – сброс конфигурации;
MSEL – выбор типа конфигурирования в режиме Download;
RES_MODE – выбор режима глобального сброса;
TEST_MODE – управление тестовым режимом;
DATA0 – вход данных Download;
CLOCK – глобальный тактовый вход;
INPUT – выделенный вход;
TDO – выход данных JTAG;
nCEO – разрешение конфигурирования следующей схемы в цепочке;
CONF_DONE – окончание конфигурирования;
nSTATUS – готовность к конфигурированию или ошибка при конфигурировании.

Таблица 5

Номер вывода	1	3	2	5	7	6	8	11	10	13	12	14	17	16	19	18
Метка вывода	I/O0	I/O1	I/O2	I/O3	I/O4	I/O5	I/O6	I/O7	I/O8	I/O9	I/O10	I/O11	I/O12	I/O13	I/O14	I/O15
Номер вывода	21	20	22	23	24	26	27	28	29	37	38	39	40	41	42	43
Метка вывода	I/O16	I/O17	I/O18	I/O19	I/O20	I/O21	I/O22	I/O23	I/O24	I/O25	I/O26	I/O27	I/O28	I/O29	I/O30	I/O31
Номер вывода	44	46	48	50	49	52	51	54	56	55	58	57	60	59	62	61
Метка вывода	I/O32	I/O33	I/O34	I/O35	I/O36	I/O37	I/O38	I/O39	I/O40	I/O41	I/O42	I/O43	I/O44	I/O45	I/O46	I/O47
Номер вывода	63	69	71	72	73	74	77	78	80	82	83	85	86	88	89	90
Метка вывода	I/O48	I/O49	I/O50	I/O51	I/O52	I/O53	I/O54	I/O55	I/O56	I/O57	I/O58	I/O59	I/O60	I/O61	I/O62	I/O63
Номер вывода	91	93	94	95	98	100	101	102	104	105	107	109	110	111	112	114
Метка вывода	I/O64	I/O65	I/O66	I/O67	I/O68	I/O69	I/O70	I/O71	I/O72	I/O73	I/O74	I/O75	I/O76	I/O77	I/O78	I/O79
Номер вывода	115	116	117	118	120	121	122	131	130	133	132	135	134	137	136	139
Метка вывода	I/O80	I/O81	I/O82	I/O83	I/O84	I/O85	I/O86	I/O87	I/O88	I/O89	I/O90	I/O91	I/O92	I/O93	I/O94	I/O95
Номер вывода	138	141	140	143	142	144	147	149	148	150	152	153	154	155	156	166
Метка вывода	I/O96	I/O97	I/O98	I/O99	I/O100	I/O101	I/O102	I/O103	I/O104	I/O105	I/O106	I/O107	I/O108	I/O109	I/O110	I/O111
Номер вывода	167	168	169	170	171	172	173	174	175	178	177	180	179	182	181	183
Метка вывода	I/O112	I/O113	I/O114	I/O115	I/O116	I/O117	I/O118	I/O119	I/O120	I/O121	I/O122	I/O123	I/O124	I/O125	I/O126	I/O127
Номер вывода	186	185	188	187	190	189	192	199	200	201	202	204	205	206	207	209
Метка вывода	I/O128	I/O129	I/O130	I/O131	I/O132	I/O133	I/O134	I/O135	I/O136	I/O137	I/O138	I/O139	I/O140	I/O141	I/O142	I/O143
Номер вывода	210	212	214	215	216	217	219	220	221	224	226	227	229	230	231	232
Метка вывода	I/O144	I/O145	I/O146	I/O147	I/O148	I/O149	I/O150	I/O151	I/O152	I/O153	I/O154	I/O155	I/O156	I/O157	I/O158	I/O159
Номер вывода	235	236	239	240	241	242	244	245	246	247	250					
Метка вывода	I/O160	I/O161	I/O162	I/O163	I/O164	I/O165	I/O166	I/O167	I/O168	I/O169	I/O170					

Рисунок 2 – Условное графическое обозначение микросхемы интегральной 5576XC4T в корпусе 4244.256–3

Таблица 6 – Функциональное назначение выводов микросхемы интегральной 5576XC3T

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	I/O0 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
2	I/O2 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
3	I/O1 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
4	2VCC	Питание выходных буферов	—	—
5	I/O3	Программируемый ввод-вывод	Вход/выход	Пользовательский
6	I/O5 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
7	I/O4 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
8	I/O7 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
9	I/O6	Программируемый ввод-вывод	Вход/выход	Пользовательский
10	I/O9	Программируемый ввод-вывод	Вход/выход	Пользовательский
11	I/O8 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
12	I/O11	Программируемый ввод-вывод	Вход/выход	Пользовательский
13	I/O10	Программируемый ввод-вывод	Вход/выход	Пользовательский
14	I/O12	Программируемый ввод-вывод	Вход/выход	Пользовательский
15	2GND	Общий выходных буферов	—	—
16	I/O14	Программируемый ввод-вывод	Вход/выход	Пользовательский
17	I/O13	Программируемый ввод-вывод	Вход/выход	Пользовательский
18	I/O16	Программируемый ввод-вывод	Вход/выход	Пользовательский
19	I/O15	Программируемый ввод-вывод	Вход/выход	Пользовательский
20	I/O18	Программируемый ввод-вывод	Вход/выход	Пользовательский
21	I/O17	Программируемый ввод-вывод	Вход/выход	Пользовательский
22	I/O19	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
23	I/O20	Программируемый ввод-вывод	Вход/выход	Пользовательский
24	I/O21	Программируемый ввод-вывод	Вход/выход	Пользовательский
25	2VCC	Питание выходных буферов	—	—
26	I/O22	Программируемый ввод-вывод	Вход/выход	Пользовательский
27	I/O23	Программируемый ввод-вывод	Вход/выход	Пользовательский
28	I/O24	Программируемый ввод-вывод	Вход/выход	Пользовательский
29	I/O25 ²⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
30	1VCC	Питание ядра	—	—
31	2VCC	Питание входных буферов	—	—
32	INPUT1	Выделенный вход	Вход	Пользовательский
33	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
34	INPUT0	Выделенный вход	Вход	Пользовательский
35	2GND	Общий входных буферов	—	—
36	1GND	Общий ядра	—	—
37	I/O26 ³⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
38	I/O27	Программируемый ввод-вывод	Вход/выход	Пользовательский
39	I/O28	Программируемый ввод-вывод	Вход/выход	Пользовательский
40	I/O29	Программируемый ввод-вывод	Вход/выход	Пользовательский
41	I/O30	Программируемый ввод-вывод	Вход/выход	Пользовательский
42	I/O31	Программируемый ввод-вывод	Вход/выход	Пользовательский
43	I/O32	Программируемый ввод-вывод	Вход/выход	Пользовательский
44	I/O33	Программируемый ввод-вывод	Вход/выход	Пользовательский
45	2GND	Общий выходных буферов	—	—
46	I/O34	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инва. № подл.	Подп. и дата	Взам. инв. №	Инва. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
47	I/O36	Программируемый ввод-вывод	Вход/выход	Пользовательский
48	I/O35	Программируемый ввод-вывод	Вход/выход	Пользовательский
49	I/O38	Программируемый ввод-вывод	Вход/выход	Пользовательский
50	I/O37	Программируемый ввод-вывод	Вход/выход	Пользовательский
51	I/O40	Программируемый ввод-вывод	Вход/выход	Пользовательский
52	I/O39	Программируемый ввод-вывод	Вход/выход	Пользовательский
53	2VCC	Питание выходных буферов	—	—
54	I/O41	Программируемый ввод-вывод	Вход/выход	Пользовательский
55	I/O43	Программируемый ввод-вывод	Вход/выход	Пользовательский
56	I/O42	Программируемый ввод-вывод	Вход/выход	Пользовательский
57	I/O45	Программируемый ввод-вывод	Вход/выход	Пользовательский
58	I/O44	Программируемый ввод-вывод	Вход/выход	Пользовательский
59	I/O47	Программируемый ввод-вывод	Вход/выход	Пользовательский
60	I/O46 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
61	I/O49 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
62	I/O48 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
63	I/O50 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
64	1GND	Общий ядра	—	—
65	TCK	Тактовый вход JTAG	Вход	Служебный
66	CONF_DONE	Окончание конфигурирования	Вход/выход с открытым стоком	Служебный
67	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный

Инт. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
68	TDO	Выход данных JTAG	Выход с тремя состояниями	Служебный
69	I/O51	Программируемый ввод-вывод	Вход/выход	Пользовательский
70	1VCC	Питание ядра	—	—
71	I/O52	Программируемый ввод-вывод	Вход/выход	Пользовательский
72	I/O53	Программируемый ввод-вывод	Вход/выход	Пользовательский
73	I/O54	Программируемый ввод-вывод	Вход/выход	Пользовательский
74	I/O55 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
75	2GND	Общий выходных буферов	—	—
76	I/O56	Программируемый ввод-вывод	Вход/выход	Пользовательский
77	I/O57	Программируемый ввод-вывод	Вход/выход	Пользовательский
78	I/O58	Программируемый ввод-вывод	Вход/выход	Пользовательский
79	I/O59	Программируемый ввод-вывод	Вход/выход	Пользовательский
80	I/O60	Программируемый ввод-вывод	Вход/выход	Пользовательский
81	2VCC	Питание выходных буферов	—	—
82	I/O61	Программируемый ввод-вывод	Вход/выход	Пользовательский
83	I/O62	Программируемый ввод-вывод	Вход/выход	Пользовательский
84	I/O63	Программируемый ввод-вывод	Вход/выход	Пользовательский
85	I/O64	Программируемый ввод-вывод	Вход/выход	Пользовательский
86	I/O65 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
87	1GND	Общий ядра	—	—
88	I/O66	Программируемый ввод-вывод	Вход/выход	Пользовательский
89	I/O67	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
90	I/O68 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
91	I/O69	Программируемый ввод-вывод	Вход/выход	Пользовательский
92	1VCC	Питание ядра	—	—
93	I/O70	Программируемый ввод-вывод	Вход/выход	Пользовательский
94	I/O71	Программируемый ввод-вывод	Вход/выход	Пользовательский
95	I/O72	Программируемый ввод-вывод	Вход/выход	Пользовательский
96	2GND	Общий входных буферов	—	—
97	2GND	Общий выходных буферов	—	—
98	I/O73	Программируемый ввод-вывод	Вход/выход	Пользовательский
99	2VCC	Питание входных буферов	—	—
100	I/O74	Программируемый ввод-вывод	Вход/выход	Пользовательский
101	I/O75	Программируемый ввод-вывод	Вход/выход	Пользовательский
102	I/O76	Программируемый ввод-вывод	Вход/выход	Пользовательский
103	2VCC	Питание выходных буферов	—	—
104	I/O77	Программируемый ввод-вывод	Вход/выход	Пользовательский
105	I/O78	Программируемый ввод-вывод	Вход/выход	Пользовательский
106	I/O79	Программируемый ввод-вывод	Вход/выход	Пользовательский
107	I/O80	Программируемый ввод-вывод	Вход/выход	Пользовательский
108	1GND	Общий ядра	—	—
109	I/O81	Программируемый ввод-вывод	Вход/выход	Пользовательский
110	I/O82	Программируемый ввод-вывод	Вход/выход	Пользовательский
111	I/O83	Программируемый ввод-вывод	Вход/выход	Пользовательский
112	I/O84	Программируемый ввод-вывод	Вход/выход	Пользовательский
113	1VCC	Питание ядра	—	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
114	I/O85	Программируемый ввод-вывод	Вход/выход	Пользовательский
115	I/O86	Программируемый ввод-вывод	Вход/выход	Пользовательский
116	I/O87	Программируемый ввод-вывод	Вход/выход	Пользовательский
117	I/O88	Программируемый ввод-вывод	Вход/выход	Пользовательский
118	I/O89	Программируемый ввод-вывод	Вход/выход	Пользовательский
119	1GND	Общий ядра	—	—
120	I/O90	Программируемый ввод-вывод	Вход/выход	Пользовательский
121	I/O91	Программируемый ввод-вывод	Вход/выход	Пользовательский
122	I/O92	Программируемый ввод-вывод	Вход/выход	Пользовательский
123	1VCC	Питание ядра	—	—
124	2VCC	Питание выходных буферов	—	—
125	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
126	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
127	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход/выход с открытым стоком	Служебный
128	ERR	Индикатор сбоя конфигурационного ОЗУ	Вход/выход с открытым стоком	Служебный
129	2GND	Общий выходных буферов	—	—
130	I/O94	Программируемый ввод-вывод	Вход/выход	Пользовательский
131	I/O93	Программируемый ввод-вывод	Вход/выход	Пользовательский
132	I/O96	Программируемый ввод-вывод	Вход/выход	Пользовательский
133	I/O95	Программируемый ввод-вывод	Вход/выход	Пользовательский
134	I/O98	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
135	I/O97	Программируемый ввод-вывод	Вход/выход	Пользовательский
136	I/O100	Программируемый ввод-вывод	Вход/выход	Пользовательский
137	I/O99	Программируемый ввод-вывод	Вход/выход	Пользовательский
138	I/O102	Программируемый ввод-вывод	Вход/выход	Пользовательский
139	I/O101	Программируемый ввод-вывод	Вход/выход	Пользовательский
140	I/O104	Программируемый ввод-вывод	Вход/выход	Пользовательский
141	I/O103	Программируемый ввод-вывод	Вход/выход	Пользовательский
142	I/O106	Программируемый ввод-вывод	Вход/выход	Пользовательский
143	I/O105	Программируемый ввод-вывод	Вход/выход	Пользовательский
144	I/O108	Программируемый ввод-вывод	Вход/выход	Пользовательский
145	I/O107	Программируемый ввод-вывод	Вход/выход	Пользовательский
146	2GND	Общий выходных буферов	—	—
147	I/O109	Программируемый ввод-вывод	Вход/выход	Пользовательский
148	I/O111	Программируемый ввод-вывод	Вход/выход	Пользовательский
149	I/O110	Программируемый ввод-вывод	Вход/выход	Пользовательский
150	I/O112	Программируемый ввод-вывод	Вход/выход	Пользовательский
151	2VCC	Питание выходных буферов	—	—
152	I/O113	Программируемый ввод-вывод	Вход/выход	Пользовательский
153	I/O114	Программируемый ввод-вывод	Вход/выход	Пользовательский
154	I/O115	Программируемый ввод-вывод	Вход/выход	Пользовательский
155	I/O116	Программируемый ввод-вывод	Вход/выход	Пользовательский
156	I/O117	Программируемый ввод-вывод	Вход/выход	Пользовательский
157	1GND	Общий ядра	—	—

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
158	2VCC	Питание входных буферов	—	—
159	INPUT2	Выделенный вход	Вход	Пользовательский
160	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
161	INPUT3	Выделенный вход	Вход	Пользовательский
162	1GND	Общий ядра	—	—
163	1VCC	Питание ядра	—	—
164	2GND	Общий входных буферов	—	—
165	1VCC	Питание ядра	—	—
166	I/O118	Программируемый ввод-вывод	Вход/выход	Пользовательский
167	I/O119	Программируемый ввод-вывод	Вход/выход	Пользовательский
168	I/O120	Программируемый ввод-вывод	Вход/выход	Пользовательский
169	I/O121	Программируемый ввод-вывод	Вход/выход	Пользовательский
170	I/O122	Программируемый ввод-вывод	Вход/выход	Пользовательский
171	I/O123	Программируемый ввод-вывод	Вход/выход	Пользовательский
172	I/O124	Программируемый ввод-вывод	Вход/выход	Пользовательский
173	I/O125	Программируемый ввод-вывод	Вход/выход	Пользовательский
174	I/O126	Программируемый ввод-вывод	Вход/выход	Пользовательский
175	I/O127	Программируемый ввод-вывод	Вход/выход	Пользовательский
176	2GND	Общий выходных буферов	—	—
177	I/O129	Программируемый ввод-вывод	Вход/выход	Пользовательский
178	I/O128	Программируемый ввод-вывод	Вход/выход	Пользовательский
179	I/O131	Программируемый ввод-вывод	Вход/выход	Пользовательский
180	I/O130	Программируемый ввод-вывод	Вход/выход	Пользовательский
181	I/O133	Программируемый ввод-вывод	Вход/выход	Пользовательский
182	I/O132	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
183	I/O134	Программируемый ввод-вывод	Вход/выход	Пользовательский
184	2VCC	Питание выходных буферов	—	—
185	I/O136	Программируемый ввод-вывод	Вход/выход	Пользовательский
186	I/O135	Программируемый ввод-вывод	Вход/выход	Пользовательский
187	I/O138	Программируемый ввод-вывод	Вход/выход	Пользовательский
188	I/O137	Программируемый ввод-вывод	Вход/выход	Пользовательский
189	I/O140	Программируемый ввод-вывод	Вход/выход	Пользовательский
190	I/O139	Программируемый ввод-вывод	Вход/выход	Пользовательский
191	RES	Сигнал глобального сброса	Вход	Служебный
192	I/O141	Программируемый ввод-вывод	Вход/выход	Пользовательский
193	nCONFIG	Сброс конфигурации	Вход	Служебный
194	TEST_MODE	Управление тестовым режимом	Вход	Служебный
195	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
196	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
197	I/O142	Программируемый ввод-вывод	Вход/выход	Пользовательский
198	2GND	Общий выходных буферов	—	—
199	I/O143	Программируемый ввод-вывод	Вход/выход	Пользовательский
200	I/O144	Программируемый ввод-вывод	Вход/выход	Пользовательский
201	I/O145	Программируемый ввод-вывод	Вход/выход	Пользовательский
202	I/O146	Программируемый ввод-вывод	Вход/выход	Пользовательский
203	1VCC	Питание ядра	—	—
204	I/O147	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
205	I/O148	Программируемый ввод-вывод	Вход/выход	Пользовательский
206	I/O149	Программируемый ввод-вывод	Вход/выход	Пользовательский
207	I/O150	Программируемый ввод-вывод	Вход/выход	Пользовательский
208	1GND	Общий ядра	—	—
209	I/O151	Программируемый ввод-вывод	Вход/выход	Пользовательский
210	I/O152	Программируемый ввод-вывод	Вход/выход	Пользовательский
211	I/O153	Программируемый ввод-вывод	Вход/выход	Пользовательский
212	I/O154	Программируемый ввод-вывод	Вход/выход	Пользовательский
213	2VCC	Питание выходных буферов	—	—
214	I/O155	Программируемый ввод-вывод	Вход/выход	Пользовательский
215	I/O156	Программируемый ввод-вывод	Вход/выход	Пользовательский
216	I/O157	Программируемый ввод-вывод	Вход/выход	Пользовательский
217	I/O158	Программируемый ввод-вывод	Вход/выход	Пользовательский
218	2GND	Общий выходных буферов	—	—
219	I/O159	Программируемый ввод-вывод	Вход/выход	Пользовательский
220	I/O160	Программируемый ввод-вывод	Вход/выход	Пользовательский
221	I/O161	Программируемый ввод-вывод	Вход/выход	Пользовательский
222	2GND	Общий входных буферов	—	—
223	1VCC	Питание ядра	—	—
224	I/O162	Программируемый ввод-вывод	Вход/выход	Пользовательский
225	2VCC	Питание входных буферов	—	—
226	I/O163	Программируемый ввод-вывод	Вход/выход	Пользовательский
227	I/O164	Программируемый ввод-вывод	Вход/выход	Пользовательский
228	1GND	Общий ядра	—	—

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
229	I/O165	Программируемый ввод-вывод	Вход/выход	Пользовательский
230	I/O166	Программируемый ввод-вывод	Вход/выход	Пользовательский
231	I/O167	Программируемый ввод-вывод	Вход/выход	Пользовательский
232	I/O168	Программируемый ввод-вывод	Вход/выход	Пользовательский
233	2VCC	Питание выходных буферов	—	—
234	I/O169	Программируемый ввод-вывод	Вход/выход	Пользовательский
235	I/O170	Программируемый ввод-вывод	Вход/выход	Пользовательский
236	I/O171	Программируемый ввод-вывод	Вход/выход	Пользовательский
237	I/O172	Программируемый ввод-вывод	Вход/выход	Пользовательский
238	2GND	Общий выходных буферов	—	—
239	I/O173	Программируемый ввод-вывод	Вход/выход	Пользовательский
240	I/O174	Программируемый ввод-вывод	Вход/выход	Пользовательский
241	I/O175	Программируемый ввод-вывод	Вход/выход	Пользовательский
242	I/O176	Программируемый ввод-вывод	Вход/выход	Пользовательский
243	1VCC	Питание ядра	—	—
244	I/O177	Программируемый ввод-вывод	Вход/выход	Пользовательский
245	I/O178	Программируемый ввод-вывод	Вход/выход	Пользовательский
246	I/O179	Программируемый ввод-вывод	Вход/выход	Пользовательский
247	I/O180	Программируемый ввод-вывод	Вход/выход	Пользовательский
248	RES_MODE	Выбор режима глобального сброса	Вход	Служебный
249	1GND	Общий ядра	—	—
250	I/O181	Программируемый ввод-вывод	Вход/выход	Пользовательский
251	I/O182	Программируемый ввод-вывод	Вход/выход	Пользовательский
252	TDI	Вход данных JTAG	Вход	Служебный

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
253	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
254	DCLK	Тактовый ввод-вывод Download	Вход/выход	Служебный
255	DATA0	Вход данных Download	Вход	Служебный
256	1GND	Общий ядра	—	—

¹⁾ При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O0, I/O1, I/O2, I/O4, I/O5, I/O7, I/O8 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7 соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 6.

²⁾ После выхода ПЛИС в рабочий режим вывод I/O25 может быть использован как глобальный сигнал сброса всех триггеров (DEV_CLRn), если это указано пользователем.

³⁾ После выхода ПЛИС в рабочий режим вывод I/O26 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода (DEV_OE), если это указано пользователем.

⁴⁾ При конфигурировании ПЛИС в режиме PPA выводы I/O46, I/O48, I/O49, I/O50, I/O65 используются как служебные nRS, nWS, CS, nCS, RDYnBUSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 6.

⁵⁾ Выводы I/O55 и I/O68 могут быть использованы как служебные CLKUSR и INIT_DONE соответственно, если это указано пользователем.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Таблица 7 – Функциональное назначение выводов микросхемы интегральной 5576XC4T

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	I/O0 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
2	I/O2 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
3	I/O1 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
4	2VCC	Питание выходных буферов	—	—
5	I/O3	Программируемый ввод-вывод	Вход/выход	Пользовательский
6	I/O5 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
7	I/O4 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
8	I/O6 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
9	1GND	Общий ядра	—	—
10	I/O8	Программируемый ввод-вывод	Вход/выход	Пользовательский
11	I/O7 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
12	I/O10	Программируемый ввод-вывод	Вход/выход	Пользовательский
13	I/O9	Программируемый ввод-вывод	Вход/выход	Пользовательский
14	I/O11	Программируемый ввод-вывод	Вход/выход	Пользовательский
15	2GND	Общий выходных буферов	—	—
16	I/O13	Программируемый ввод-вывод	Вход/выход	Пользовательский
17	I/O12	Программируемый ввод-вывод	Вход/выход	Пользовательский
18	I/O15	Программируемый ввод-вывод	Вход/выход	Пользовательский
19	I/O14	Программируемый ввод-вывод	Вход/выход	Пользовательский
20	I/O17	Программируемый ввод-вывод	Вход/выход	Пользовательский
21	I/O16	Программируемый ввод-вывод	Вход/выход	Пользовательский
22	I/O18	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
23	I/O19	Программируемый ввод-вывод	Вход/выход	Пользовательский
24	I/O20	Программируемый ввод-вывод	Вход/выход	Пользовательский
25	2VCC	Питание выходных буферов	—	—
26	I/O21	Программируемый ввод-вывод	Вход/выход	Пользовательский
27	I/O22	Программируемый ввод-вывод	Вход/выход	Пользовательский
28	I/O23	Программируемый ввод-вывод	Вход/выход	Пользовательский
29	I/O24 ²⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
30	1VCC	Питание ядра	—	—
31	2VCC	Питание входных буферов	—	—
32	INPUT1	Выделенный вход	Вход	Пользовательский
33	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
34	INPUT0	Выделенный вход	Вход	Пользовательский
35	2GND	Общий входных буферов	—	—
36	1GND	Общий ядра	—	—
37	I/O25 ³⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
38	I/O26	Программируемый ввод-вывод	Вход/выход	Пользовательский
39	I/O27	Программируемый ввод-вывод	Вход/выход	Пользовательский
40	I/O28	Программируемый ввод-вывод	Вход/выход	Пользовательский
41	I/O29	Программируемый ввод-вывод	Вход/выход	Пользовательский
42	I/O30	Программируемый ввод-вывод	Вход/выход	Пользовательский
43	I/O31	Программируемый ввод-вывод	Вход/выход	Пользовательский
44	I/O32	Программируемый ввод-вывод	Вход/выход	Пользовательский
45	2GND	Общий выходных буферов	—	—
46	I/O33	Программируемый ввод-вывод	Вход/выход	Пользовательский
47	1VCC	Питание ядра	—	—

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
48	I/O34	Программируемый ввод-вывод	Вход/выход	Пользовательский
49	I/O36	Программируемый ввод-вывод	Вход/выход	Пользовательский
50	I/O35	Программируемый ввод-вывод	Вход/выход	Пользовательский
51	I/O38	Программируемый ввод-вывод	Вход/выход	Пользовательский
52	I/O37	Программируемый ввод-вывод	Вход/выход	Пользовательский
53	2VCC	Питание выходных буферов	—	—
54	I/O39	Программируемый ввод-вывод	Вход/выход	Пользовательский
55	I/O41	Программируемый ввод-вывод	Вход/выход	Пользовательский
56	I/O40	Программируемый ввод-вывод	Вход/выход	Пользовательский
57	I/O43	Программируемый ввод-вывод	Вход/выход	Пользовательский
58	I/O42	Программируемый ввод-вывод	Вход/выход	Пользовательский
59	I/O45	Программируемый ввод-вывод	Вход/выход	Пользовательский
60	I/O44 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
61	I/O47 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
62	I/O46 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
63	I/O48 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
64	1GND	Общий ядра	—	—
65	TCK	Тактовый вход JTAG	Вход	Служебный
66	CONF_DONE	Окончание конфигурирования	Вход/выход с открытым стоком	Служебный
67	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный
68	TDO	Выход данных JTAG	Выход с тремя состояниями	Служебный

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
69	I/O49	Программируемый ввод-вывод	Вход/выход	Пользовательский
70	1VCC	Питание ядра	—	—
71	I/O50	Программируемый ввод-вывод	Вход/выход	Пользовательский
72	I/O51	Программируемый ввод-вывод	Вход/выход	Пользовательский
73	I/O52	Программируемый ввод-вывод	Вход/выход	Пользовательский
74	I/O53 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
75	2GND	Общий выходных буферов	—	—
76	1GND	Общий ядра	—	—
77	I/O54	Программируемый ввод-вывод	Вход/выход	Пользовательский
78	I/O55	Программируемый ввод-вывод	Вход/выход	Пользовательский
79	1VCC	Питание ядра	—	—
80	I/O56	Программируемый ввод-вывод	Вход/выход	Пользовательский
81	2VCC	Питание выходных буферов	—	—
82	I/O57	Программируемый ввод-вывод	Вход/выход	Пользовательский
83	I/O58	Программируемый ввод-вывод	Вход/выход	Пользовательский
84	2GND	Общий входных буферов	—	—
85	I/O59	Программируемый ввод-вывод	Вход/выход	Пользовательский
86	I/O60 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
87	1GND	Общий ядра	—	—
88	I/O61	Программируемый ввод-вывод	Вход/выход	Пользовательский
89	I/O62	Программируемый ввод-вывод	Вход/выход	Пользовательский
90	I/O63 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
91	I/O64	Программируемый ввод-вывод	Вход/выход	Пользовательский
92	1VCC	Питание ядра	—	—
93	I/O65	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
94	I/O66	Программируемый ввод-вывод	Вход/выход	Пользовательский
95	I/O67	Программируемый ввод-вывод	Вход/выход	Пользовательский
96	1GND	Общий ядра	—	—
97	2GND	Общий выходных буферов	—	—
98	I/O68	Программируемый ввод-вывод	Вход/выход	Пользовательский
99	2VCC	Питание входных буферов	—	—
100	I/O69	Программируемый ввод-вывод	Вход/выход	Пользовательский
101	I/O70	Программируемый ввод-вывод	Вход/выход	Пользовательский
102	I/O71	Программируемый ввод-вывод	Вход/выход	Пользовательский
103	2VCC	Питание выходных буферов	—	—
104	I/O72	Программируемый ввод-вывод	Вход/выход	Пользовательский
105	I/O73	Программируемый ввод-вывод	Вход/выход	Пользовательский
106	1VCC	Питание ядра	—	—
107	I/O74	Программируемый ввод-вывод	Вход/выход	Пользовательский
108	1GND	Общий ядра	—	—
109	I/O75	Программируемый ввод-вывод	Вход/выход	Пользовательский
110	I/O76	Программируемый ввод-вывод	Вход/выход	Пользовательский
111	I/O77	Программируемый ввод-вывод	Вход/выход	Пользовательский
112	I/O78	Программируемый ввод-вывод	Вход/выход	Пользовательский
113	1VCC	Питание ядра	—	—
114	I/O79	Программируемый ввод-вывод	Вход/выход	Пользовательский
115	I/O80	Программируемый ввод-вывод	Вход/выход	Пользовательский
116	I/O81	Программируемый ввод-вывод	Вход/выход	Пользовательский
117	I/O82	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
118	I/O83	Программируемый ввод-вывод	Вход/выход	Пользовательский
119	1GND	Общий ядра	—	—
120	I/O84	Программируемый ввод-вывод	Вход/выход	Пользовательский
121	I/O85	Программируемый ввод-вывод	Вход/выход	Пользовательский
122	I/O86	Программируемый ввод-вывод	Вход/выход	Пользовательский
123	1VCC	Питание ядра	—	—
124	2VCC	Питание выходных буферов	—	—
125	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
126	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
127	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход/выход с открытым стоком	Служебный
128	ERR	Индикатор сбоя конфигурационного ОЗУ	Вход/выход с открытым стоком	Служебный
129	2GND	Общий выходных буферов	—	—
130	I/O88	Программируемый ввод-вывод	Вход/выход	Пользовательский
131	I/O87	Программируемый ввод-вывод	Вход/выход	Пользовательский
132	I/O90	Программируемый ввод-вывод	Вход/выход	Пользовательский
133	I/O89	Программируемый ввод-вывод	Вход/выход	Пользовательский
134	I/O92	Программируемый ввод-вывод	Вход/выход	Пользовательский
135	I/O91	Программируемый ввод-вывод	Вход/выход	Пользовательский
136	I/O94	Программируемый ввод-вывод	Вход/выход	Пользовательский
137	I/O93	Программируемый ввод-вывод	Вход/выход	Пользовательский
138	I/O96	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
139	I/O95	Программируемый ввод-вывод	Вход/выход	Пользовательский
140	I/O98	Программируемый ввод-вывод	Вход/выход	Пользовательский
141	I/O97	Программируемый ввод-вывод	Вход/выход	Пользовательский
142	I/O100	Программируемый ввод-вывод	Вход/выход	Пользовательский
143	I/O99	Программируемый ввод-вывод	Вход/выход	Пользовательский
144	I/O101	Программируемый ввод-вывод	Вход/выход	Пользовательский
145	1VCC	Питание ядра	—	—
146	2GND	Общий выходных буферов	—	—
147	I/O102	Программируемый ввод-вывод	Вход/выход	Пользовательский
148	I/O104	Программируемый ввод-вывод	Вход/выход	Пользовательский
149	I/O103	Программируемый ввод-вывод	Вход/выход	Пользовательский
150	I/O105	Программируемый ввод-вывод	Вход/выход	Пользовательский
151	2VCC	Питание выходных буферов	—	—
152	I/O106	Программируемый ввод-вывод	Вход/выход	Пользовательский
153	I/O107	Программируемый ввод-вывод	Вход/выход	Пользовательский
154	I/O108	Программируемый ввод-вывод	Вход/выход	Пользовательский
155	I/O109	Программируемый ввод-вывод	Вход/выход	Пользовательский
156	I/O110	Программируемый ввод-вывод	Вход/выход	Пользовательский
157	1GND	Общий ядра	—	—
158	2VCC	Питание входных буферов	—	—
159	INPUT2	Выделенный вход	Вход	Пользовательский
160	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
161	INPUT3	Выделенный вход	Вход	Пользовательский
162	1GND	Общий ядра	—	—
163	1VCC	Питание ядра	—	—

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
164	2GND	Общий входных буферов	—	—
165	1VCC	Питание ядра	—	—
166	I/O111	Программируемый ввод-вывод	Вход/выход	Пользовательский
167	I/O112	Программируемый ввод-вывод	Вход/выход	Пользовательский
168	I/O113	Программируемый ввод-вывод	Вход/выход	Пользовательский
169	I/O114	Программируемый ввод-вывод	Вход/выход	Пользовательский
170	I/O115	Программируемый ввод-вывод	Вход/выход	Пользовательский
171	I/O116	Программируемый ввод-вывод	Вход/выход	Пользовательский
172	I/O117	Программируемый ввод-вывод	Вход/выход	Пользовательский
173	I/O118	Программируемый ввод-вывод	Вход/выход	Пользовательский
174	I/O119	Программируемый ввод-вывод	Вход/выход	Пользовательский
175	I/O120	Программируемый ввод-вывод	Вход/выход	Пользовательский
176	2GND	Общий выходных буферов	—	—
177	I/O122	Программируемый ввод-вывод	Вход/выход	Пользовательский
178	I/O121	Программируемый ввод-вывод	Вход/выход	Пользовательский
179	I/O124	Программируемый ввод-вывод	Вход/выход	Пользовательский
180	I/O123	Программируемый ввод-вывод	Вход/выход	Пользовательский
181	I/O126	Программируемый ввод-вывод	Вход/выход	Пользовательский
182	I/O125	Программируемый ввод-вывод	Вход/выход	Пользовательский
183	I/O127	Программируемый ввод-вывод	Вход/выход	Пользовательский
184	2VCC	Питание выходных буферов	—	—
185	I/O129	Программируемый ввод-вывод	Вход/выход	Пользовательский
186	I/O128	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
187	I/O131	Программируемый ввод-вывод	Вход/выход	Пользовательский
188	I/O130	Программируемый ввод-вывод	Вход/выход	Пользовательский
189	I/O133	Программируемый ввод-вывод	Вход/выход	Пользовательский
190	I/O132	Программируемый ввод-вывод	Вход/выход	Пользовательский
191	RES	Сигнал глобального сброса	Вход	Служебный
192	I/O134	Программируемый ввод-вывод	Вход/выход	Пользовательский
193	nCONFIG	Сброс конфигурации	Вход	Служебный
194	TEST_MODE	Управление тестовым режимом	Вход	Служебный
195	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
196	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
197	1GND	Общий ядра	—	—
198	2GND	Общий выходных буферов	—	—
199	I/O135	Программируемый ввод-вывод	Вход/выход	Пользовательский
200	I/O136	Программируемый ввод-вывод	Вход/выход	Пользовательский
201	I/O137	Программируемый ввод-вывод	Вход/выход	Пользовательский
202	I/O138	Программируемый ввод-вывод	Вход/выход	Пользовательский
203	1VCC	Питание ядра	—	—
204	I/O139	Программируемый ввод-вывод	Вход/выход	Пользовательский
205	I/O140	Программируемый ввод-вывод	Вход/выход	Пользовательский
206	I/O141	Программируемый ввод-вывод	Вход/выход	Пользовательский
207	I/O142	Программируемый ввод-вывод	Вход/выход	Пользовательский
208	1GND	Общий ядра	—	—
209	I/O143	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
210	I/O144	Программируемый ввод-вывод	Вход/выход	Пользовательский
211	1 VCC	Питание ядра	—	—
212	I/O145	Программируемый ввод-вывод	Вход/выход	Пользовательский
213	2VCC	Питание выходных буферов	—	—
214	I/O146	Программируемый ввод-вывод	Вход/выход	Пользовательский
215	I/O147	Программируемый ввод-вывод	Вход/выход	Пользовательский
216	I/O148	Программируемый ввод-вывод	Вход/выход	Пользовательский
217	I/O149	Программируемый ввод-вывод	Вход/выход	Пользовательский
218	2GND	Общий выходных буферов	—	—
219	I/O150	Программируемый ввод-вывод	Вход/выход	Пользовательский
220	I/O151	Программируемый ввод-вывод	Вход/выход	Пользовательский
221	I/O152	Программируемый ввод-вывод	Вход/выход	Пользовательский
222	1GND	Общий ядра	—	—
223	1VCC	Питание ядра	—	—
224	I/O153	Программируемый ввод-вывод	Вход/выход	Пользовательский
225	2VCC	Питание входных буферов	—	—
226	I/O154	Программируемый ввод-вывод	Вход/выход	Пользовательский
227	I/O155	Программируемый ввод-вывод	Вход/выход	Пользовательский
228	1GND	Общий ядра	—	—
229	I/O156	Программируемый ввод-вывод	Вход/выход	Пользовательский
230	I/O157	Программируемый ввод-вывод	Вход/выход	Пользовательский
231	I/O158	Программируемый ввод-вывод	Вход/выход	Пользовательский
232	I/O159	Программируемый ввод-вывод	Вход/выход	Пользовательский
233	2VCC	Питание выходных буферов	—	—
234	1VCC	Питание ядра	—	—

Инва. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
235	I/O160	Программируемый ввод-вывод	Вход/выход	Пользовательский
236	I/O161	Программируемый ввод-вывод	Вход/выход	Пользовательский
237	1GND	Общий ядра	—	—
238	2GND	Общий выходных буферов	—	—
239	I/O162	Программируемый ввод-вывод	Вход/выход	Пользовательский
240	I/O163	Программируемый ввод-вывод	Вход/выход	Пользовательский
241	I/O164	Программируемый ввод-вывод	Вход/выход	Пользовательский
242	I/O165	Программируемый ввод-вывод	Вход/выход	Пользовательский
243	1VCC	Питание ядра	—	—
244	I/O166	Программируемый ввод-вывод	Вход/выход	Пользовательский
245	I/O167	Программируемый ввод-вывод	Вход/выход	Пользовательский
246	I/O168	Программируемый ввод-вывод	Вход/выход	Пользовательский
247	I/O169	Программируемый ввод-вывод	Вход/выход	Пользовательский
248	RES_MODE	Выбор режима глобального сброса	Вход	Служебный
249	1GND	Общий ядра	—	—
250	I/O170	Программируемый ввод-вывод	Вход/выход	Пользовательский
251	1VCC	Питание ядра	—	—
252	TDI	Вход данных JTAG	Вход	Служебный
253	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
254	DCLK	Тактовый ввод-вывод Download	Вход/выход	Служебный
255	DATA0	Вход данных Download	Вход	Служебный
256	1GND	Общий ядра	—	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 7

¹⁾ При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O0, I/O1, I/O2, I/O4, I/O5, I/O6, I/O7 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7 соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 7.

²⁾ После выхода ПЛИС в рабочий режим вывод I/O24 может быть использован как глобальный сигнал сброса всех триггеров (DEV_CLRn), если это указано пользователем.

³⁾ После выхода ПЛИС в рабочий режим вывод I/O25 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода (DEV_OE), если это указано пользователем.

⁴⁾ При конфигурировании ПЛИС в режиме PPA выводы I/O44, I/O46, I/O47, I/O48, I/O60 используются как служебные nRS, nWS, CS, nCS, RDYnBUSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 7.

⁵⁾ Выводы I/O53 и I/O63 могут быть использованы как служебные CLKUSR и INIT_DONE соответственно, если это указано пользователем.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5 Описание архитектуры ПЛИС

Архитектуру ПЛИС условно можно разделить на две части: пользовательскую и служебную.

К служебной части относятся: матрица памяти, система глобальных и локальных межсоединений, блок управления программированием (БУП), блок управления тестированием (БУТ).

Ячейки памяти управляют коммутацией и режимами работы логического блока (ЛБ), блока встроенной памяти (БВП) и элементов ввода-вывода (ВВ). Общее количество ячеек конфигурационного СОЗУ составляет 1 073 302 ячеек для ПЛИС 5576ХС3Т и 2 213 278 ячеек для ПЛИС 5576ХС4Т.

Система глобальных и локальных межсоединений позволяет осуществлять связь между ЛБ, БВП, элементами ВВ.

Основное назначение БУП – осуществлять загрузку конфигурационных данных в матрицу памяти ПЛИС в соответствии с выбранной пользователем схемой конфигурирования. БУП управляет формирователями данных и адреса, по которому осуществляется запись, а также позволяет осуществлять конфигурирование с использованием специальной микросхемы памяти 5576РС1У, загрузочного кабеля типа ByteBlaster или микропроцессора. Процесс конфигурирования занимает не более 50 мс для ПЛИС 5576ХС3Т и не более 100 мс для ПЛИС 5576ХС4Т на частоте 33 МГц.

БУТ управляет работой встроенной системы тестирования (JTAG), совместимой с IEEE Std. 1149.1. Данная система позволяет проверить работу ПЛИС без использования специального оборудования для тестирования путем подачи и вычитывания тестовых сигналов через Boundary-Scan регистр.

К пользовательской части относятся: ЛБ, БВП, элементы ВВ.

ЛБ состоят из 8 логических элементов (ЛЭ). ПЛИС 5576ХС3Т содержит 624 ЛБ, которые составляют матрицу из 12 рядов и 52 колонок. ПЛИС 5576ХС4Т содержит 1 248 ЛБ, которые составляют матрицу из 24 рядов и 52 колонок. ЛБ используются для реализации простой логики, счетчиков, сумматоров, конечных автоматов состояний и мультиплексоров.

БВП используется для реализации разнообразных функций памяти или сложных логических функций. Встроенная память ПЛИС 5576ХС3Т разделена на 12 БВП – по одному в каждом ряду. Встроенная память ПЛИС 5576ХС4Т разделена на 24 БВП – по одному в каждом ряду.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Элементы ВВ служат для связи элементов ядра пользовательской части ПЛИС (ЛБ и БВП) с буферами ввода-вывода (БВВ). Количество элементов ВВ равно 16 – в каждом ряду и 4 – в каждой колонке.

На рисунке 3 показана электрическая структурная схема ПЛИС 5576ХС3Т, 5576ХС4Т.

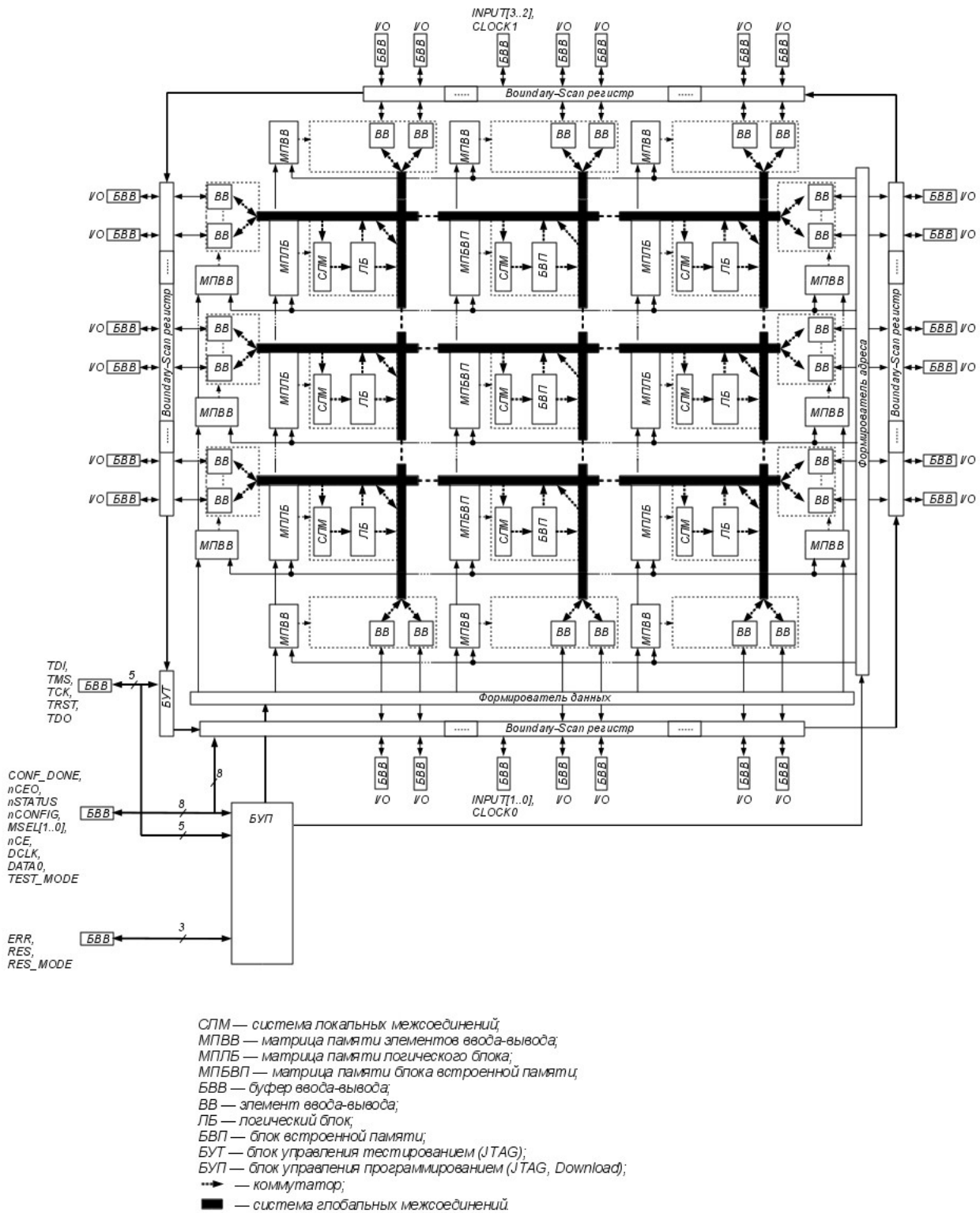


Рисунок 3 – Схема электрическая структурная ПЛИС 5576ХС3Т, 5576ХС4Т

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

5.1 Блок встроенной памяти

Встроенные матрицы памяти схем 5576XC3Т и 5576XC4Т содержат 12 и 24 БВП соответственно. Каждый БВП имеет объем памяти 4 096 бит и содержит регистры на входе и выходе. БВП могут быть использованы для создания синхронного или асинхронного ОЗУ, ПЗУ, двухпортового ОЗУ или функций «первым прибыл, первым обслужен» (FIFO). Возможны следующие конфигурации БВП: 256×16 , 512×8 , $1\,024 \times 4$, $2\,048 \times 2$.

Для управления входными и выходными регистрами БВП можно использовать независимые тактовые сигналы, источником которых могут быть выделенные входы, глобальные тактовые входы или внутренние сигналы СЛМ БВП. Эти же источники можно применять для генерации сигнала разрешения записи. Входные данные и входы адреса БВП подключены через СЛМ к ряду системы межсоединений. Выходные данные можно коммутировать на ряд и на колонку системы межсоединений.

БВП поддерживает одно- и двухпортовый режим работы. В двухпортовом режиме, благодаря возможности использования независимых тактовых сигналов для записи и чтения, запись и чтение могут производиться с разной скоростью. Кроме того, разделенные сигналы разрешения записи и чтения позволяют осуществлять независимый контроль записи и чтения.

Структурная схема БВП в двухпортовом режиме показана на рисунке 4.

Структурная схема БВП в однопортовом режиме представлена на рисунке 5.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

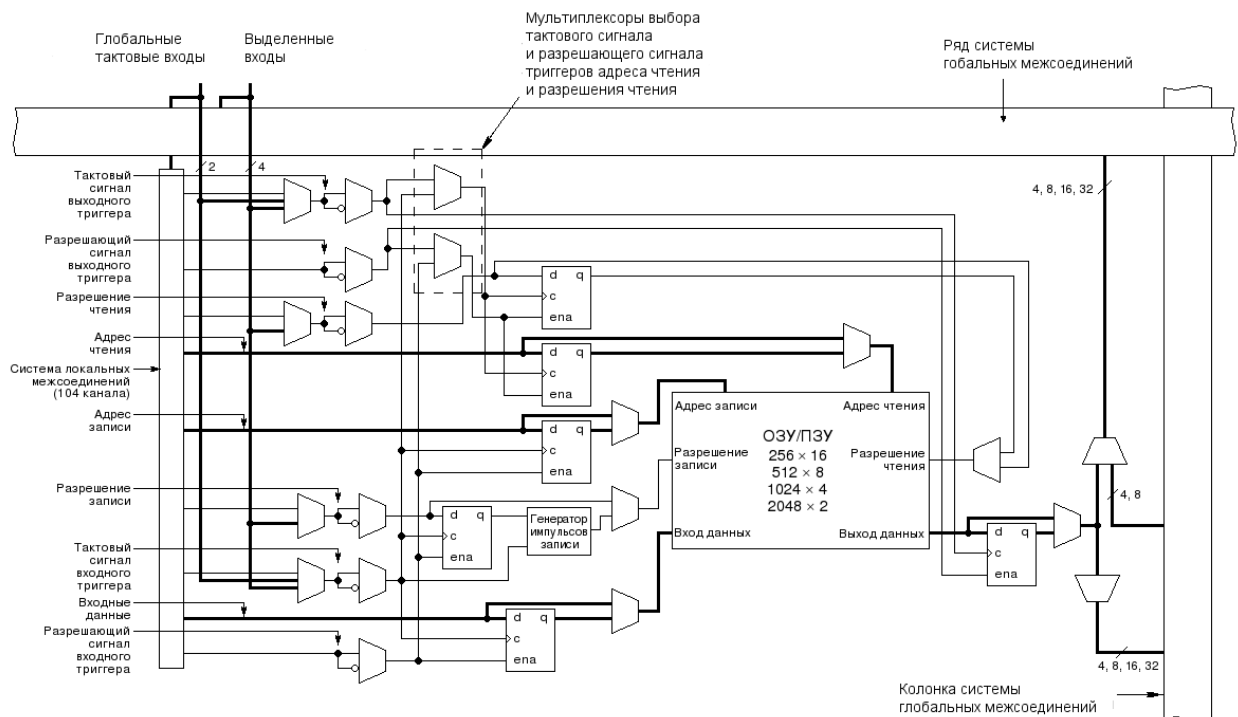


Рисунок 4 – Структурная схема блока встроенной памяти в двухпортовом режиме

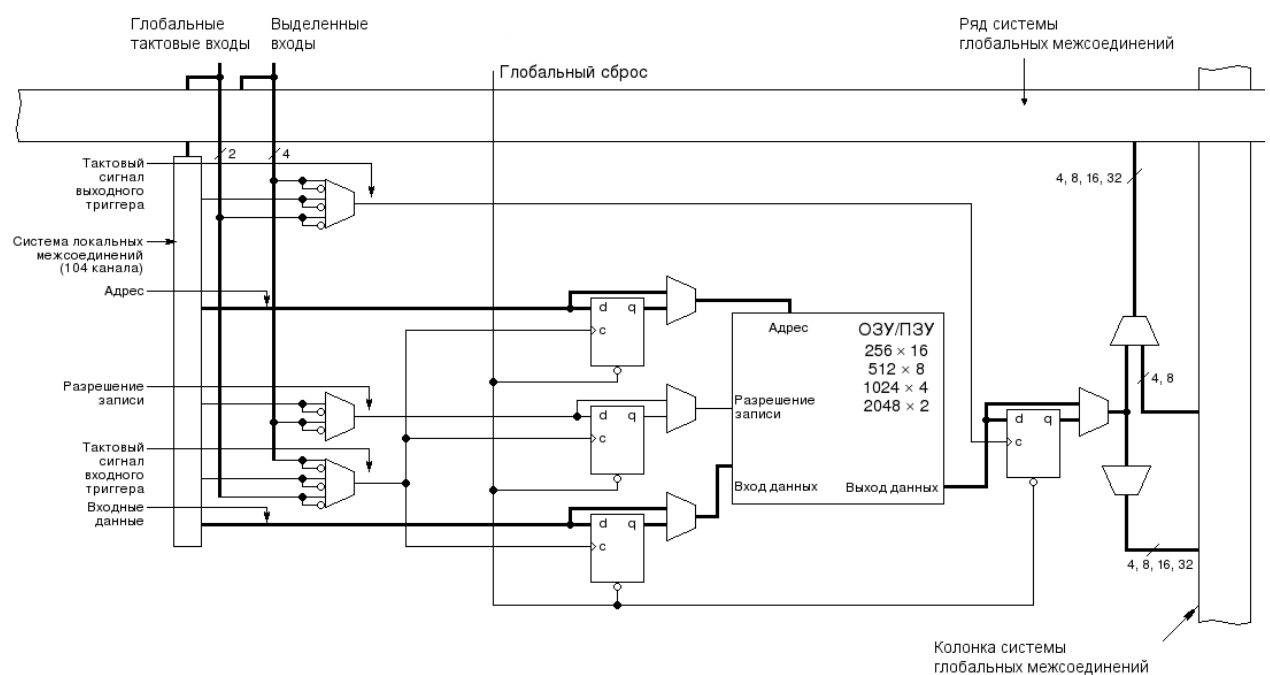


Рисунок 5 – Структурная схема блока встроенной памяти в однопортовом режиме

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.2 Логический блок

ЛБ является основным элементом крупнозернистой архитектуры ПЛИС, основанной на эффективной трассировке с оптимальным использованием элементов и высокой производительностью, и предназначен для обеспечения эффективного размещения большинства проектов на ПЛИС.

ЛБ имеет СЛМ, выводы управления триггерами ЛБ, цепи переноса и каскадирования. ЛБ подключен к системе межсоединений 26-входными и 8-выходными каналами. Управление триггерами, расположенными в ЛБ, осуществляется с помощью четырех сигналов с программируемой инверсией, каждый из которых может быть использован во всех восьми ЛЭ. Два из этих сигналов используются как тактовые, два – как сигналы сброса и установки. Источником управляющих сигналов могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы СЛМ ЛБ. В большинстве случаев, в качестве источников управляющих сигналов используются глобальные тактовые и выделенные входы. Структурная схема ЛБ приведена на рисунке 6.

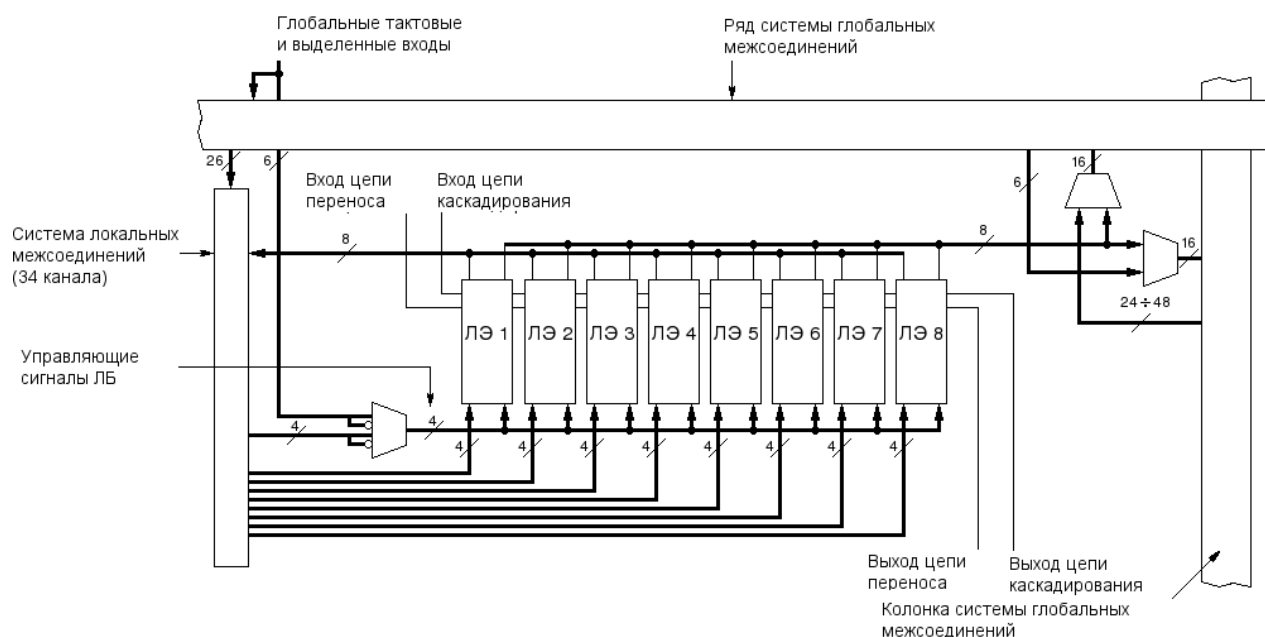


Рисунок 6 – Структурная схема логического блока

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.3 Логический элемент

ЛЭ является минимальным элементом логики, имеет компактные размеры и предназначен для реализации различных логических функций. Каждый ЛЭ содержит 4-входовую таблицу преобразования (look-up table – LUT), которая представляет собой генератор функций (ГФ), способный реализовать функцию четырех переменных. ГФ четырех переменных может быть представлен как два ГФ трех переменных и мультиплексор. Кроме того, каждый ЛЭ содержит программируемый триггер, цепи переноса и каскадирования.

Выход ЛЭ может быть сконмутирован как на локальные межсоединения ЛБ, так и на систему глобальных межсоединений. Структурная схема ЛЭ показана на рисунке 7.

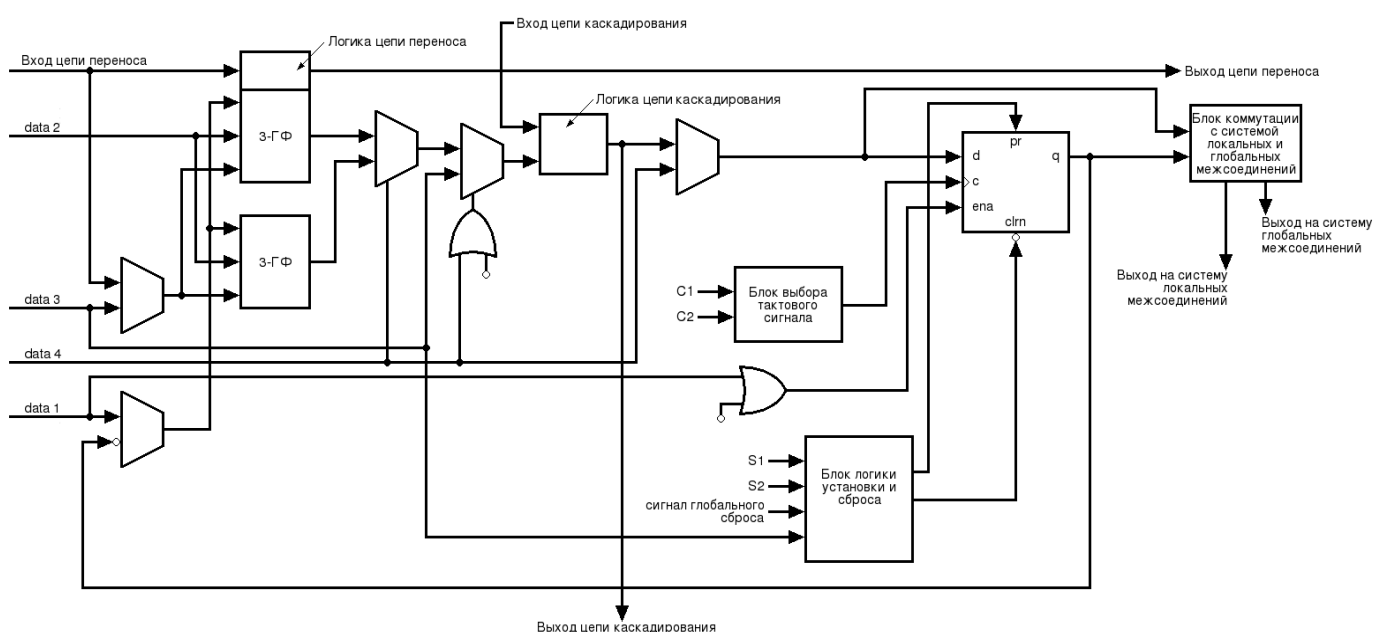


Рисунок 7 – Структурная схема логического элемента

Программируемый триггер ЛЭ может быть сконфигурирован как триггер D, T, JK или SR-типа. Источником сигналов управления триггером (тактовый сигнал, сброс, установка) могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы СЛМ ЛБ. При реализации комбинаторных функций триггер не используется и сигнал с выхода ГФ будет поступать на выход ЛЭ.

Функция переноса позволяет реализовывать быстродействующие счетчики и сумматоры произвольной ширины.

Инва. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

С помощью цепи каскадирования реализуются функции, имеющие большой коэффициент объединения по входу. Соседние ЛЭ могут быть использованы для параллельного вычисления частей функции, а цепь каскадирования последовательно соединяет промежуточные результаты. Цепь каскадирования может использовать логические функции «ИЛИ» и «И» для соединения входов соседних ЛЭ. Каждый дополнительный ЛЭ добавляет четыре входа к эффективной ширине функции.

Цепи каскадирования и переноса, объединяющие более восьми ЛЭ, реализуются путем соединения либо четных, либо нечетных ЛБ в ряду.

5.3.1 Режимы работы логического элемента

ЛЭ может функционировать в одном из следующих четырех режимов:

- нормальный режим;
- арифметический (счетный) режим;
- режим суммирующего/вычитающего счетчика;
- режим сбрасываемого счетчика.

Во всех четырех режимах вход data1 может быть использован для синхронного разрешения тактового сигнала триггера.

5.3.1.1 Нормальный режим

Нормальный режим (рисунок 8) предназначен для большинства логических приложений и функций декодирования, использующих преимущества цепи каскадирования. В данном режиме входами ГФ могут быть следующие сигналы:

- data1, data2, data3, data4;
- data1, data2, data4 и сигнал с входа цепи переноса.

Сигнал с выхода ГФ может быть скомбинирован с входным сигналом цепи каскадирования.

ГФ и триггер в ЛЭ могут использоваться независимо друг от друга. В этом случае на ГФ реализуется функция трех переменных, а сигнал data4 может быть использован в качестве данных триггера ЛЭ.

Выходными сигналами ЛЭ являются комбинированный сигнал и выходные данные программируемого триггера, которые могут быть скоммутированы на локальные и глобальные межсоединения в зависимости режима работы блока коммутации. Например, сигнал с триггера может быть скоммутирован на глобальное межсоединение, в то время как сигнал с ГФ – на локальное, и наоборот.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

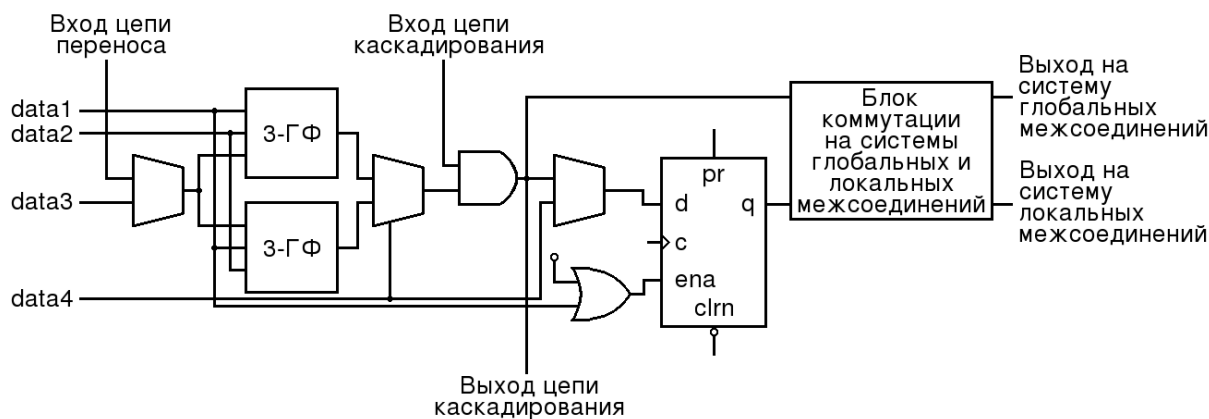


Рисунок 8 – Нормальный режим работы логического элемента

5.3.1.2 Арифметический режим

Арифметический режим (рисунок 9) предназначен для реализации сумматоров, аккумуляторов и компараторов. В данном режиме сигналы data1, data2 и сигнал с входа цепи переноса являются входными сигналами для двух 3-входовых ГФ. Первый ГФ реализует функцию трех переменных. Второй ГФ формирует сигнал цепи переноса. Арифметический режим также поддерживает одновременное использование цепи каскадирования.

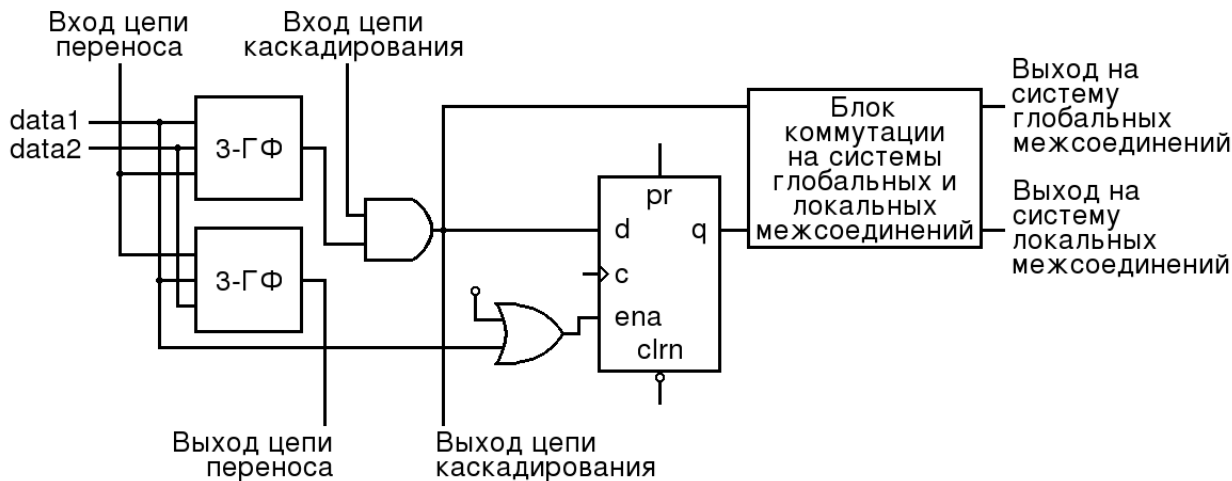


Рисунок 9 – Арифметический режим работы логического элемента

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.3.1.3 Режим суммирующего/вычитающего счетчика

В данном режиме (рисунок 10) один из 3-входовых ГФ формирует данные счетчика с помощью сигналов управления data1, обратной связи триггера, входа цепи переноса, другой – формирует сигнал переноса с помощью сигналов управления обратной связи триггера, data2, входа цепи переноса. Сигнал data4 предназначен для реализации возможности синхронной загрузки данных. Загрузка данных может быть асинхронной без использования ресурсов ГФ с помощью сигналов сброса и установки триггера.

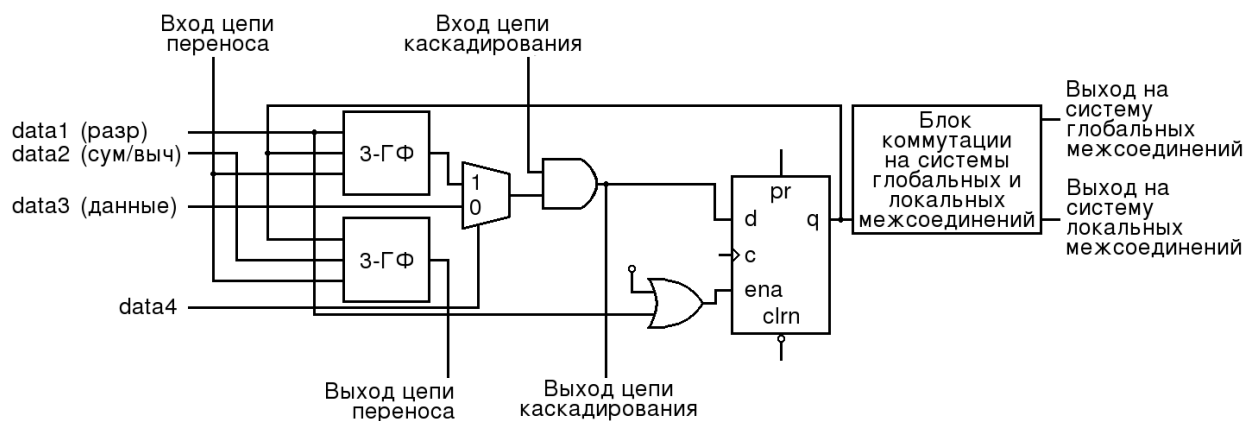


Рисунок 10 – Режим суммирующего/вычитающего счетчика

5.3.1.4 Режим сбрасываемого счетчика

Режим сбрасываемого счетчика (рисунок 11) подобен режиму суммирующего/вычитающего счетчика, но в отличие от него поддерживает синхронный сброс с входа data2. Функцию сброса в режиме суммирующего/вычитающего счетчика заменяет входной сигнал цепи каскадирования.

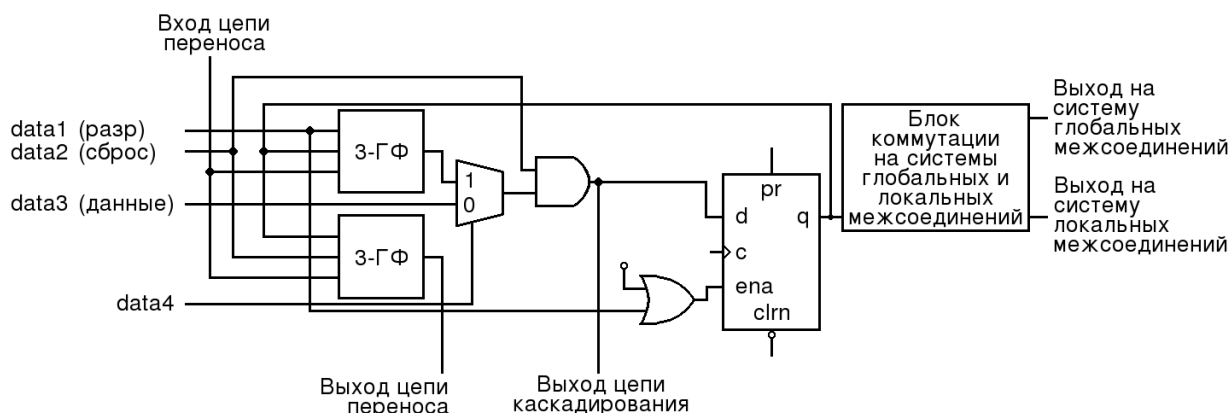


Рисунок 11 – Режим сбрасываемого счетчика

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.3.2 Управление логикой сброса и установки

Управление логикой сброса и установки программируемого триггера осуществляется с помощью сигналов data3, S1, S2 ЛЭ. Сигналы S1 и S2 могут осуществлять асинхронный сброс и/или установку. Так же, триггер может работать в режиме асинхронной загрузки. В этом случае данные для загрузки поступают с входа data3, а сигнал S1 разрешает асинхронную загрузку.

Во время компиляции программным обеспечением автоматически выбирается оптимальный уровень сигнала для выполнения требуемой функции. Так как для функции сброса активным является низкий уровень, а для установки – высокий, то компилятор автоматически устанавливает требуемый уровень на неиспользуемые входы сброса и установки.

Кроме того, имеется вывод глобального сброса, который может сбросить все триггеры в устройстве. Глобальный сброс имеет приоритет над всеми другими сигналами. Данная опция может быть включена на этапе ввода данных в проект.

Логика сброса и установки может работать в следующих шести режимах:

- асинхронный сброс;
- асинхронная установка;
- асинхронный сброс и установка;
- асинхронная загрузка со сбросом;
- асинхронная загрузка с установкой;
- асинхронная загрузка без сброса или без установки.

На рисунке 12 показаны режимы работы логики сброса и установки.

Асинхронный сброс триггера может быть выполнен одним из двух сигналов S1 или S2. В этом режиме сигнал установки не активен и подключен к GND.

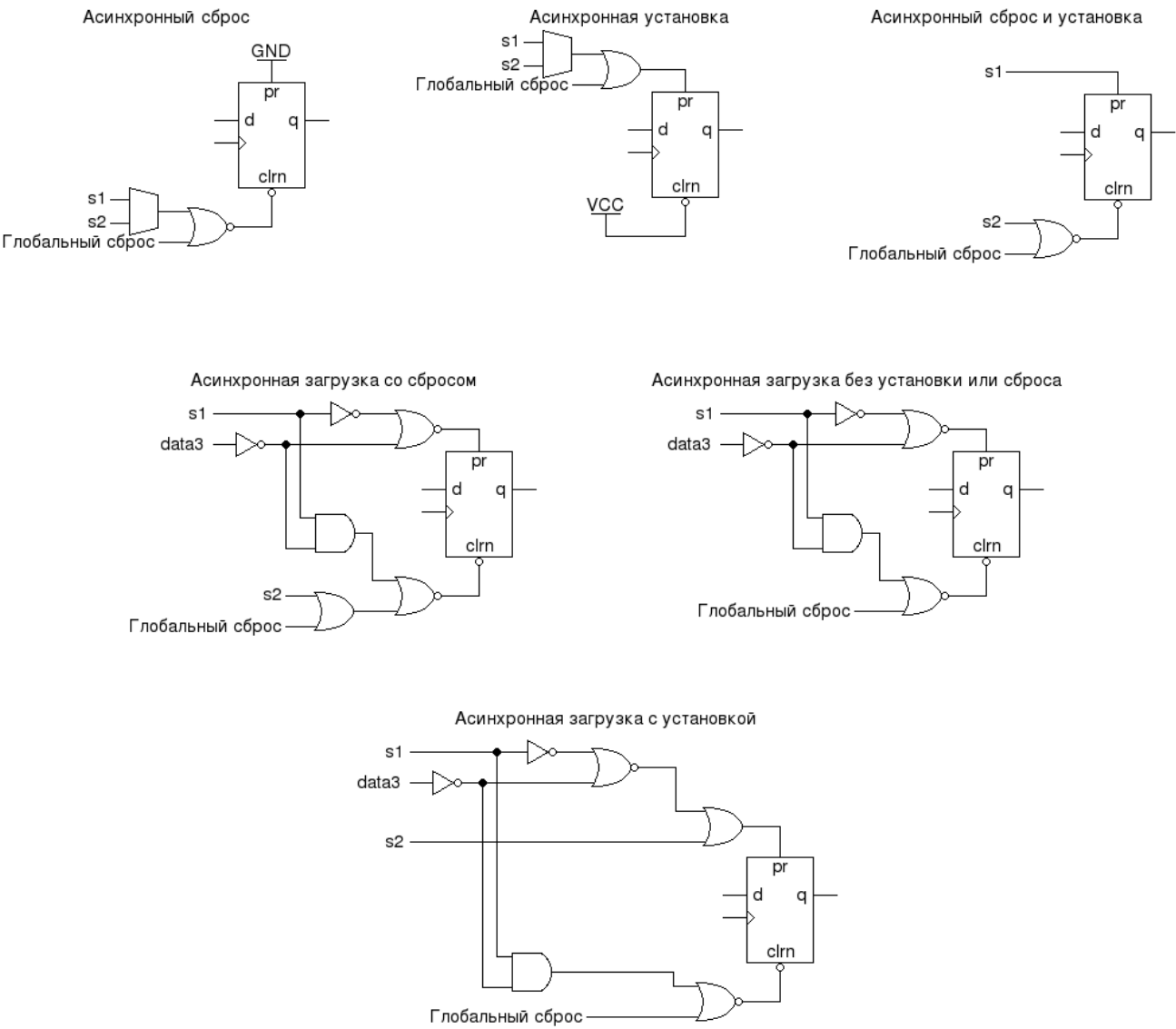
Асинхронная установка триггера может быть выполнена одним из двух сигналов S1 или S2. В этом режиме сигнал сброса не активен и подключен к VCC.

Кроме того, с помощью программного обеспечения можно проводить установку за счёт использования сброса и инвертирования выхода триггера.

Когда выполняются асинхронный сброс и установка, сигнал S1 управляет установкой (асинхронно загружает единицу в триггер), а сигнал S2 – сбросом.

Когда выполняется асинхронная загрузка со сбросом, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 может производить сброс триггера, но не может управлять его загрузкой.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата



Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Рисунок 12 – Управление логикой сброса и установки

Когда выполняется асинхронная загрузка с установкой, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 может производить установку триггера, но не может управлять его загрузкой.

Когда выполняется асинхронная загрузка без установки или сброса триггера, сигнал S1 разрешает асинхронную загрузку с входа data3 и контролирует сброс и установку триггера.

5.4 Система межсоединений

В архитектуре ПЛИС связи между ЛЭ, БВП и элементами ввода-вывода осуществляются посредством системы глобальных межсоединений (рядов и колонок), которые связывают устройство в единое целое. Структурные элементы системы глобальных межсоединений приведены в таблице 8.

Таблица 8 – Структурные элементы системы глобальных межсоединений

Тип ПЛИС	Количество рядов	Количество каналов в ряду	Количество колонок	Количество каналов в колонке
5576XC3T	12	312	52	24
5576XC4T	24	312	52	48

При такой структуре трассировки ЛЭ могут соединяться друг с другом при помощи только одного канала из ряда системы глобальных межсоединений, что обеспечивает фиксированную задержку даже при реализации сложных проектов.

Данные с каналов ряда системы глобальных межсоединений поступают на СЛМ, с которых в свою очередь передаются на входы ЛБ, БВП.

Каждый ряд ЛБ и БВП обслуживается своим набором горизонтальных каналов из ряда межсоединений. На входы ЛБ и БВП сигналы приходят только с каналов рядов системы межсоединений.

Каждый ЛЭ в ЛБ имеет выход на два канала из ряда межсоединений. На каждый из этих каналов сигнал может заводиться с трёх (для ПЛИС 5576XC3T) или шести (для ПЛИС 5576XC4T) каналов из колонки межсоединений. Такая организация выходного коммутатора позволяет осуществлять переход с каналов колонки межсоединений на каналы ряда.

Каждая колонка ЛБ и БВП обслуживается своим набором вертикальных каналов из колонки межсоединений. Колонка, обслуживающая БВП имеет в два раза больше каналов чем колонка, обслуживающая ЛБ. Данные с каналов колонки

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

системы глобальных межсоединений поступают на элементы ввода-вывода. Каждый ЛЭ в ЛБ имеет выход на два канала из колонки межсоединений. В пределах каждого ЛБ можно осуществить переход с шести каналов из ряда на шесть каналов из колонки межсоединений (рисунок 13).

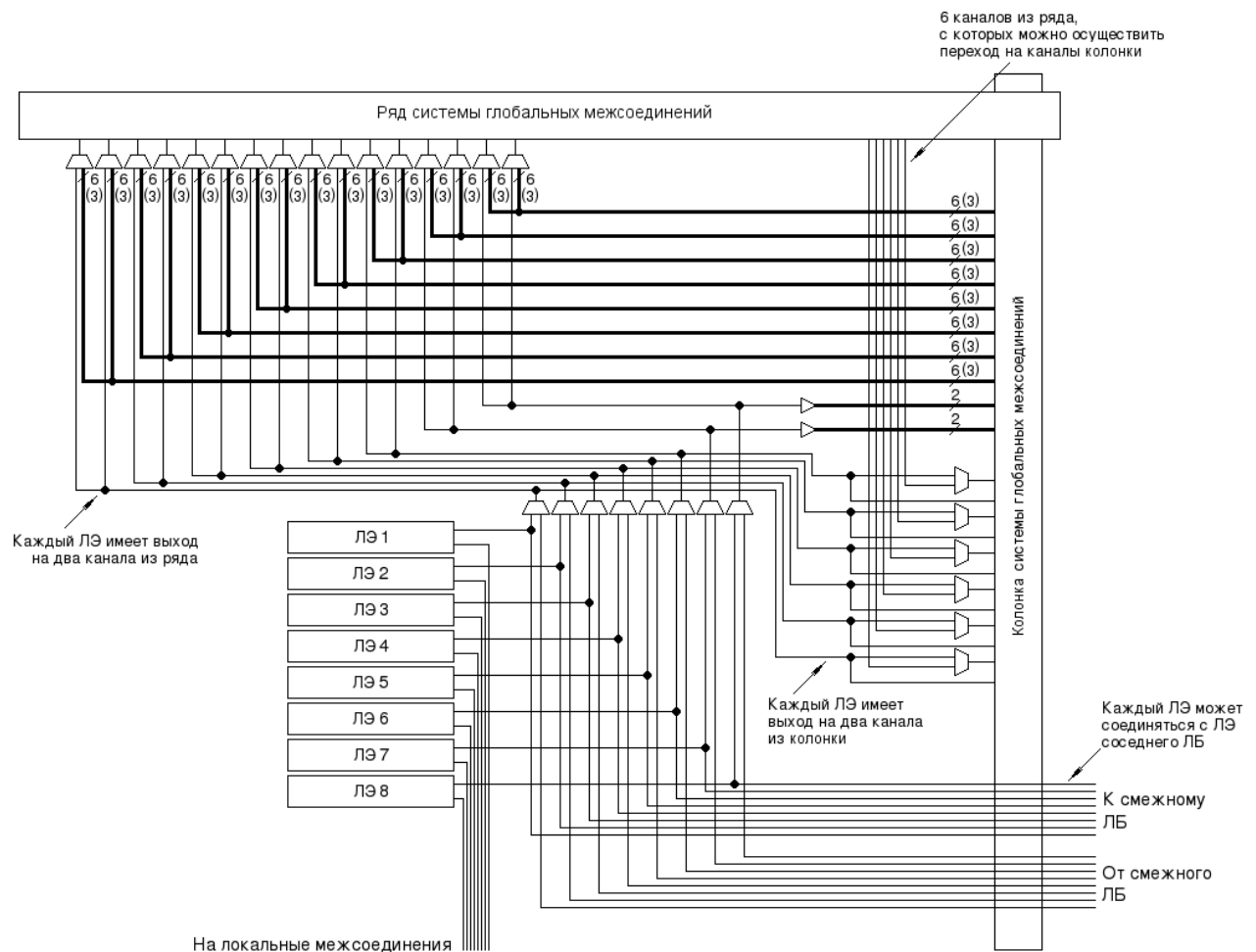


Рисунок 13 – Подключение ЛБ к колонке и ряду системы межсоединений ПЛИС 5576XC3Т и 5576XC4Т (в скобках указана размерность шин ПЛИС 5576XC3Т)

Связь между ЛБ и БВП, расположенными в разных рядах, осуществляется посредством колонки межсоединений. В этом случае сигнал из колонки межсоединений должен быть перенесен в ряд межсоединений, прежде чем он поступит на вход ЛБ или БВП.

Для оптимизации трассировки ряды межсоединений включают в себя каналы двух типов:

- каналы полной длины (Global Fast Track), которые обслуживают все ЛБ и БВП в ряду;

Имп. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

- каналы половинной длины (Half Fast Track), которые в свою очередь делятся на каналы для левой половины ряда (Left Half Fast Track) и каналы для правой половины ряда (Right Half Fast Track). Каналы типа Left Half Fast Track обслуживают БВП и ЛБ из левой половины ряда, а каналы типа Right Half Fast Track обслуживают ЛБ из правой половины ряда. Выходы ЛЭ могут быть скоммутированы как на каналы полной длины, так и на каналы половинной длины, поэтому соседние ЛБ могут быть соединены за счёт использования половины канала, при этом сохраняется другая половина канала для другой половины ряда. Выходы БВП могут быть скоммутированы только на каналы с полной длиной.

На рисунке 14 показано, каким образом ЛБ связаны с рядами и колонками межсоединений, а так же связь ЛБ по цепям каскадирования и переноса. В САПР ф. Altera MAX+PLUS II или Quartus II каждый ЛБ обозначен соответственно своему месторасположению: буква латинского алфавита обозначает ряд, а цифра – колонку. У ПЛИС 5576XC3T и 5576XC4T ряды промаркированы буквами A, B, C, D, E, F, G, H, I, J, K, L и A, B, C, D, E, F, G, H, I, J, K, L, M, N, O, P, Q, R, S, T, U, V, W, X соответственно, а колонки цифрами 1–52. Так, например, ЛБ В3 находится в ряду В, в колонке 3.

Помимо глобальной системы межсоединений, ПЛИС имеет четыре выделенных входа и два глобальных тактовых входа, которые обеспечивают прохождение сигналов с малым разбросом (skew) по всему устройству. Эти шесть входов могут быть использованы для глобального тактирования, сброса, установки и управления третьим состоянием, а также в качестве входов данных для всех ЛБ, БВП и элементов ввода-вывода в устройстве.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

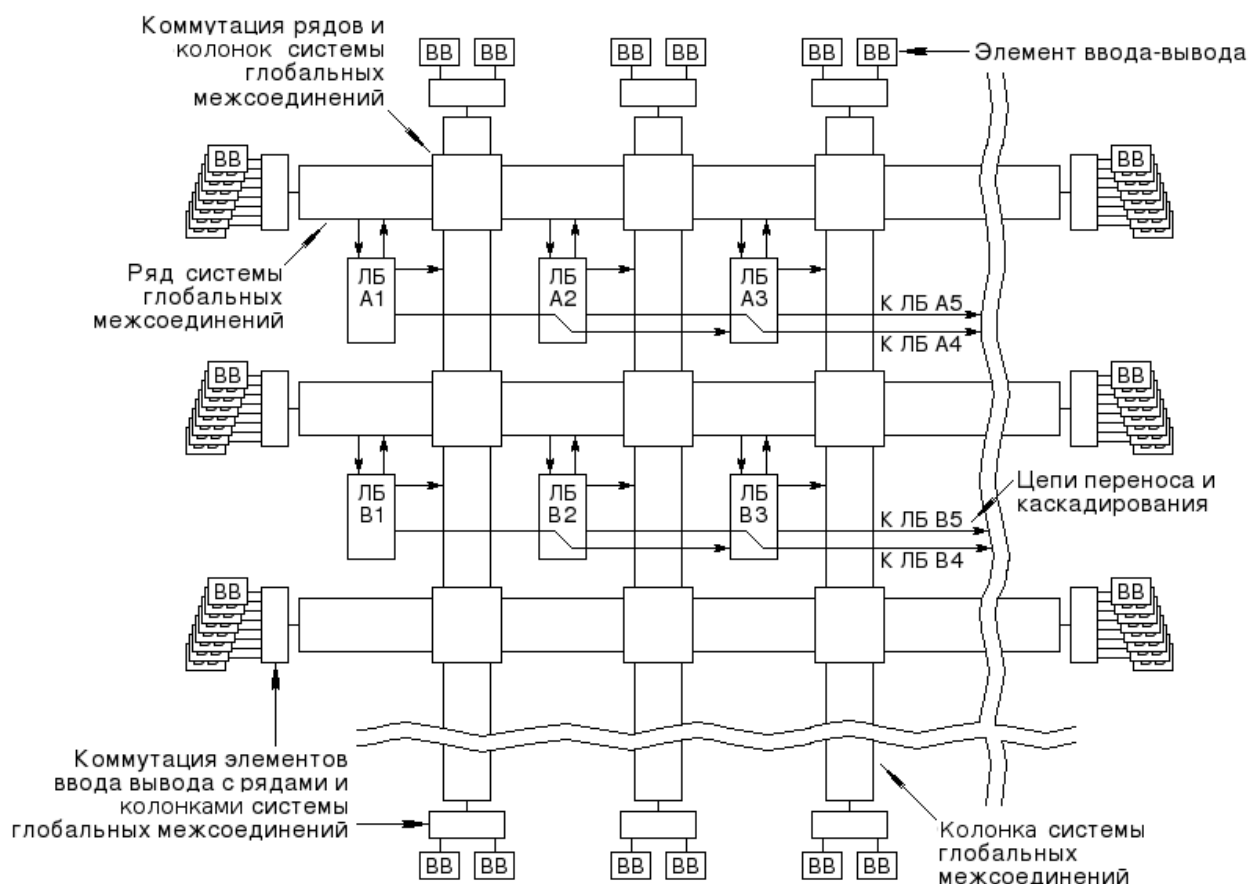


Рисунок 14 – Структура системы межсоединений

5.5 Элемент ввода-вывода

Для согласования внутренней части ПЛИС с внешними устройствами используется элемент ввода-вывода. Схема элемента ввода-вывода приведена на рисунке 15. Он содержит двунаправленный буфер и триггер, который можно использовать как входной регистр для внешних данных с малым временем предустановки или как выходной регистр с малой задержкой от тактового входа до выхода. Каждый элемент ввода-вывода может быть сконфигурирован как вход, выход или двунаправленный вход/выход.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

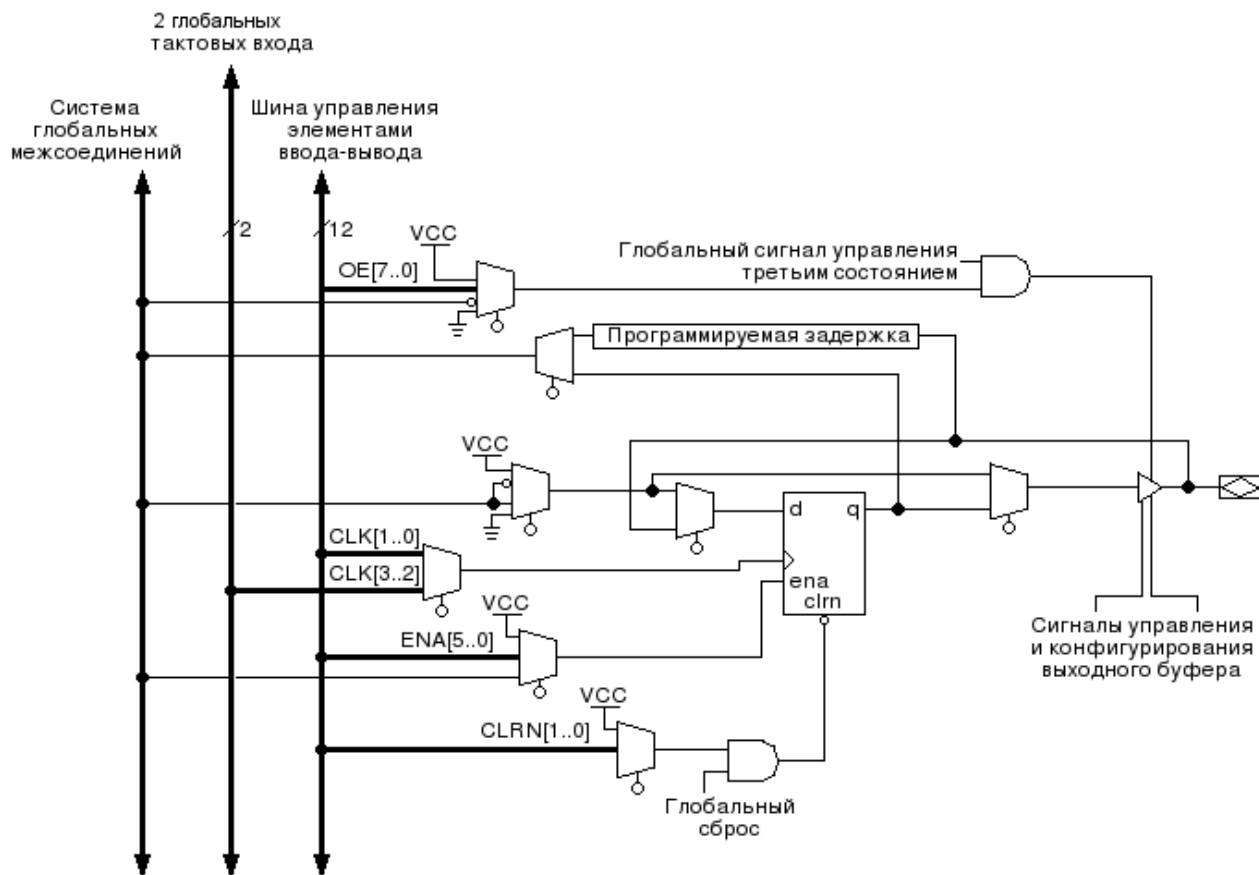


Рисунок 15 – Схема элемента ввода-вывода

Для сокращения времени удержания сигнала предусмотрено включение программируемой задержки. В случае необходимости сокращения времени предустановки программируемая задержка может быть отключена.

Элементы ввода-вывода обслуживаются высокоскоростной периферийной шиной управления. Эта шина состоит из 12 разрядов, которые можно разделить по функциональному назначению следующим образом:

- до восьми сигналов управления третьим состоянием;
- до шести сигналов разрешения тактового сигнала;
- до двух тактовых сигналов;
- до двух сигналов сброса.

В случае необходимости использования более восьми сигналов управления третьим состоянием или более шести сигналов разрешения тактового сигнала могут быть задействованы дополнительные сигналы, поступающие со специально предназначенных горизонтальных или вертикальных каналов системы глобальных межсоединений.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

В дополнение к двум тактовым сигналам, имеющимся в периферийной шине управления, каждый элемент ввода-вывода может управляться одним из двух глобальных тактовых входов.

На каждый разряд периферийной шины управления сигнал может поступать с любого из четырех выделенных входов или с любого из двух глобальных тактовых входов. Так же на каждый разряд периферийной шины управления сигнал можно завести с первого ЛЭ каждого ЛБ через ряд межсоединений или с других ЛЭ через столбец межсоединений.

Сигнал глобального сброса осуществляет сброс всех триггеров элементов ввода-вывода независимо от значения других сигналов управления.

В таблице 9 приведены периферийные сигналы управления и ряды, в которых они формируются.

Таблица 9 – Формирование периферийных сигналов управления

Периферийный сигнал управления	Ряд формирующий глобальный сигнал	
	5576XC3T	5576XC4T
OE0	RowA	RowG
OE1	RowC	RowI
OE2	RowE	RowK
OE3	RowL	RowR
OE4	RowI	RowO
OE5	RowK	RowQ
ENA0/CLK0	RowF	RowL
ENA1/OE6	RowD	RowJ
ENA2/CLRN0	RowB	RowH
ENA3/OE7	RowH	RowN
ENA4/CLRN1	RowJ	RowP
ENA5/CLK1	RowG	RowM

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.5.1 Соединение элементов ввода-вывода с горизонтальными каналами

На рисунке 16 показана связь между элементами ввода-вывода и рядом межсоединений. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами ряда, которые доступны всем ЛЭ данного ряда. Когда элемент ввода-вывода сконфигурирован как выход, то сигнал на контактную площадку поступает с одного из 39 каналов ряда. К каждому ряду межсоединений подключено по восемь элементов ввода-вывода с левой и правой сторон кристалла.

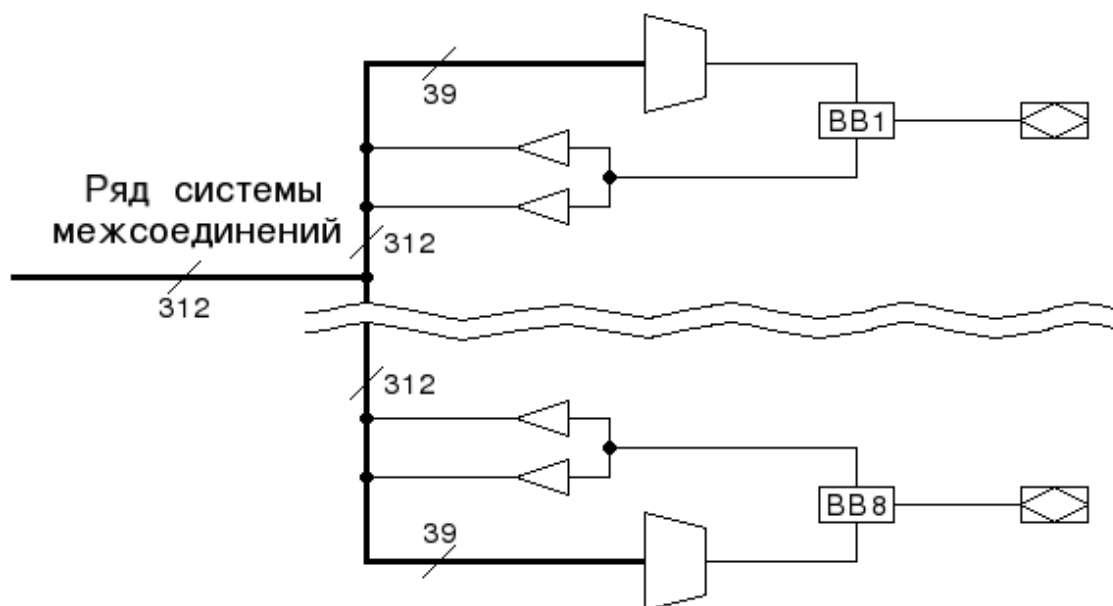


Рисунок 16 – Коммутация элементов ввода-вывода и ряда межсоединений

5.5.2 Соединение элементов ввода-вывода с вертикальными каналами

На рисунках 17 а), б) показано соединение между колонкой межсоединений и элементами ввода-вывода для ПЛИС 5576XC3Т и 5576XC4Т соответственно. К каждой колонке межсоединений подключено по два элемента ввода-вывода с верхней и нижней сторон кристалла. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами из колонки. Когда элемент ввода-вывода сконфигурирован как выход, то сигнал на контактную площадку поступает с одного из 16 (для ПЛИС 5576XC3Т) или 40 (для ПЛИС 5576XC4Т) каналов колонки.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

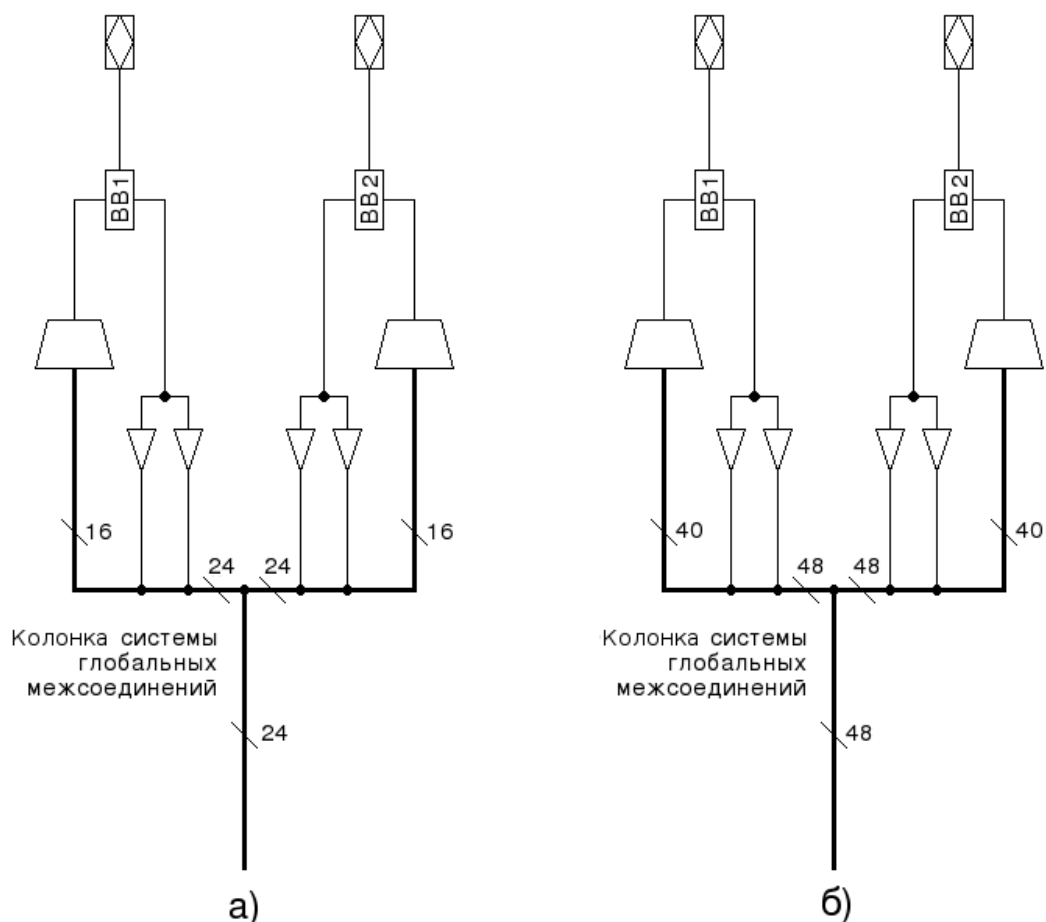


Рисунок 17 – Коммутация элементов ввода-вывода и колонки межсоединений для ПЛИС 5576ХС3Т (а) и ПЛИС 5576ХС4Т (б)

5.5.3 Контроль скорости нарастания выходного напряжения

Выходные буферы в каждом элементе ввода-вывода имеют регулируемую скорость изменения выходного напряжения. Возможна настройка выходного буфера под малощумящее или высокоскоростное исполнение. Понижение скорости изменения выходного напряжения уменьшает помехи по шинам питания и приводит к увеличению времени задержки. Большую скорость изменения выходного напряжения следует использовать для цепей в достаточной мере защищенных от помех.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.5.4 Выход с открытым стоком

Любой пользовательский элемент ввода-вывода можно сконфигурировать как выход с открытым стоком (электрический эквивалент открытого коллектора). Наличие этой опции позволяет обеспечить получение сигналов контроля системного уровня (такие как сигнал прерывания, сигнал разрешения записи), а также дает возможность реализации логической схемы типа монтажного «ИЛИ».

5.6 Поддержка периферийного сканирования

ПЛИС поддерживают схему периферийного сканирования по JTAG порту, которая удовлетворяет техническим требованиям стандарта IEEE Std. 1149.1. Подробное описание интерфейса JTAG приведено в инструкции по программированию ГПКФ 431262.003Д4.

6 Тестирование

Каждая ПЛИС проходит полный цикл тестирования всех функциональных блоков и всех режимов их работы, что гарантирует 100 % годность ПЛИС.

7 Расчет рассеиваемой мощности ПЛИС

Рассеиваемую мощность P_{tot} , Вт, вычисляют по формуле

$$P_{tot} = P_{tot1} + P_{tot2}, \quad (1)$$

где P_{tot1} – рассеиваемая мощность ядра, Вт;

P_{tot2} – рассеиваемая мощность периферии, Вт.

Рассеиваемую мощность ядра P_{tot1} , Вт, вычисляют по формуле

$$P_{tot1} = (I_{CC1} + I_{OCC1}) \cdot U_{CC1}, \quad (2)$$

где I_{CC1} – ток потребления ядра, А;

I_{OCC1} – динамический ток потребления ядра, А;

U_{CC1} – напряжение питания ядра, В.

Динамический ток потребления ядра I_{OCC1} , А, вычисляют по формуле

$$I_{OCC1} = K \cdot f_{Cmax} \cdot N_{LC} \cdot t_{ogLC} \cdot 10^{-6}, \quad (3)$$

где K – коэффициент пропорциональности величины тока потребления от частоты, мкА/МГц.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Данный коэффициент зависит от проекта (конфигурации логического элемента и нагрузки, подключенной к его выходу) и внешних условий (напряжения питания и температуры). Для типового проекта $K = 2,5 \text{ мкА/МГц}$;

f_{Cmax} – максимальная частота следования импульсов тактового сигнала, МГц;

N_{LC} – количество задействованных в данном проекте логических элементов;

tog_{LC} – средняя доля от задействованных в проекте логических элементов, переключающихся по каждому такту (типовое значение 0,125).

Рассеиваемую мощность периферии P_{tot2} , Вт, вычисляют по формуле

$$P_{\text{tot2}} = I_{\text{CC2}} \cdot U_{\text{CC2}} + \sum I_{\text{OLi}} \cdot U_{\text{OLi}} + \sum |I_{\text{OH}i}| \cdot (U_{\text{CC2}} - U_{\text{OH}i}) + I_{\text{OCC2}} \cdot U_{\text{CC2}}, \quad (4)$$

где I_{CC2} – ток потребления периферии, А;

I_{OLi} – ток нагрузки низкого уровня для i -го выхода, А;

U_{OLi} – выходное напряжение низкого уровня для i -го выхода, В;

$I_{\text{OH}i}$ – ток нагрузки высокого уровня для i -го выхода, А;

$U_{\text{OH}i}$ – выходное напряжение высокого уровня для i -го выхода, В;

I_{OCC2} – динамический ток потребления периферии, А;

U_{CC2} – напряжение питания периферии, В.

Динамический ток потребления периферии I_{OCC2} , А, вычисляют по формуле

$$I_{\text{OCC2}} = 0,5 \cdot C_L \cdot f_{\text{Cmax}} \cdot N_{\text{IO}} \cdot \text{tog}_{\text{IO}} \cdot (U_{\text{OH}} - U_{\text{OL}}) \cdot 10^{-6}, \quad (5)$$

где C_L – средняя ёмкость нагрузки на выходе ПЛИС, пФ;

N_{IO} – количество задействованных в данном проекте элементов ввода-вывода;

tog_{IO} – средняя доля от задействованных в проекте элементов ввода-вывода, переключающихся по каждому такту (типовое значение 0,125).

Приведенный выше расчет позволяет получить приблизительную оценку рассеиваемой мощности конкретного проекта.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

[illegible]

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата