

Лабораторная работа № 1
по курсу «Программное обеспечение цифрового проектирования»
«Основы языка VHDL.
Изучение программного средства Aldec Active-HDL»

Необходимое программное обеспечение:

- Xilinx ISE Design suite;

1. Скомпилировать и произвести функциональное моделирование мультиплексора, который задается следующим vhdl-кодом:

```
LIBRARY ieee;                      -- Use IEEE library
USE ieee.std_logic_1164.all;       -- IEEE packages

ENTITY mux IS                      -- Entity of multiplexer
  port(                             -- Ports description
    A,B,S: in std_logic;           -- A and B are logical inputs
                                     -- S is the control input signal
    Z: out std_logic               -- Z is a logical output
  );
END mux;
--
ARCHITECTURE beh OF mux IS         -- Architecture of multiplexer
BEGIN
  Z<=A when S='0' else B;          -- Behavioural description by logic equation
END beh;
```

2. Следующие задания выполняются в зависимости от уровня притязаний студента. Минимально необходимо выполнить заданий не менее чем на 4 балла.
 - a. Разработайте vhdl-описание 4-входового элемента OR, AND или XOR. Произведите функциональное моделирование. Постройте таблицу истинности для данного описания и произведите моделирование для каждого из наборов входных значений **(4 балла)**.
 - b. Разработайте vhdl-описание следующего логического выражения $Q = in1 * in2 + in3 * \sim(in2)$, где Q – выходной сигнал, in1, in2, in3 – входные сигналы, * - операция логического И (AND), + - операция логического ИЛИ (OR), ~ - операция логического отрицания. Произведите функциональное моделирование. Постройте таблицу истинности для данного описания и произведите моделирование для каждого из наборов входных значений **(6 баллов)**.
 - c. Модифицируйте vhdl-описание из задания b, добавив выходной сигнал nQ, значение которого вычисляется с помощью выражения $nQ = \sim(Q)$. Произведите симуляцию. Постройте таблицу истинности для данного описания и произведите моделирование для каждого из наборов входных значений **(8 баллов)**.
 - d. Разработайте vhdl-описание мультиплексора, который имеет 4 входа (две группы по два сигнала), один селектирующий сигнал (сигнал выбора) и два выходных сигнала. Селектирующий сигнал соединяет одну группу входных сигналов с выходным сигналом. Постройте таблицу истинности для данного

описания и произведите моделирование для каждого из наборов входных значений **(10 баллов)**.

3. Контрольные вопросы

- Что такое VHDL? Основные характеристики
- Отличия аналоговых и цифровых устройств
- Комбинационные и последовательностные схемы. Отличия
- Виды описаний на VHDL.
- Тип `std_logic`.
- Определения ПЛИС и платы быстрого прототипирования
- Что такое мультиплексор? Варианты реализаций
- Формы представления и минимизации логических функций.