

Лабораторная работа № 3

по курсу «Программное обеспечение цифрового проектирования»

«Базовые элементы памяти и RTL-синтез»

Необходимое программное обеспечение:

- Xilinx ISE (в качестве средств синтеза);

~~1. Составить vhdl-описание бистабильного элемента, произвести его функциональное моделирование при помощи TestBench (см. рис. 1):~~

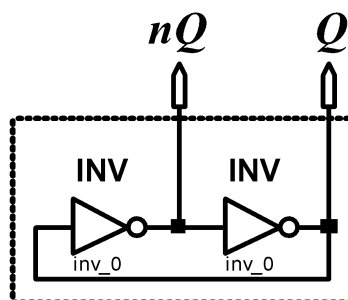


Рис. 1. Структурная схема бистабильного элемента.

~~2. Составить структурное и поведенческое vhdl описание RS защелки (RS latch) произвести его функциональное моделирование при помощи TestBench (см. рис. 2). После чего составить параметрическую модель с транспортными и инерционными задержками и произвести ее функциональное моделирование:~~

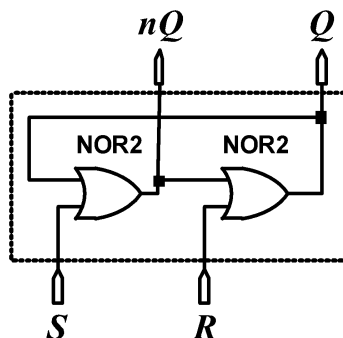


Рис. 2. RS-защелка.

~~3. Прodelать все действия из пункта 2 с D-защелкой (см. рис. 3):~~

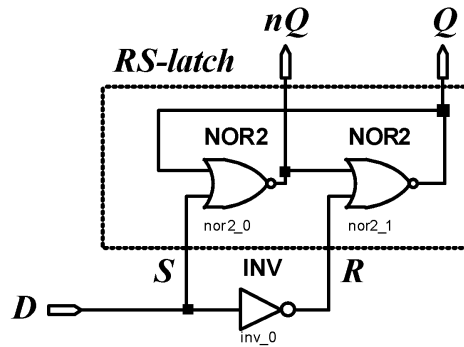


Рис. 3. D-защелка.

4. Прodelать все действия из пункта 2 с D-защелкой с разрешением (см. рис. 4):

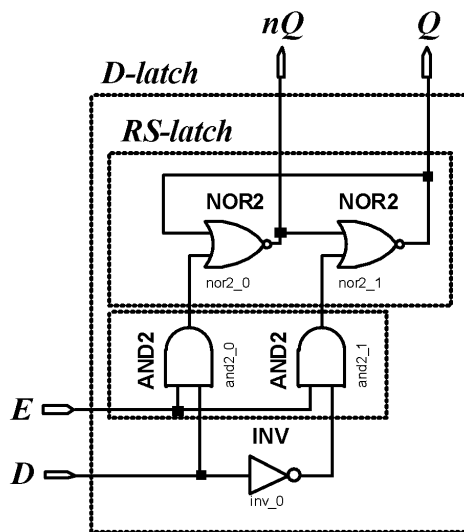


Рис. 4. D-защелка с разрешением.

5. Выполните индивидуальное задание (составление поведенческой модели и функциональное моделирование при помощи TestBench):
- ~~5.1. D-защелка с возможностью асинхронного сброса;~~
 - ~~5.2. D-защелка с возможностью асинхронной предустановки;~~
 - ~~5.3. D-триггер;~~
 - ~~5.4. D-триггер с разрешением;~~
 - ~~5.5. D-триггер с возможностью асинхронного сброса;~~
 - ~~5.6. D-триггер с возможностью асинхронной предустановки;~~
 - 5.7. D-триггер с возможностью синхронной предустановки и асинхронного сброса;
 - 5.7. RS-триггер;
 - 5.8. JK-триггер;
 - ~~5.9. T-триггер;~~
 - 5.10. Модель D-триггера Master-Slave (структурное описание);
 - а. Одно задание (4 балла).
 - б. Два задания (5 баллов).
 - в. Три задания (6 баллов).
 - г. Четыре задания (7 баллов).
 - д. Пять заданий (8 баллов).

- f. Семь заданий (**9 баллов**).
- 6. Изучить поведение RS-защелки при переходе из запрещенного состояния в состояние хранения для модели Post Place&Route. Пояснить полученные результаты (10 баллов). ,
- 7. Контрольные вопросы
 - a. Транспортные и инерционные задержки. Описание и особенности
 - b. Отличия триггера от защелки.
 - c. Синхронные и асинхронные схемы.
 - d. Запрещенное состояние RS-latch.
 - e. Описание на VHDL элементов памяти (почему при неполном условном операторе синтезатор поставит элемент памяти).
 - f. Виды описаний триггеров и защелок.