

# AXILite Reg Station

# Table of contents

<b>Chapter 1. Introduction .....</b>	<b>3</b>
1.1. Purpose .....	3
1.2. Base function .....	3
1.3. Configuration .....	3
<b>Chapter 2. Functional description .....</b>	<b>5</b>
2.1. Block diagram .....	5
2.2. Work description .....	5
2.3. Memory map .....	6
2.4. Block diagram CRI .....	6
<b>Chapter 3. Ports description .....</b>	<b>8</b>
3.1. Clock ports description .....	10
3.2. Reset ports description .....	10
3.3. Interrupt request ports description .....	11
3.4. Bus interfaces description .....	11
<b>Chapter 4. Programming .....</b>	<b>12</b>
4.1. Initialization .....	12
4.2. Work with reset .....	12
<b>Chapter 5. Power architecture .....</b>	<b>13</b>
<b>Chapter 6. Bibliography .....</b>	<b>14</b>
<b>Chapter 7. Documentation version .....</b>	<b>15</b>

# Chapter 1. Introduction

## 1.1. Purpose

Блок AXILite Reg Station предназначен для разделения длинных трасс AXI4-Lite в составе СнК, с целью упрощения маршрутизации и обеспечения требуемой рабочей частоты системы. Достигается с использованием промежуточных регистров с задержкой передачи, равной 1 такту тактового сигнала блока.

## 1.2. Base function

- передача транзакций AXI4-Lite между slave и master AXI4-Lite портами с использованием промежуточных регистров
- параметризация ширины адреса и данных
- проверка соблюдения протокола AXI4-Lite и при установленном разрешении для данного функционала параметром формирование ответа ошибки при нарушении протокола
- генерация прерывания при нарушении протокола AXI4-Lite при установленном разрешении для данного функционала параметром
- параметризация длительности прерывания
- синхронизация сигнала сброса при установленном разрешении для данного функционала параметром

## 1.3. Configuration

*Table 1. Parameters*

Parameter	Value range	Default value	Description
ADDR_WIDTH	[32:64]	32	Разрядность адресной шины AXI4-Lite.
DATA_WIDTH	32, 64	32	Разрядность шины данных AXI4-Lite.
ERR_RESP_EN	0, 1	0	Разрешение формирования ответа об ошибке при нарушении протокола AXI4-Lite: 0 – выключено, 1 – включено.
IRQ_EN	0, 1	0	Разрешение генерации прерывания при нарушении протокола AXI4-Lite: 0 – выключено, 1 – включено. Генерация прерывания возможна только при установленном параметре ERR_RESP_EN в единицу, иначе значения параметра IRQ_EN не имеет значения.

IRQ_HOLD_TIME	[1:2 <sup>16</sup> ]	2 <sup>10</sup>	Количество тактов удержания сигнала прерывания в активном состоянии. В случае установки значения параметра за пределами допустимого диапазона длительность удержания сигнала прерывания будет равняться дефолтному значению.
RST_SYNC_EN	0, 1	0	Разрешение функционала внутренней синхронизации сигнала сброса aresetn с тактовым сигналом aclk: 0 – выключено, 1 – включено.

При установке значения параметра вне допустимого диапазона к нему будет применено дефолтное значение.

# Chapter 2. Functional description

## 2.1. Block diagram

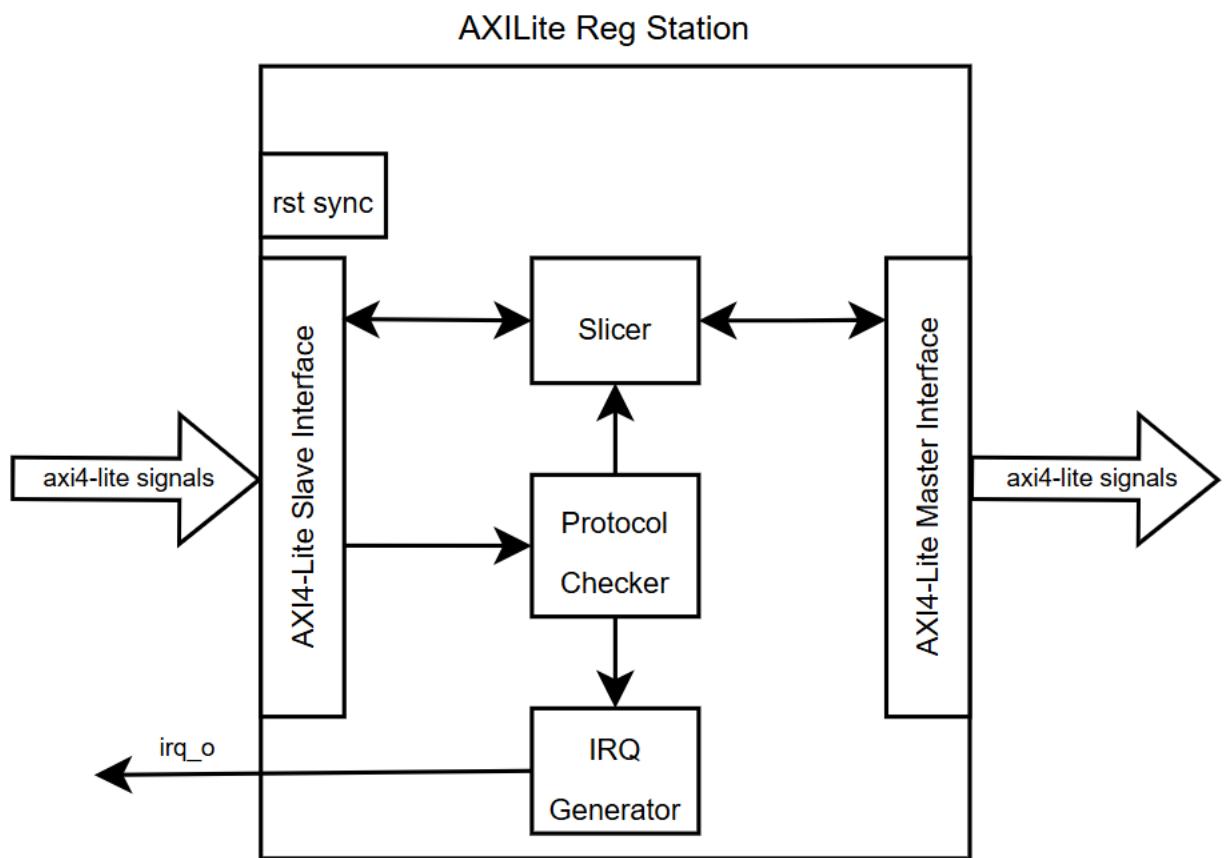


Figure 1. Блок-схема AXILite Reg Station

AXILite Reg Station построен из следующих компонентов:

- rst sync – блок синхронизации сигнала сброса
- AXI4-Lite Slave Interface – интерфейс приема команд и данных от внешнего мастера AXI4-Lite
- Slicer – подблок регистровой передачи и согласования сигналов между AXI4-Lite Slave Interface и AXI4-Lite Master Interface
- Protocol Checker – подблок логики контроля соблюдения протокола AXI4-Lite: выровненность данных, неравенство нулю сигнала wstrb при активном wvalid
- IRQ Generator – подблок формирования сигнала прерывания
- AXI4-Lite Master Interface - интерфейс инициирования команд и передачи данных для управления ведомыми устройствами на шине AXI4-Lite

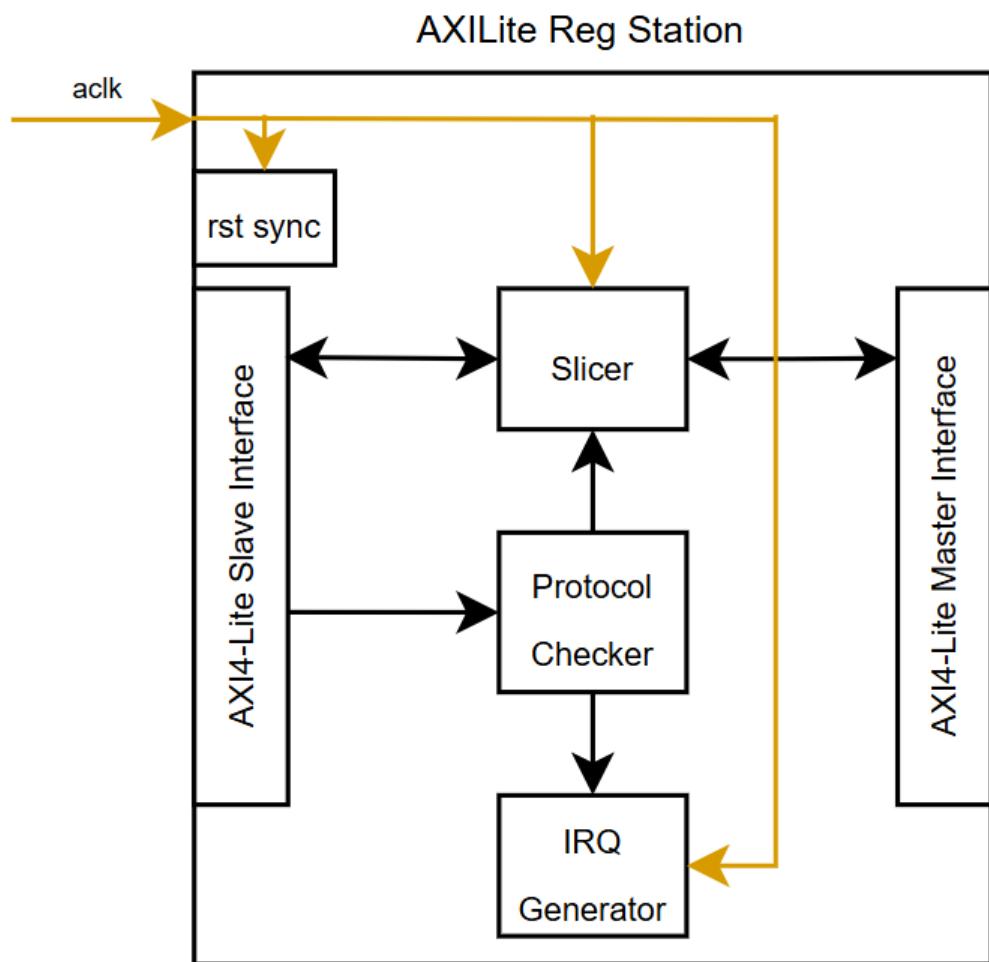
## 2.2. Work description

Блок реализует проход транзакций AXI4-Lite с использованием промежуточных регистров. Все входные сигналы S\_AXI транслируются на выход M\_AXI с управлением сигналами ready/valid, обеспечивающим корректные временные зависимости. При ERR RESP EN=1 включается Protocol Checker, который анализирует соответствие последовательности сигналов стандарту AXI4-Lite. При нарушении формируется ошибка SLVERR и, если активен IRQ\_EN, генерируется сигнал прерывания irq\_o на время IRQ\_HOLD\_TIME тактов.

## 2.3. Memory map

Карта памяти в данном блоке отсутствует.

## 2.4. Block Diagram CRI



2.5. Figure 2. Блок-схема системы тaktирования

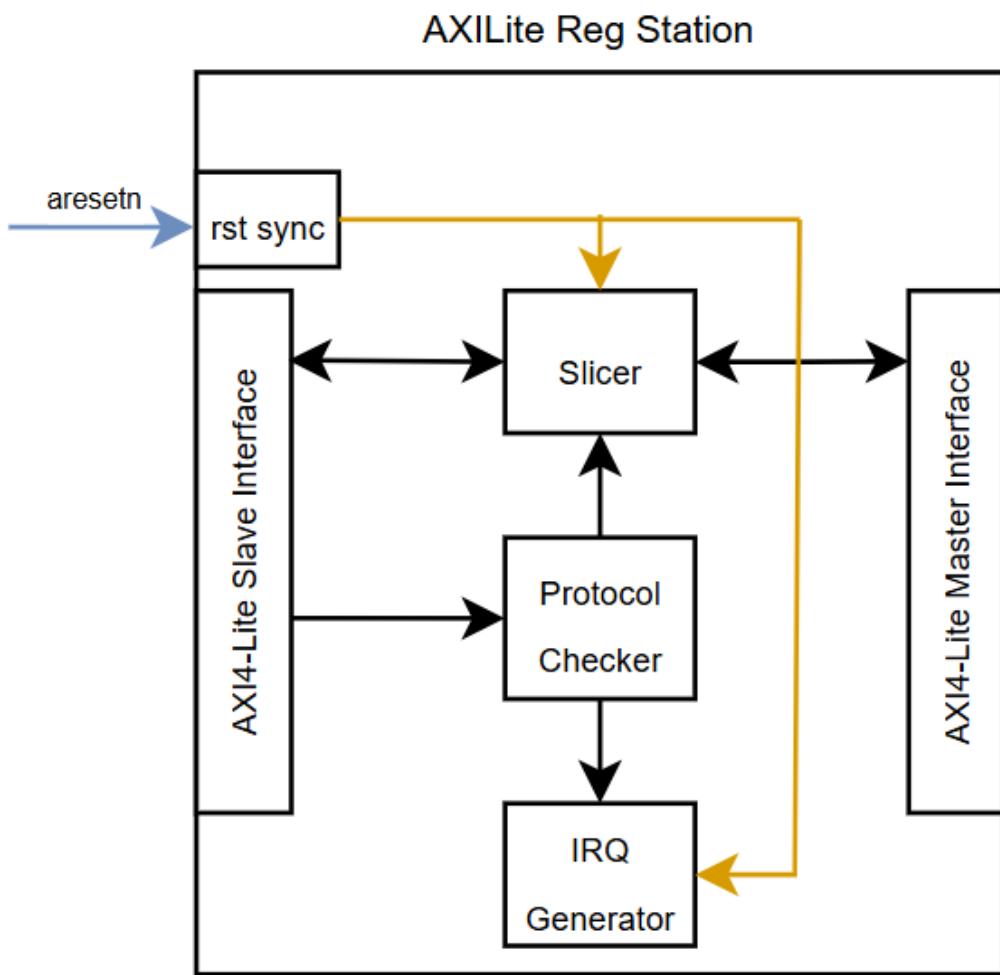


Figure 3. Блок-схема системы сброса

# Chapter 3. Ports description

Table 2. All ports

Port	Width	Direction	Clock domain	Reset value	Description
Clocks					
aclk	1	in	-	-	Основной тактовый сигнал блока
Resets					
aresetn	1	in	async	-	Основной сигнал сброса
Interrupts					
irq_o	1	out	aclk	0	Сигнал прерывания
AXI4-Lite slave port					
s_axi_awaddr	ADDR_WIDTH	in	aclk	-	Адрес записи
s_axi_awvalid	1	in	aclk	-	Сигнал достоверности адреса записи
s_axi_awready	1	out	aclk	0	Сигнал готовности приема адреса записи
s_axi_awprot	3	in	aclk	-	Тип защиты транзакции записи
s_axi_wdata	DATA_WIDTH	in	aclk	-	Записываемые данные
s_axi_wvalid	1	in	aclk	-	Сигнал достоверности записываемых данных
s_axi_wready	1	out	aclk	0	Сигнал готовности приема записываемых данных
s_axi_wstrb	DATA_WIDTH/8	in	aclk	-	Сигнал указывает, какие байты в слове данных должны быть записаны
s_axi_bresp	2	out	aclk	0	Тип ответа на транзакцию записи
s_axi_bvalid	1	out	aclk	0	Сигнал достоверности ответа на транзакцию записи

s_axi_bready	1	in	aclk	-	Сигнал готовности приема ответа на транзакцию записи
s_axi_araddr	ADDR_WIDTH	in	aclk	-	Адрес чтения
s_axi_arvalid	1	in	aclk	-	Сигнал достоверности адреса чтения
s_axi_arready	1	out	aclk	0	Сигнал готовности приема адреса чтения
s_axi_arprot	3	in	aclk	-	Тип защиты транзакции чтения
s_axi_rdata	DATA_WIDTH	out	aclk	0	Читаемые данные
s_axi_rvalid	1	out	aclk	0	Сигнал достоверности читаемых данных
s_axi_rready	1	in	aclk	-	Сигнал готовности приема читаемых данных
s_axi_rresp	2	out	aclk	0	Тип ответа на транзакцию чтения
AXI4-Lite master port					
m_axi_awaddr	ADDR_WIDTH	out	aclk	0	Адрес записи
m_axi_awvalid	1	out	aclk	0	Сигнал достоверности адреса записи
m_axi_awready	1	in	aclk	-	Сигнал готовности приема адреса записи
m_axi_awprot	3	out	aclk	0	Тип защиты транзакции записи
m_axi_wdata	DATA_WIDTH	out	aclk	0	Записываемые данные
m_axi_wvalid	1	out	aclk	0	Сигнал достоверности записываемых данных
m_axi_wready	1	in	aclk	-	Сигнал готовности приема записываемых данных
m_axi_wstrb	DATA_WIDTH/8	out	aclk	0	Сигнал указывает, какие байты в слове данных должны быть записаны

m_axi_bresp	2	in	aclk	-	Тип ответа на транзакцию записи
m_axi_bvalid	1	in	aclk	-	Сигнал достоверности ответа на транзакцию записи
m_axi_bready	1	out	aclk	0	Сигнал готовности приема ответа на транзакцию записи
m_axi_araddr	ADDR_WIDTH	out	aclk	0	Адрес чтения
m_axi_arvalid	1	out	aclk	0	Сигнал достоверности адреса чтения
m_axi_arready	1	in	aclk	-	Сигнал готовности приема адреса чтения
m_axi_arprot	3	out	aclk	0	Тип защиты транзакции чтения
m_axi_rdata	DATA_WIDTH	in	aclk	-	Читаемые данные
m_axi_rvalid	1	in	aclk	-	Сигнал достоверности читаемых данных
m_axi_rready	1	out	aclk	0	Сигнал готовности приема читаемых данных
m_axi_rresp	2	in	aclk	-	Тип ответа на транзакцию чтения

### 3.1. Clock ports description

- aclk – тактовый сигнал блока

### 3.2. Reset ports description

- aresetn – асинхронный сигнал сброса с активным низким уровнем

В случае установленного в ноль параметра конфигурации RST\_SYNC\_EN требуется подача сигнала сброса aresetn, синхронизированного с основным тактовым сигналом. Минимальная длительность сигнала сброса равняется 2 тактам частоты aclk. При удержании сигнала сброса меньше указанной минимальной длительности срабатывание сброса не гарантируется.

### 3.3. Interrupt request ports description

- irq\_o – сигнал прерывания с активным высоким уровнем

Сигнал формируется в IRQ Generator на основе детектирования в Protocol Checker нарушения протокола AXI4-Lite. Это применимо только при установленных параметрах конфигурации блока ERR\_RESP\_EN и IRQ\_EN в единицу.

### 3.4. Bus interfaces description

- s\_axi – AXI4-Lite slave интерфейс
- m\_axi – AXI4-Lite master интерфейс

\* s\_axi и m\_axi – префиксы наименований портов AXI4-Lite slave и AXI4-Lite master интерфейсов

# Chapter 4. Programming

## 4.1. Initialization

1. Clock ready: подача тактового сигнала aclk
2. Reset release: подача сигнала сброса aresetn, ожидание не менее двух тактов частоты aclk, снятие сигнала сброса aresetn

## 4.2. Work with reset

При активации сброса управляющие сигналы переходят в значения по сбросу, сигнал прерывания – в неактивное состояние, происходит сброс внутреннего состояния подблоков Slicer, IRQ Generator.

## Chapter 5. Power architecture

Вся логика блока находится в одном домене питания. Отдельных требований к питанию нет.

# Chapter 6. Bibliography

*Table 3. Literature*

Name	Link	Local path	Year
AMBA AXI and ACE Protocol Specification	<a href="https://documentation-service.arm.com/static/5f915b62f86e16515cdc3b1c">https://documentation-service.arm.com/static/5f915b62f86e16515cdc3b1c</a>	-	2013

# Chapter 7. Document version

*Table 4. Revision history*

Revision	Date	Comments	Author
0.1.0	17.10.2025	First version	Svetlana Mineeva
0.1.1	14.11.2025	The list of checks for the protocol checker has been clarified	Svetlana Mineeva