



Apellidos :

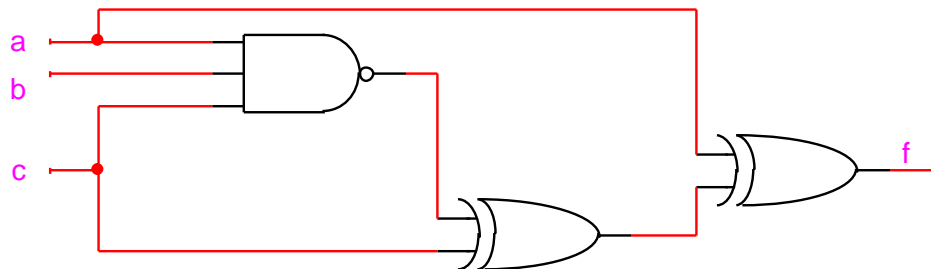
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

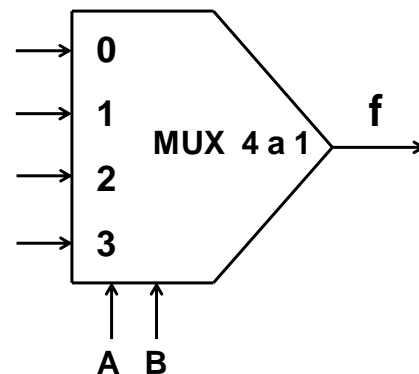
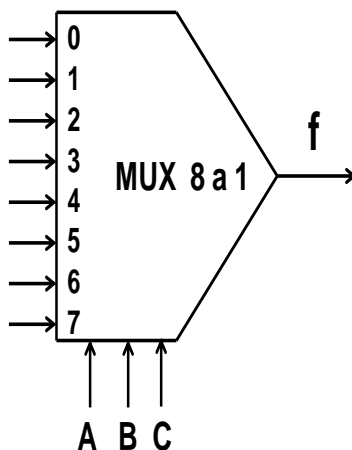
1. (0,5 pto.) Analice el circuito de la figura y obtenga razonadamente la tabla de verdad de la función de conmutación $f(a,b,c)$



2. (0,75 pto.) Dada la función: $f(A, B, C) = \sum m(0, 1, 2, 5)$ y considerando C la variable menos significativa, obtenga su implementación de las siguientes formas:

- Con un multiplexor 8 a 1, utilizando A, B y C, como entradas de selección (o de control).
- Con un multiplexor 4 a 1, utilizando A y B como entradas de selección. Para ello indique qué valores de entrada aplicaría a dichos multiplexores de entre: $\{0, 1, C, \neg C\}$, donde $\neg C$ es la negación de C).

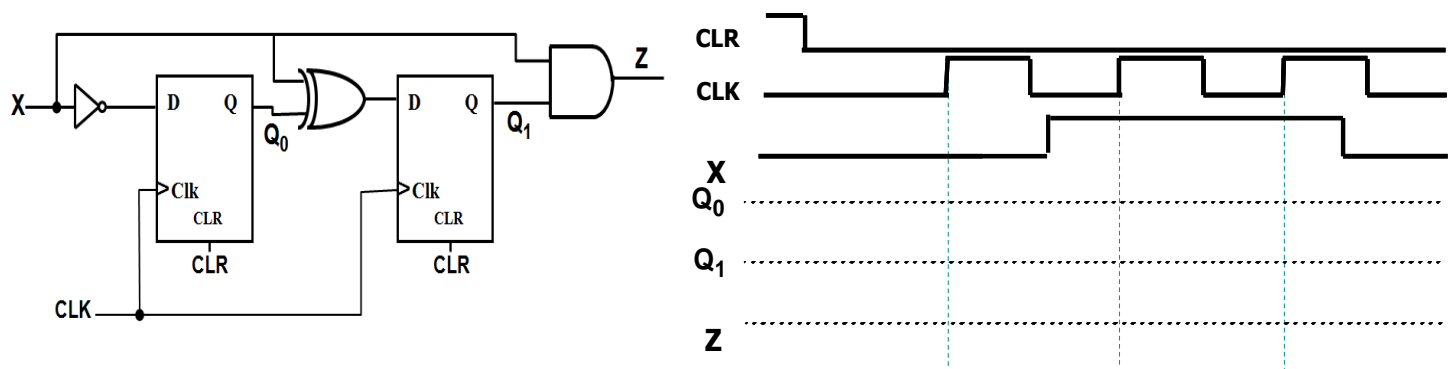
Nota: Para la respuesta, se pueden utilizar las figuras.



3. (0,5 pto.) Se desea diseñar un circuito combinacional tal que, dadas dos entradas de dos números binarios enteros positivos de 2 bits, $X=(x_1 x_0)$ e $Y=(y_1 y_0)$, genere la salida de 4 bits, $Z=(z_3 z_2 z_1 z_0)$, donde $Z=2*(X+Y)$, siendo "*" y "+" las operaciones de multiplicación y suma aritméticas. Para ello, realice lo siguiente:

- Tabla de verdad.
- Se quiere realizar el diseño con una memoria ROM de tamaño mínimo. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura de la ROM, indicando las conexiones requeridas en el plano OR.

4. (0,75 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura. Los biestables son disparados por flanco de subida.



5. (1,00 pto.) Empleando biestables de tipo D y las puertas lógicas que se necesiten, diseñe un generador de secuencia síncrono con 2 salidas binarias (z_1 y z_0), que genere la siguiente secuencia de valores de salida $Z=(z_1,z_0)=\{1, 2, 0, 2, 1, 3; 1, 2, 0, 2, 1, 3, \dots\}$.

6. (0,5 pto.) Realice el diagrama y tabla de estados de un circuito secuencial síncrono que consta de una entrada de datos X y una salida Z . El circuito debe generar $Z=1$ salvo cuando se recibe el último bit de una secuencia de tres bits iguales, en cuyo caso $Z=0$. El siguiente ejemplo indica el funcionamiento de Z :

X: 0 1 1 0 0 0 0 1 0 1 1 1 1 1 0 0 0 ...
Z: 1 1 1 1 1 0 0 1 1 1 1 0 0 0 1 1 0 ...

7. (1,00 pto.) Para la unidad de procesamiento de la figura:

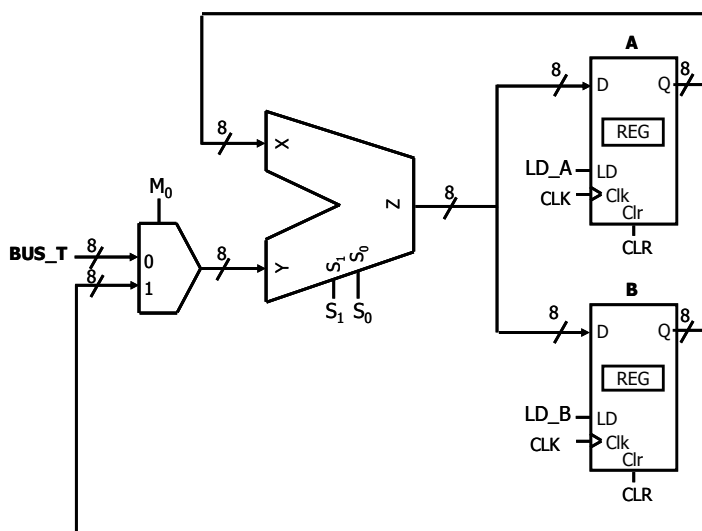


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	$\bar{X} \cdot \bar{Y}$
0	1	X MAS Y
1	0	Y
1	1	Y MAS 1

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
0	1	0	1	1	
1	1	0	0	0	
0	1	1	1	0	
1	1	0	0	1	



Apellidos :

Nombre :

Grupo :

D.N.I. :

1. **(0,50 pto.)** Dada la función: $f(A, B, C, D) = \sum m(0, 1, 2, 4, 6, 8, 10) + d(3, 12)$ y considerando D la variable menos significativa, obtenga su implementación mínima.

- Rellene los unos e indiferencias del mapa de Karnaugh indicando explícitamente:
 - Las variables correspondientes a cada eje (en la parte superior izquierda del mapa de Karnaugh)
 - Marque los cubos utilizados para la minimización (cubos o adyacencias de mayor orden).
- Expresión algebraica mínima.
- Dibujar el circuito de dos niveles de puertas lógicas **AND/OR**,
- Dibujar el circuito de dos niveles de puertas lógicas **NAND/NAND**.

	00	01	11	10
00				
01				
11				
10				

2. (0,50 pto.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

Tabla P2a

PROM Synthesizer								DIRECCIONES DE MEMORIA
E0	A0	78	79	F9	00	00	00	→ 00 – 07
00	00	00	00	00	00	00	00	→ 08 – 0F
00	00	00	00	00	00	00	00	→ 10 – 17
00	00	00	00	00	00	00	00	→ 18 – 1F
00	00	00	00	00	00	00	00	→ 20 – 27
00	00	00	00	00	00	00	00	→ 28 – 2F
00	00	00	00	00	00	00	00	→ 30 – 37
01	00	00	00	00	00	00	00	→ 38 – 3F

Tabla P2b

Dada la **Tabla P2b** correspondiente al contenido inicial de la memoria RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (de la dirección 0 a la 6, es decir la primera fila de la PROM, Tabla P2b) en la última columna de la **Tabla P2c**. A partir de esta información completar el resto de la **Tabla P2c**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

- b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria es el de la **Tabla P2b**. Indicar el dato en hexadecimal que se vería en la dirección \$39 de memoria RAM en los, siguientes instantes.

- tras la primera ejecución del programa.
- tras la segunda ejecución del programa.

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$20	$M(\$20) \leftarrow AC$	11	10 0000	E0

Tabla P2c