



UNIVERSIDAD
DE GRANADA

Fundamentos Físicos y Tecnológicos

Curso 2018/2019

Relación de problemas 5

1. Escribe las tablas de verdad para las siguientes funciones donde las variables son binarias:

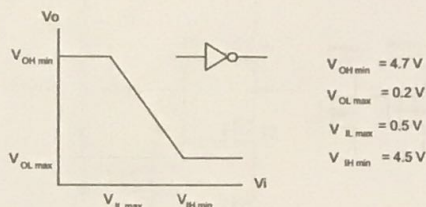
a) $f(A, B, C) = A + B \cdot C$

b) $f(A, B, C) = \overline{A + B \cdot C}$

c) $f(A, B) = \overline{A \cdot (A + B)}$

d) $f(A, B, C) = \overline{A \cdot (B + C)}$

2. Suponiendo que la respuesta del inversor de una cierta tecnología es la representada en la figura siguiente, determinar los márgenes de ruido en estado alto y bajo.



3. Una posibilidad para construir un inversor con un transistor NMOS es usar una resistencia como carga. Si a la resistencia se coloca una fuente de $V_{DD} = 15\text{ V}$, calcula V_{OL} , V_{OH} , el margen de ruido en estado alto y el margen de ruido en estado bajo si:

a) $R_D = 1\text{ k}\Omega$

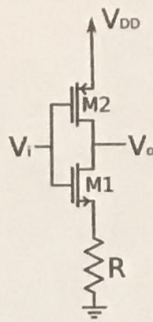
b) $R_D = 1\text{ M}\Omega$

Datos: $k = 10^{-3} \frac{\text{A}}{\text{V}^2}$, $V_T = 2\text{ V}$.

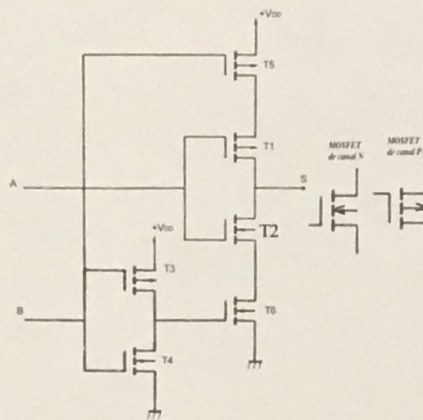
4. Una posibilidad para construir un inversor con un transistor NMOS es usar un transistor NMOS como carga con la puerta y el drenador cortocircuitados. Si al drenador de este segundo transistor se le coloca una fuente de $V_{DD} = 15\text{ V}$, calcula V_{OL} , V_{OH} y la expresión de la característica de transferencia si la entrada se pone en la puerta del primer transistor NMOS y la salida en el drenador del mismo.

Datos: Ambos transistores NMOS son idénticos con $k = 2 \cdot 10^{-3} \frac{\text{A}}{\text{V}^2}$ y $V_T = 2\text{ V}$.

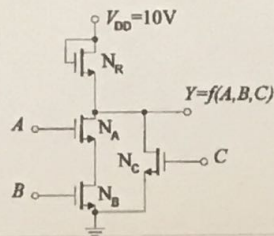
5. Calcula los márgenes de ruido en estado alto y en estado bajo de un inversor CMOS construido con un transistor NMOS ($k_n = 10^{-3} \frac{\text{A}}{\text{V}^2}$ y $V_T = 2\text{ V}$) y un transistor PMOS ($k_p = 10^{-3} \frac{\text{A}}{\text{V}^2}$ y $V_T = -2\text{ V}$) con sus drenadores y puertas cortocircuitados, la fuente del transistor NMOS conectada a tierra y la del PMOS a una fuente de valor 15 V .
6. Diseñar con tecnología CMOS, comentando el estado de cada transistor, una puerta que realice la función lógica $A \cdot B + C$.
7. Diseñar con el mínimo número de transistores posibles un circuito que realice la función lógica $V_o = A \cdot (B + C) + D$. Indíquese y analícese el estado de cada transistor para las distintas combinaciones de entradas.
8. En el circuito de la figura siguiente determinar el estado de cada transistor y el valor (analógico) de salida cuando $V_i = 0\text{ V}$ y cuando $V_i = 5\text{ V}$.



9. ¿Qué función realiza el circuito mostrado a continuación en el ámbito de la lógica positiva teniendo en cuenta que $V_{DD} > 0$? Explica razonadamente el estado en el que se encuentra cada uno de los transistores representados.



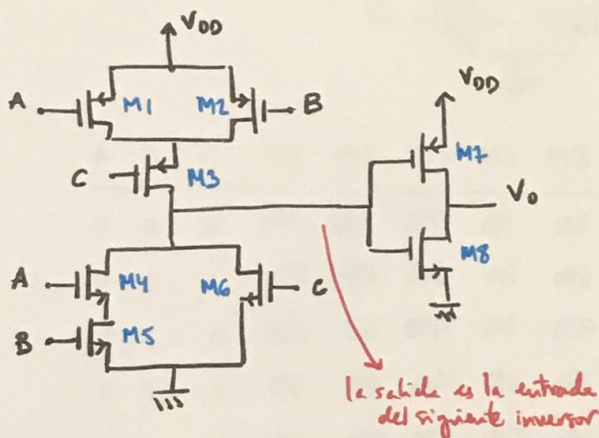
10. Dado el circuito lógico de la figura determinar la función lógica que realiza.



⑥ Diseñar con lógica CMOS una puerta que realice la función lógica

$$f = A \cdot B + C$$

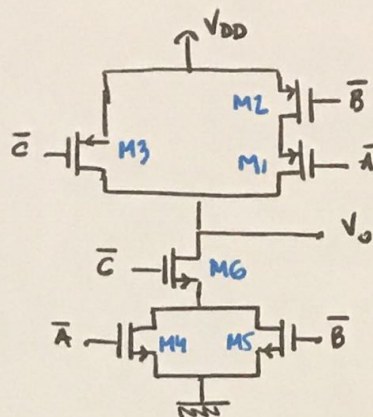
Para ello podemos implementar directamente la función y luego sabiendo que la salida estará negada, poner un inversor a continuación



A	B	C	M1	M2	M3	M4	M5	M6	M7	M8	$A \cdot B + C$
0	0	0	ON	ON	ON	OFF	OFF	OFF	OFF	ON	0
0	0	1	ON	ON	OFF	OFF	OFF	ON	ON	OFF	1
0	1	0	ON	OFF	ON	OFF	ON	OFF	OFF	ON	0
0	1	1	ON	OFF	OFF	OFF	ON	ON	ON	OFF	1
1	0	0	OFF	ON	ON	ON	OFF	OFF	OFF	ON	0
1	0	1	OFF	ON	OFF	ON	OFF	ON	ON	OFF	1
1	1	0	OFF	OFF	ON	ON	ON	OFF	ON	OFF	1
1	1	1	OFF	OFF	OFF	ON	ON	ON	ON	OFF	1

O bien podemos negar la función que nos dan, e implementar esa sin inversor detrás

$$f = A \cdot B + C \leadsto \bar{f} = \overline{A \cdot B + C} = (\overline{A \cdot B}) \cdot \bar{C} = (\bar{A} + \bar{B}) \cdot \bar{C}$$



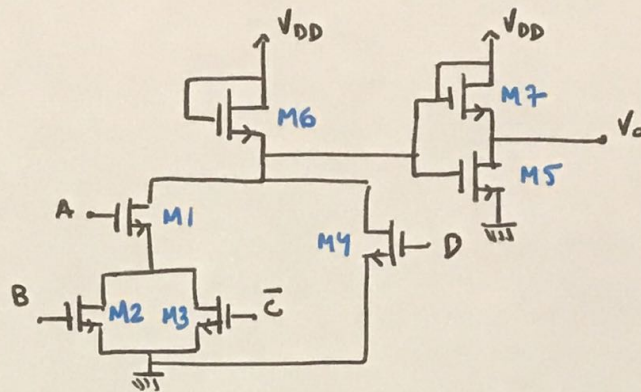
A	B	C	M1	M2	M3	M4	M5	M6	$A \cdot B + C$
0	0	0	OFF	OFF	OFF	ON	ON	ON	0
0	0	1	OFF	OFF	ON	ON	ON	OFF	1
0	1	0	OFF	ON	OFF	ON	OFF	ON	0
0	1	1	OFF	ON	ON	ON	OFF	OFF	1
1	0	0	ON	OFF	OFF	OFF	ON	ON	0
1	0	1	ON	OFF	ON	OFF	ON	OFF	1
1	1	0	ON	ON	OFF	OFF	OFF	ON	1
1	1	0	ON	ON	OFF	OFF	OFF	ON	1

- ⑦ Para diseñar con el mínimo número de transistores posibles, vamos a usar la lógica NMOS que hace que en la carga sólo tengamos un NMOS

$$f = A \cdot (B + C) + D \rightarrow \bar{f} = \overline{A \cdot (B + C) + D} = \overline{A \cdot (B + C)} \cdot \bar{D} =$$

$$= (\bar{A} + \overline{(B + C)}) \cdot \bar{D} = (\bar{A} + \bar{B} \cdot \bar{C}) \cdot \bar{D}$$

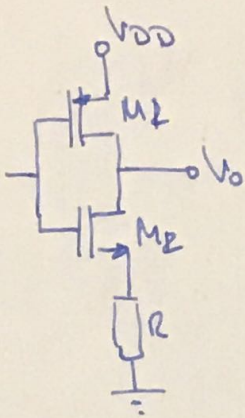
y tendríamos que meter inversores para cada uno. Entonces directamente implementamos la función que nos dan y negamos al final



A	B	C	D	M1	M2	M3	M4	M5	M6	M7	$A \cdot (B+C) + D$
0	0	0	0	OFF	OFF	OFF	OFF	ON	ON	ON	0
0	0	0	1	OFF	OFF	OFF	ON	OFF	ON	ON	1
0	0	1	0	OFF	OFF	ON	OFF	ON	ON	ON	0
0	0	1	1	OFF	OFF	ON	ON	OFF	ON	ON	1
0	1	0	0	OFF	ON	OFF	OFF	ON	ON	ON	0
0	1	0	1	OFF	ON	OFF	ON	OFF	ON	ON	1
1	0	0	0	ON	OFF	OFF	OFF	ON	ON	ON	0
1	0	0	1	ON	OFF	OFF	ON	OFF	ON	ON	1
1	0	1	0	ON	OFF	ON	OFF	OFF	ON	ON	1
1	0	1	1	ON	OFF	ON	ON	OFF	ON	ON	1
1	1	0	0	ON	ON	OFF	OFF	OFF	ON	ON	1
1	1	0	1	ON	ON	OFF	ON	OFF	ON	ON	1
0	1	1	0	OFF	ON	ON	OFF	ON	ON	ON	0
0	1	1	1	OFF	ON	ON	ON	OFF	ON	ON	1
1	1	1	0	ON	ON	ON	OFF	OFF	ON	ON	1
1	1	1	1	ON	ON	ON	ON	OFF	ON	ON	1

=====

8.) Determinar estado del transistor y valor V_o si $\begin{cases} V_i = 0V \\ V_i = 5V \end{cases}$



• Ecuaciones generales:

$$- |V_o = V_{DS2} + R \cdot I_D| \quad (1)$$

$$- |V_i = V_{GS2} + R \cdot I_D| \quad (2)$$

$$- V_{GS1} = V_i - V_{DD} \Rightarrow V_{SG1} = V_{DD} - V_i \Rightarrow$$

$$|V_{GS1}| = V_{DD} - V_i \quad (3)$$

$$- V_{DD} = V_{SD1} + V_o \Rightarrow V_{SD1} = V_{DD} - V_o \Rightarrow$$

$$V_{DS1} = V_o - V_{DD} \Rightarrow |V_{DS1}| = V_{DD} - V_o \quad (4)$$

$$- |I_{D1} = I_{D2}| \quad (5)$$

|| sol: En estados alto y bajo se cumple que la intensidad es cero y se tienen las ecuaciones del CMOS normal y corriente.

Ecuaciones para los transistores:

[NMOS]

$$- \text{Corte: si } V_{GS2} < V_T \Rightarrow V_i - R \cdot I_D < V_T$$

$$\hookrightarrow I_D = 0A$$

$$- \text{Sat. si } \begin{cases} V_{GS2} > V_T \Rightarrow V_i - R \cdot I_D > V_T \\ V_{DS2} > V_{GS2} - V_T \Rightarrow V_o - R \cdot I_D > V_i - R \cdot I_D - V_T \end{cases}$$

$$\hookrightarrow I_D = \frac{k}{2} (V_i - R \cdot I_{D2} - V_T)^2 \quad V_o > V_i - V_{TH}$$

$$- \text{Lin si } \begin{cases} V_i - R \cdot I_D > V_T \\ V_o < V_i - V_T \end{cases}$$

FFT TS 8 continuación. ec. transistores NMOS.

son V_{TN}

$$LIN \Rightarrow I_{D2} = \frac{K}{2} (2(V_{DD} - V_o)(V_o - V_i - V_T) - (V_o - V_i - V_T)^2)$$

$$I_{D2} = \frac{K}{2} (2(V_o - R \cdot I_D)(V_i - R \cdot I_D - V_T) - (V_o - R \cdot I_D)^2)$$

PMOS

son V_{TP}

- Corte: si $|V_{gs}| < |V_T| \Rightarrow V_{DD} - V_i < |V_T| \Rightarrow$

$$\hookrightarrow I_{D1} = 0A \quad V_{DD} - |V_T| < V_i$$

- Sat: si $|V_{gs}| > |V_T| \Rightarrow V_i < V_{DD} - |V_T|$

$$|V_{ds}| > |V_{gs}| - |V_T| \Rightarrow V_{DD} - V_o > V_{DD} - V_i - |V_T|$$

$$\hookrightarrow I_D = \frac{K}{2} (V_{DD} - V_i - |V_T|)^2 \quad V_i > V_o - |V_T|$$

- LIN: si $|V_{gs}| > |V_T| \Rightarrow V_i < V_{DD} - |V_{TP}|$

$$|V_{ds}| > |V_{gs}| - |V_T| \Rightarrow V_i < V_o - |V_T|$$

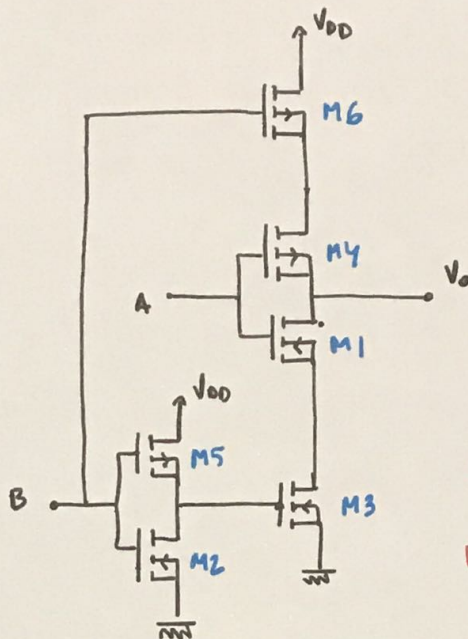
$$\hookrightarrow I_D = \frac{K}{2} (2 \cdot (V_{DD} - V_o)(V_{DD} - V_i - |V_T|) - (V_{DD} - \dots)$$

Nota: para resolver, utilizar valores numéricos

$$V_{DD} = 5V, \quad K_n = K_p = 2 \cdot 10^{-3} \frac{A}{V^2}$$

$$V_{TN} = |V_{TP}| = 2V, \quad R = 1k$$

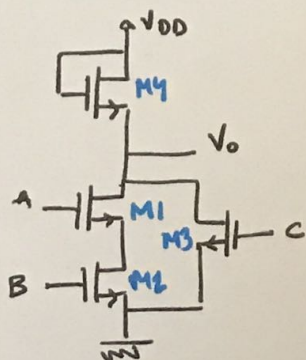
9



Al no ser CMOS no está garantizado que siempre haya un camino que vaya a tierra o a V_{DD} . Hay que hacer los dos.

A	B	M1	M2	M3	M4	M5	M6	
0	0	OFF	OFF	ON	ON	ON	ON	1
0	1	OFF	ON	OFF	ON	OFF	OFF	—
1	0	ON	OFF	ON	OFF	ON	ON	0
1	1	ON	ON	OFF	OFF	OFF	OFF	—

10) Es una puerta basada en tecnología NMOS así que toda la topología se implementa con los NMOS de abajo



A	B	C	M1	M2	M3	M4	$(A \cdot B + C)$
0	0	0	OFF	OFF	OFF	ON	1
0	0	1	OFF	OFF	ON	ON	0
0	1	0	OFF	ON	OFF	ON	1
0	1	1	OFF	ON	ON	ON	0
1	0	0	ON	OFF	OFF	ON	1
1	0	1	ON	OFF	ON	ON	0
1	1	0	ON	ON	OFF	ON	0
1	1	1	ON	ON	ON	ON	0