



Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS: (7,5 puntos)

1. (1 pto.) Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la derecha de la tabla siguiente, indique su representación interna en la forma Signo Magnitud (para el dato -9), Complemento a 1 (para el dato -1), Complemento a 2 (para el dato +9) y Representación Sesgada (para el dato -1, siendo el sesgo de $S = 2^{n-1}$).

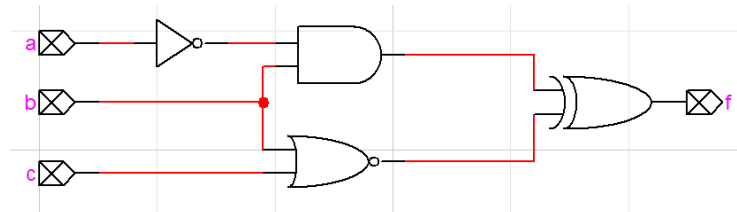
	Representación interna	Valor decimal que representa
(Signo Magnitud)		- 9
(Complemento 1)		- 1
(Complemento 2)		+9
(Sesgada)		- 1

2. (1,5 pto.) En el computador Sencillo (CS1) los datos son de 8 bits, las direcciones son de 6 bits. Tiene un Repertorio de 4 Instrucciones (STOP, ADD, SUB, STA). La fase de captación siempre consume 2 ciclos de reloj. La fase de ejecución consume STOP (1 ciclo), ADD y SUB (3 ciclos) y STA (2 ciclos). Si la frecuencia de reloj del CS1 es de 50 MHz y se ejecuta un programa benchmark que contiene 24 instrucciones ADD, 26 instrucciones SUB, 10 instrucciones STA y una instrucción STOP. Indicar:

- Número de ciclos de reloj totales consumidos por el programa.
- Tiempo de ejecución del programa de benchmark.
- Prestaciones del CS1 en MIPS (Millions Instructions Per Second).
- Tamaño de memoria máximo direccionable en Bytes.

3. (1 pto.) Analice el circuito de la figura 1 y obtenga razonadamente la tabla de verdad de la función de conmutación $Z(X,Y)$ resultante. ¿Existe un circuito equivalente del tipo AND/OR?

Figura 1



4. (0,5 pto.) Para el circuito de la Figura 2a, (donde la salida de datos de un multiplexor 4:1 se ha conectado con la entrada de datos de un demultiplexor 1:4), complete las filas de la tabla de la Figura 2b, escribiendo los valores "0" o "1" que se obtendrían en las salidas del demultiplexor, considerando las señales de control $S1m$ $S0m$ (del MUX) y $S1d$ $S0d$ (del DMUX) indicadas en dicha tabla y las entradas aplicadas en el MUX (Figura 2a). Se muestra, como ejemplo, la respuesta a las dos primeras filas.

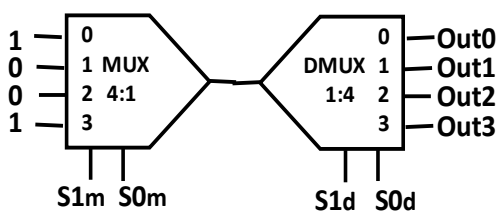


Figura 2a

Señales de control del MUX $S1m$ $S0m$	Señales de control del DMUX $S1d$ $S0d$	Salidas del DMUX			
		Out0	Out1	Out2	Out3
0 0	0 0	1	0	0	0
0 1	0 0	0	0	0	0
1 1	1 0				
0 0	1 1				
1 0	0 1				
1 1	1 1				

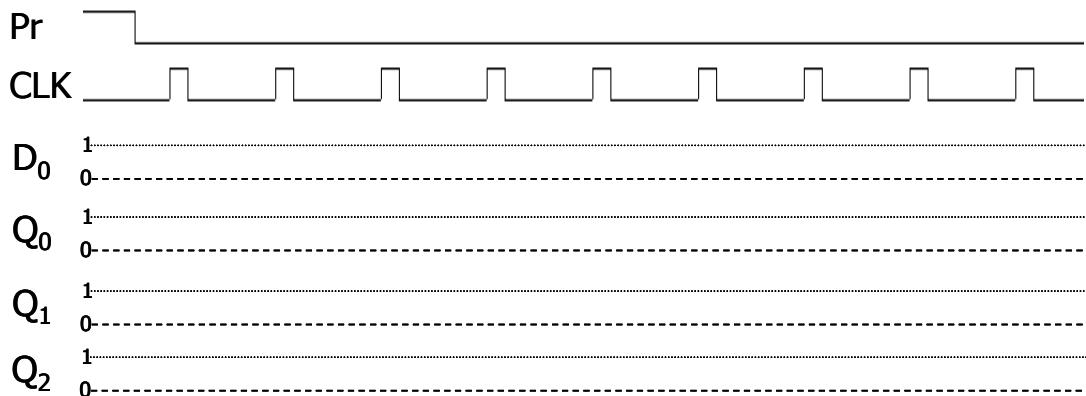
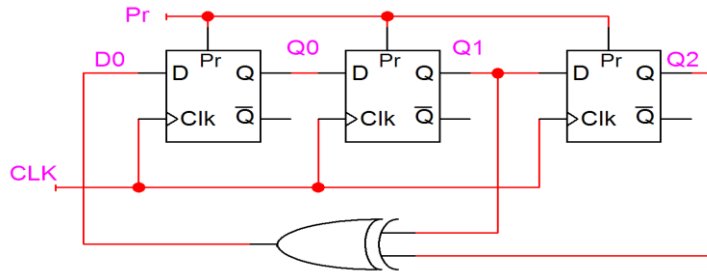
Figura 2b

5. (1 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_2, x_1, x_0) = \sum m(0, 2, 7)$
- $f_1(x_2, x_1, x_0) = \sum m(1, 2, 6)$
- $f_2(x_2, x_1, x_0) = \sum m(3, 4, 5, 6)$

Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM?. Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas entre el plano AND y el plano OR.

6. (1 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura. Al principio la señal de Preset (Pr) está activada tal y como se indica en el cronograma, por lo que todos los biestables comienzan con un valor Q=1.



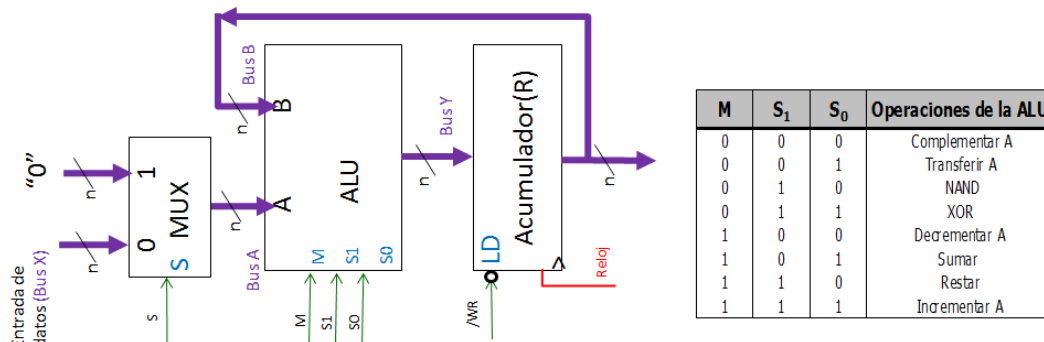
7. (1 pto.) Diseñe un generador de secuencia síncrono, con una señal de control M, tal que si M=0 la secuencia sea ascendente (1,4,4,7,...), y si M=1 la secuencia sea descendente (7,4,4,1,...). Utilice el tipo de biestable que prefiera.

Si M=0 se genera la Secuencia: (**1, 4, 4, 7**, 1, 4, 4, 7,)

Si M=1 se genera la Secuencia: (**7, 4, 4, 1**, 7, 4, 4, 1,)

8. (0,5 pto) Para la unidad de procesamiento de la figura.

- Rellenar la tabla adjunta con los valores de las señales de control. La primera fila viene rellena como ejemplo.
- Indicar la secuencia de **DOS** microoperaciones RT (entre las que se indican en la tabla) para almacenar en R un valor final igual a '15', teniendo siempre X='8'.



M	S ₁	S ₀	Operaciones de la ALU
0	0	0	Complementar A
0	0	1	Transferir A
0	1	0	NAND
0	1	1	XOR
1	0	0	Decrementar A
1	0	1	Sumar
1	1	0	Restar
1	1	1	Incrementar A

Operaciones RT	PALABRA DE CONTROL (Señales de control)					(En hexadecimal)
	Selección de entrada	Controles de la ALU			Escritura en acumulador R /WR	
		S	M	S1		
R<-- X+R	0	1	0	1	0	0A
R<-- X+1						
R<--X						
R<--X XOR R						
R<--X - 1						



Apellidos :

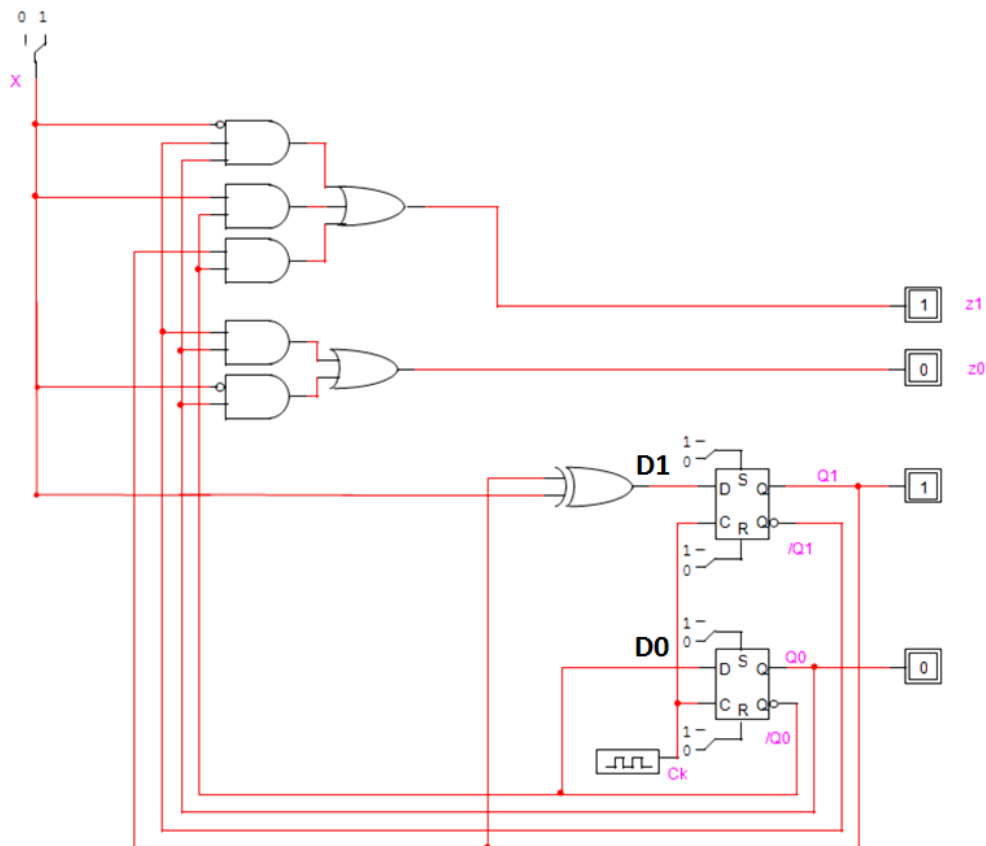
Nombre :

Grupo :

D.N.I. :

PRACTICAS: (1 punto)

1. (0,50 pto.) Análisis de un sistema secuencial. ¿Es tipo Mealy o tipo Moore?



Rellena la siguiente Tabla de Excitación del Sistema:

X Q ₁ Q ₀	D ₁	D ₀
0 0 0		
0 0 1		
0 1 0		
0 1 1		
1 0 0		
1 0 1		
1 1 0		
1 1 1		

2. (0,50 pto.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

Dada la **Tabla P.2**, donde se especifica un programa en ensamblador, realice lo siguiente:

- a) Completar las filas de la tabla , rellenando los códigos de operación y de dirección del dato (operando) en binario.
- b) Rellenar la última columna escribiendo las instrucciones en hexadecimal.
- c) Tras ejecutar el programa, ¿qué valor se almacena en la memoria en la dirección \$3D , sabiendo que antes de ejecutar el programa, la memoria tenía almacenado el dato 33 (en hexadecimal) en la dirección \$3B y el dato 03 (en hexadecimal) en la dirección \$3C ?

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$3A	$M(\$3A) \leftarrow AC$	11	11 1010	FA
SUB \$3A	$AC \leftarrow AC - M(\$3A)$			
ADD \$3B	$AC \leftarrow AC + M(\$3B)$			
ADD \$3C	$AC \leftarrow AC + M(\$3C)$			
STA \$3D	$M(\$3D) \leftarrow AC$			
STOP	Fin ejecución			

Tabla P.2