



Apellidos :

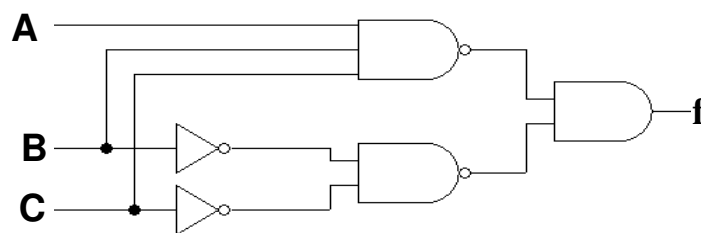
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (0,75 pto.)** Una unidad de disco duro de 120GBs, tiene 5 platos (10 superficies). Cada pista tiene 128 sectores y cada sector puede almacenar 512 Bytes.
 - ¿Cuál es la capacidad de cada pista?
 - Número de pistas que tiene cada superficie.
- (0,75 pto.)** Suponga un sistema de memoria con tan sólo dos niveles de jerarquía (caché y memoria principal). Si los tiempos de acceso de los dispositivos utilizados son 2ns y 60 ns, respectivamente, y el porcentaje de aciertos en caché del 92%.
 - Estimar el tiempo de acceso efectivo.
 - Estimar el número de fallos de caché que se producen al ejecutar un programa de 200.000 instrucciones.
- (0,50 pto.)** Sabiendo que la calidad CD estéreo se corresponde con los parámetros siguientes: $f_s = 44,1$ KHz, 2Bytes/muestra, 2 canales. ¿Qué tiempo de música en calidad CD estéreo sin comprimir se puede almacenar en una memoria flash USB de 1 GB? Indicar el tiempo en horas.
- (0,50 pto.)** Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



- (0,50 pto.)** Dada la siguiente función de conmutación, en la que " x_0 " representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \sum m(1, 4, 5, 7, 11) + d(0, 12, 14)$$

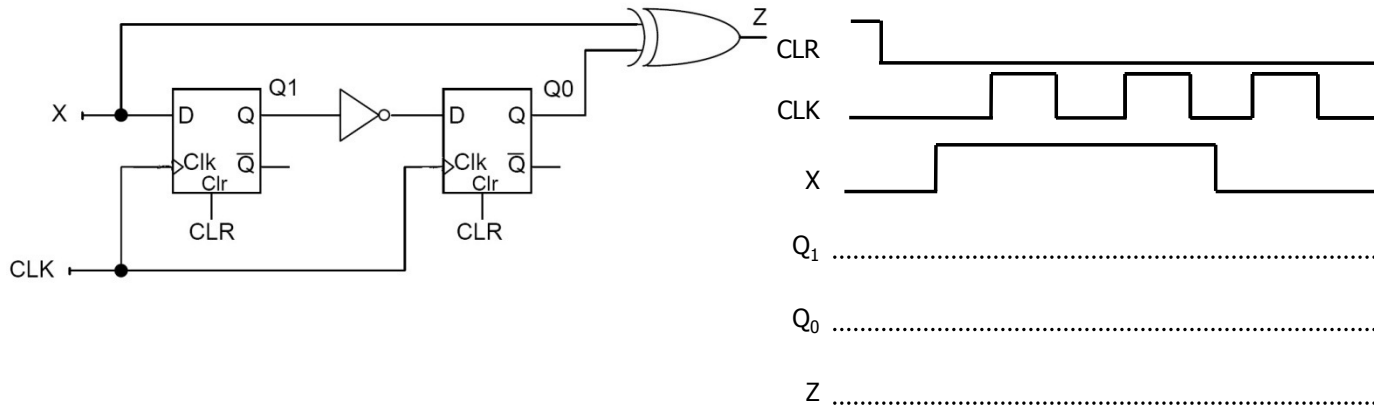
Minimícela e impleméntela (dibuje el circuito) mediante síntesis AND/OR (Suma de Productos).

6. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_2, x_1, x_0) = \sum m(0, 1, 2, 5)$
- $f_1(x_2, x_1, x_0) = \sum m(2, 3, 5)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 1, 3)$

- a. Implemente dichas funciones en una PLA de tamaño 3x4x3. Dibuje explícitamente la estructura interna de la PLA con las conexiones adecuadas.
- b. Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR.

7. (0,50 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura



8. (1,00 pto.) Diseñe un generador de secuencias que genere cíclicamente la secuencia de salidas siguiente

$Z = 0, 9, 2, 9, 4, 5; 0, 9, 2, 9, 4, 5, \dots$

Utilice para el diseño biestables de tipo T activo por flanco de subida (si lo prefiere, puede usar biestables de tipo D, en vez de tipo T).

9. (0,50 pto.) Diseñe un registro de desplazamiento de 3 bits que tenga las características dadas por la siguiente tabla de funcionamiento simplificada (utilice biestables de tipo D y multiplexores de 2 a 1):

| Clk | Clr | LD | Q (Q ₂ , Q ₁ , Q ₀) | Q ₂ ⁺ , Q ₁ ⁺ , Q ₀ ⁺ |
|-----|-----|----|-------------------------------------------------------------------------|-----------------------------------------------------------------------------------------|
| - | 1 | - | Q _i =0, i=0...2 (asíncronamente) | 0 0 0 |
| ↑ | 0 | 0 | DESPLAZAMIENTO DERECHA | Ar Q ₂ Q ₁ |
| ↑ | 0 | 1 | CARGA SÍNCRONA EN PARALELO Q _i ← D _i , i=0...2 | D ₂ D ₁ D ₀ |



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

1º Grado en Ingeniería Informática

GRANADA, 14 de Junio de 2011.
EXAMEN DE PRÁCTICAS.

Apellidos :

Nombre :

Grupo :

D.N.I. :

- 1. (0,50 pto.)** Se quiere diseñar un circuito semisumador y encapsularlo como se muestra en la Figura 1.1. Un estudiante ha diseñado el circuito de la Figura 1.2, pero tiene problemas en el encapsulado. El error está en que le faltan dos elementos o componentes al circuito de la Figura 1.2 para que se genere correctamente el símbolo asociado en la Figura 1.1. Indique los elementos o componentes que tendría que añadir en el circuito de la Figura 1.2.

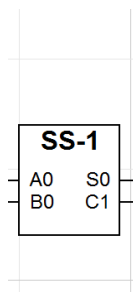


Figura 1.1

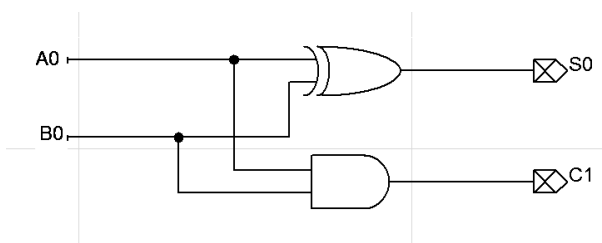


Figura 1.2

- 2. (1,00 pto.)** En la práctica 4, de "realización de una ALU", un estudiante implementó la etapa lógica sencilla (de un bit) según el esquema de circuito mostrado en la Figura 2.

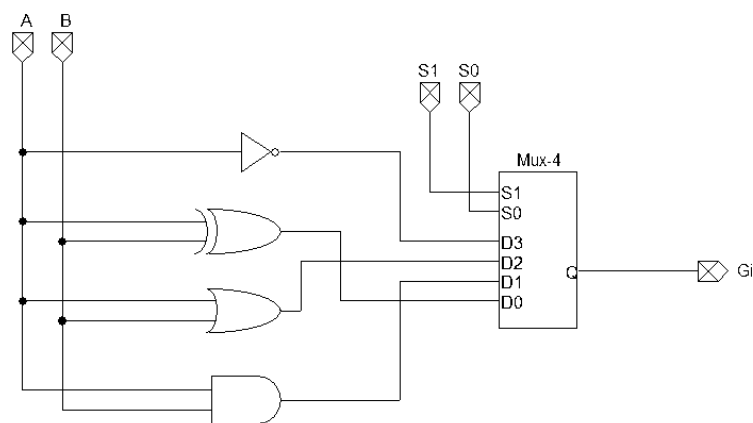


Figura 2

Rellene la Tabla 2.1 indicando la operación que se realiza con cada combinación de señales de control (S_1 , S_0), según la versión de etapa lógica de la Figura 2.

| Señales de control $S_1 S_0$ | Operación |
|---------------------------------|-----------|
| 00 | |
| 01 | |
| 10 | |
| 11 | |

Tabla 2.1

Indique en la Tabla 2.2 el resultado que se obtiene en la salida G_i con los siguientes datos A y B y las combinaciones $S_1 S_0$

| A B $S_1 S_0$ | Resultado G_i |
|---------------|-----------------|
| 0 1 0 0 | |
| 0 0 0 0 | |
| 1 0 0 1 | |
| 1 0 1 1 | |

Tabla 2.1

3. (0,50 pto.) Determine las salidas C_4 , Z_3 , Z_2 , Z_1 , Z_0 de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos.

