

Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

Ejercicios de los Temas 1º y 2º.

1. (0,75 pto.) Suponga que se tienen los siguientes datos (de tipo entero) representados en un computador:

Representación Interna	
0000 0010	DATO A
0000 1010	DATO B
1111 1100	DATO C
0000 0110	DATO D

- Si la representación interna utilizada es **Signo Magnitud** indicar el valor decimal de DATO A y ordenar los datos de menor a mayor.
 - Si la representación interna utilizada es **Complemento a uno** indicar el valor decimal del DATO A y ordenar los datos de menor a mayor.
 - Si la representación interna utilizada es **Representación sesgada** (el sesgo es $S = 2^{n-1} = 2^7 = 128$, siendo n el número de bits de la representación interna) indicar el valor decimal del DATO A y ordenar los datos de menor a mayor.
2. (0,75 pto.) Obtenga la representación del número **-9** en formato normalizado IEEE 754 para coma flotante, simple precisión, de **32 bits**, con **un bit** para el signo, **8 bits** para el campo del exponente (con sesgo **S=127**) y **23 bits** para el campo de la mantisa.

s	e	m

3. (1,00 pto.) Suponga que un procesador dispusiese de una instrucción *Memorizar*, ST r1, que almacena en la posición de memoria indicada por el registro rD el contenido del registro r1. La instrucción tiene de código (en hexadecimal) AB00. Esta instrucción se encuentra en la posición A777 de la memoria, que en rD se encuentra el valor 5ACD y que r1 contiene FFFF, complete la tabla siguiente indicando la secuencia de microoperaciones que deben generarse durante la **FASE de CAPTACIÓN** de la instrucción, así como los valores que tienen en cada momento los registros PC, AR, DR, IR, r1 y rD.

Fase	Microoperación	Contenidos de los registros					
		PC	IR	AR	DR	r1	rD
Valores iniciales		A777	FF00	0000	0000	FFFF	5ACD
Captación de instrucción							

A la vista de los datos anteriores, indique cuál sería el tamaño de memoria máximo direccionable por este procesador.

Ejercicios de los Temas 3º, 4º y 5º.

4. (1,50 pto.) Para el circuito de la Figura P4:
- Obtenga razonadamente la tabla de verdad de las funciones de conmutación $F1(X,Y,Z)$ y $F2(X,Y,Z)$ resultantes.
 - Diseñe un circuito equivalente con estructura AND/OR, para dichas funciones.
 - Implemente dichas funciones mediante una única memoria ROM de tamaño mínimo. Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR e indique el tamaño de la ROM.

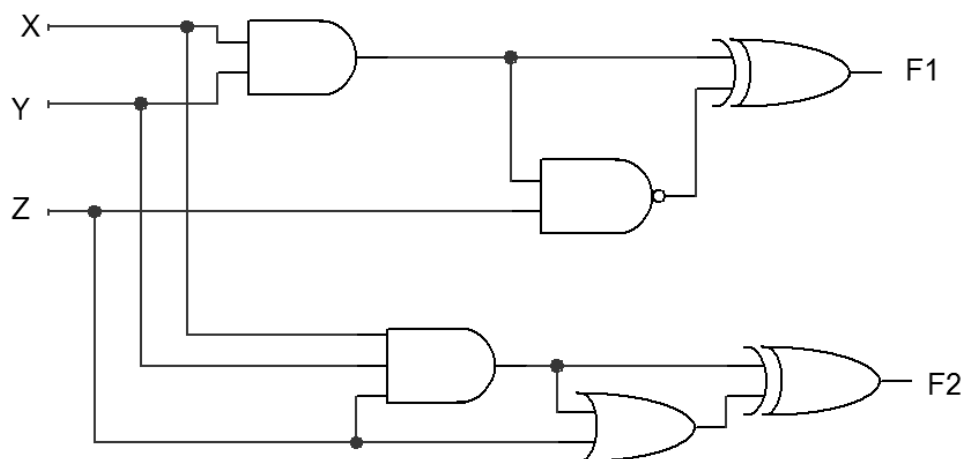
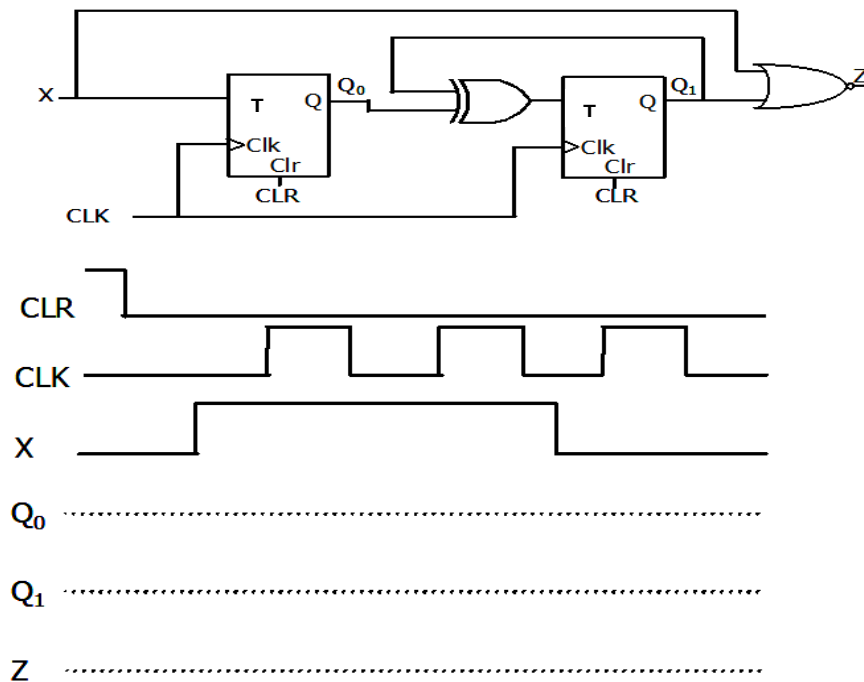


Figura P4

5. (1,00 pto.) Para el circuito secuencial de la figura P5:



T	Q ⁺
0	Q
1	/Q

Tabla de transición de un biestable tipo T

Figura P5

Complete el diagrama de tiempos de Q0, Q1 y Z, teniendo en cuenta que al principio la señal de Clear (CLR) está activada, tal y como se indica en el cronograma, por lo que todos los biestables TIPO T del circuito comienzan con un valor inicial $Q_i = 0$.

6. (1,50 pto.) Un sistema secuencial síncrono tiene dos entradas (X1 y X0), y una salida (Z). Si $(X1, X0) = (1, 1)$ durante **al menos** dos ciclos de reloj consecutivos, el circuito genera $Z = 1$ a partir del segundo ciclo (inclusive), **mientras** $X1 = X0 = 1$; en cualquier otro caso, produce $Z = 0$, tal como se refleja en el siguiente ejemplo:

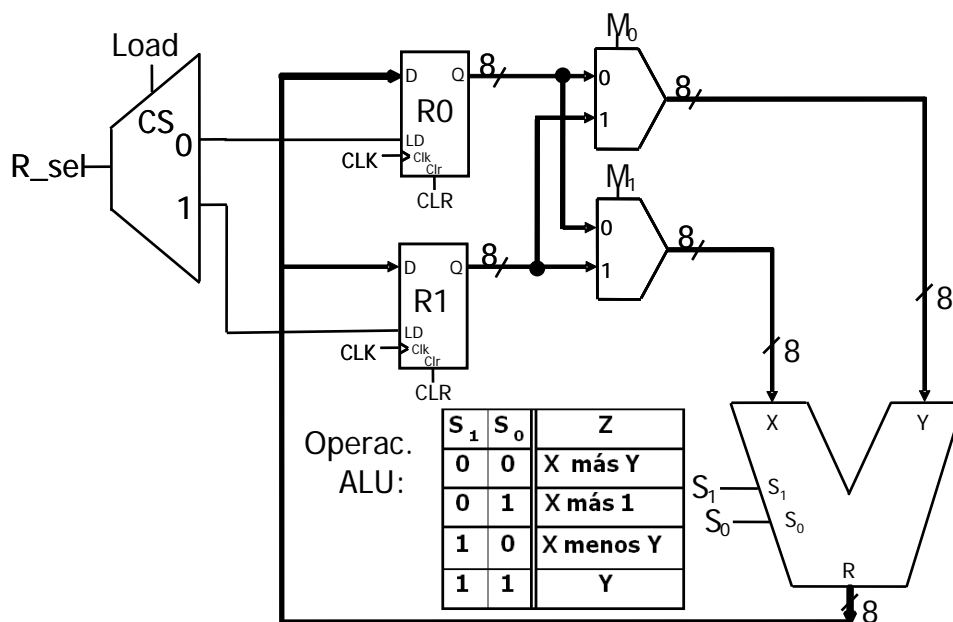
```

X1  = 1 1 1 0 1 1 1 1 1 0 1 1 0 ...
X0  = 0 1 1 0 1 0 1 1 1 0 1 1 1 ...
Z   = 0 0 1 0 0 0 0 1 1 0 0 1 0 ...

```

Obtenga el *diagrama de estados*, la *tabla de estados* e implemente el circuito usando biestables tipo D.

7. (1,00 pto.) Para la unidad de procesamiento de la figura:



a) Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. (0,50 pto.)

Load	R_sel	M1	M0	S1	S0	Operación RT
1	1	1	0	1	1	R_0 no cambia , $R_1 \leftarrow R_0$
0	1	1	1	1	1	
1	0	0	0	0	0	
1	1	1	0	1	0	
1	0	0	1	1	0	

b) Indique los valores que debería tener la palabra de control, para que se realicen las siguientes operaciones al llegar el flanco de subida de la señal de reloj. (0,50 pto.)

Operación	Load	R_sel	M ₁	M ₀	S ₁	S ₀
$R_0 \leftarrow R_1$						
$R_0 \leftarrow R_0$ más 1						



Apellidos :

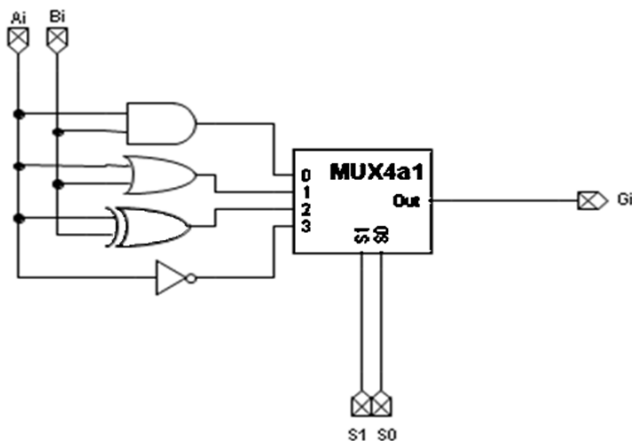
Nombre :

Grupo :

D.N.I. :

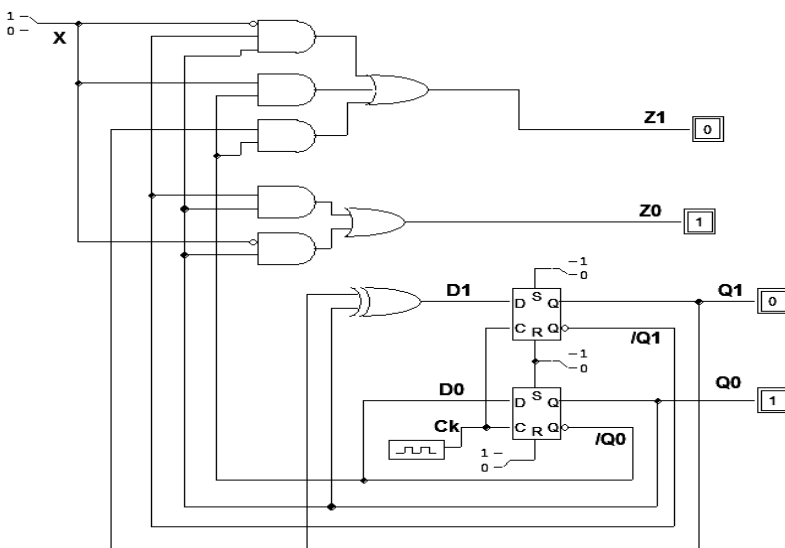
- (0,70 pto.) Disponiendo de un dispositivo ("pendrive" USB) de 4 GB:
a) Indicar el número de imágenes en color que caben en el dispositivo, si para cada imagen se utiliza una resolución VGA (640x480) y 8 bits por cada color básico.
b) Indicar el tiempo de música (en segundos) que cabe en el dispositivo si se utiliza calidad CD ($f_s=44,1$ KHz, 2B/muestra, 2 canales).

- (0,30 pto.) En la práctica 3 se simularon circuitos para realizar algunas operaciones lógicas como parte de una ALU con datos de entrada A y B de 4 bits. El circuito de las etapas lógicas se muestra en la figura de la izquierda. Indique las operaciones que se realizan en la ALU para los distintos valores en las entradas de control (S_1, S_0), rellenando la tabla de la derecha.



Señales de control $S_1 S_0$	Operación
00	Ejemplo: A · B
01	
10	
11	

- (0,50 pto.) Dado el sistema secuencial de la figura que utiliza biestables de tipo D, complete la Tabla de Estado Siguiendo (derecha), indicando los valores de estado siguiente (Q^+_1, Q^+_0) para cada combinación de XQ_1Q_0 . Indique si el circuito es tipo Mealy o Moore.



$X Q_1 Q_0$	Q^+_1	Q^+_0
0 0 0		
0 0 1		
0 1 0		
0 1 1		
1 0 0		
1 0 1		
1 1 0		
1 1 1		

4. (1,00 pto.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀

Tabla T1

Dada la **Tabla T2** correspondiente al contenido inicial de la memoria principal RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (desde la dirección 00 a la 09, de la Tabla T2) en la última columna de la **Tabla T3**. A partir de esta información completar el resto de la **Tabla T3**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

PROM Synthesizer								DIRECCIONES DE MEMORIA
60	E9	A8	F0	B0	B0	F1	60	→ 00 – 07
E1	00	00	00	00	00	00	00	→ 08 – 0F
00	00	00	00	00	00	00	00	→ 10 – 17
00	00	00	00	00	00	00	00	→ 18 – 1F
05	00	00	00	00	00	00	00	→ 20 – 27
03	00	00	00	00	00	00	00	→ 28 – 2F
00	00	00	00	00	00	00	00	→ 30 – 37
00	00	00	00	00	00	00	00	→ 38 – 3F

Tabla T2

- b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria principal es el de la **Tabla T2** y que el acumulador (AC) contiene el dato 00, indicar los datos en hexadecimal que se verían en las direcciones \$20, \$21, \$28, \$29, \$30 y \$31 de la memoria principal al finalizar la ejecución del programa. c) A la vista de los resultados, ¿sabría comentar resumidamente el cálculo que realiza el programa, con los datos de entrada almacenados en \$20 y \$28, para obtener los datos resultantes que se almacenan en las direcciones \$30 y \$31?

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa.	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
ADD \$20	$AC \leftarrow AC + M(\$20)$	01	10 0000	60