



Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

1. **(1,00 pto.)** Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la izquierda en representación interna, indique su valor en decimal en la columna de la derecha. Para representación sesgada (el sesgo es $S = 2^{n-1}$, donde $n=8$ es el número de bits).

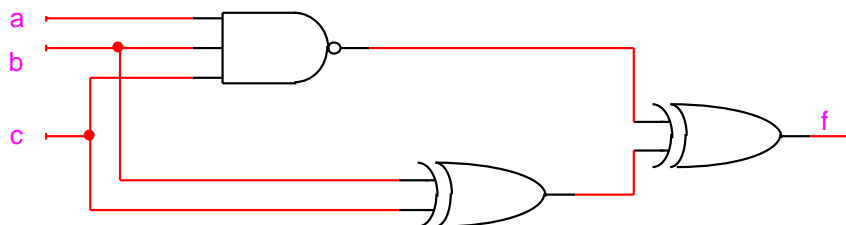
	Representación interna	Valor decimal que representa
(Signo Magnitud)	1000 0101	
(Complemento 1)	0000 0111	
(Complemento 2)	1111 1110	
(Sesgada)	1000 0100	

2. **(1,50 pto.)** Un procesador dispone, entre otros, de los siguientes elementos: Registro de Dirección (AR) de 32 bits, Registro de Datos (DR) de 16 bits y Contador de Programa (PC). El procesador funciona con un reloj de frecuencia 8 MHz y está conectado mediante el bus de datos con la memoria y para cada transferencia de un dato se requieren 3 ciclos de reloj.

Indicar:

- Número de bits del bus de datos (DB).
- Número de bits del bus de direcciones (AB).
- Tamaño en bits del registro Contador de Programa (PC).
- Tamaño máximo posible de la memoria principal (en MB o GB).
- Velocidad de transferencia de datos entre el procesador y la memoria.

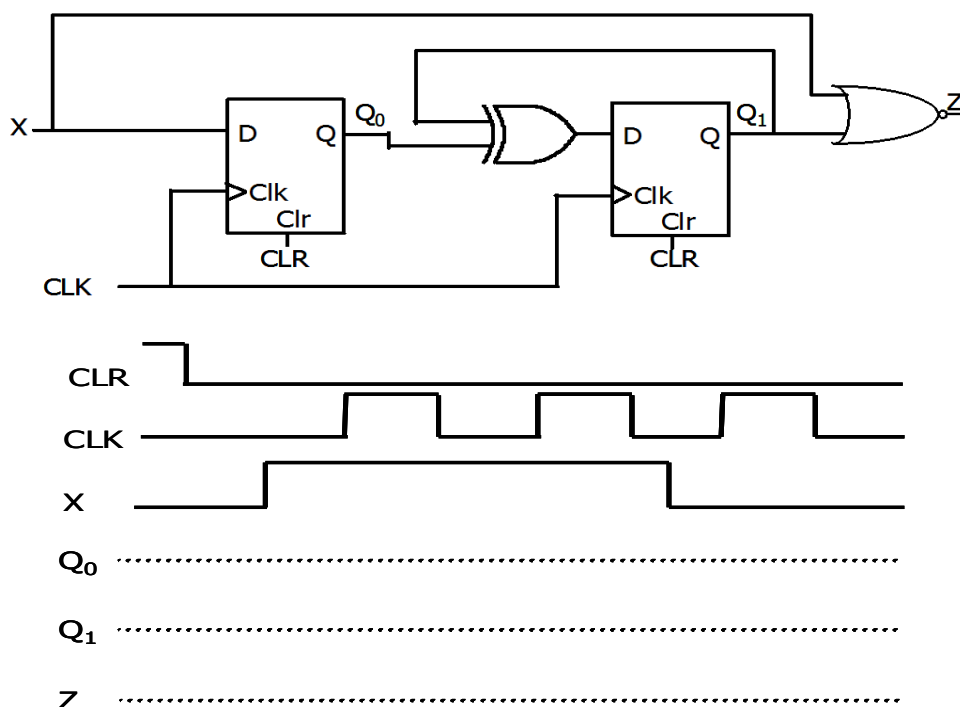
3. **(1,00 pto.)** Analice el circuito de la figura y obtenga razonadamente: a) la tabla de verdad de la función de conmutación $f(a,b,c)$, b) una realización equivalente del circuito con estructura AND/OR, y c) una realización utilizando un único multiplexor de tamaño adecuado.



4. **(1,00 pto.)** Diseñe un circuito combinacional con estructura NAND/NAND que implemente la multiplicación de dos números binarios enteros positivos de 2 bits, $X=(x_1 x_0)$ e $Y=(y_1 y_0)$, tal que genere la salida de 4 bits, $Z=(z_3 z_2 z_1 z_0)$, requeridas para representar el resultado de la multiplicación. Para ello, realice lo siguiente:

- Tabla de verdad y mapas de Karnaugh de las salidas.
- Minimización con mapas de Karnaugh de las funciones de salida.
- Dibujar el circuito resultante con estructura NAND/NAND.

5. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura.



6. (1,00 pto.) Un sistema secuencial síncrono tiene dos entradas (X_1 y X_0), y una salida (Z). Su función es comparar las secuencias que recibe por ambas entradas. Si $X_1 = X_0$ durante **al menos** tres ciclos de reloj consecutivos, el circuito genera $Z=1$ a partir del tercer ciclo (**mientras** $X_1 = X_0$); en cualquier otro caso, produce $Z = 0$, tal como se refleja en el siguiente ejemplo:

$X_1 = 0\ 1\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ \dots$
 $X_0 = 1\ 1\ 1\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ \dots$
 $Z = 0\ 0\ 0\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ 1\ 0\ \dots$

Obtenga el *diagrama de estados* y la *tabla de estados* del sistema secuencial síncrono.

7. (1,00 pto.) Para la unidad de procesamiento de la figura:

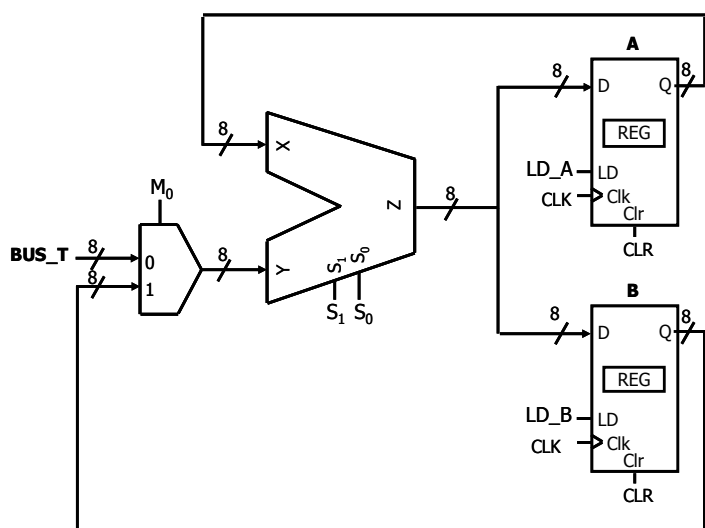


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	X MAS Y
0	1	Y
1	0	$\overline{X \cdot Y}$
1	1	Y MAS 1

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
1	0	1	0	1	
1	1	0	0	0	
0	1	1	1	0	
1	1	0	0	1	

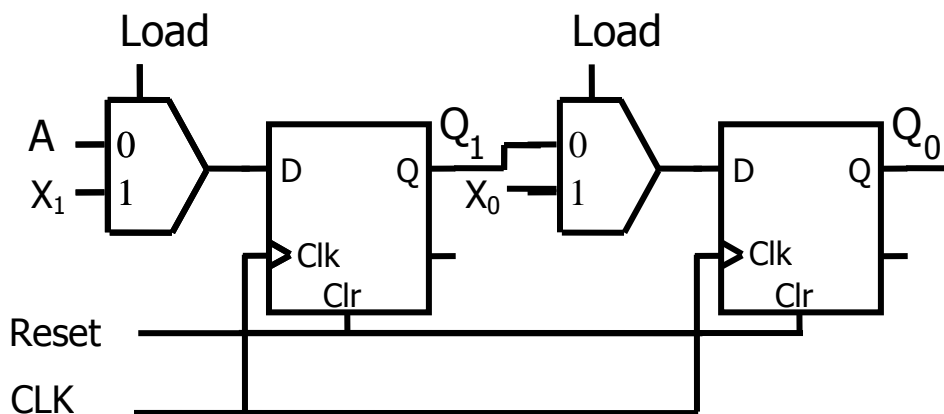


Apellidos : _____

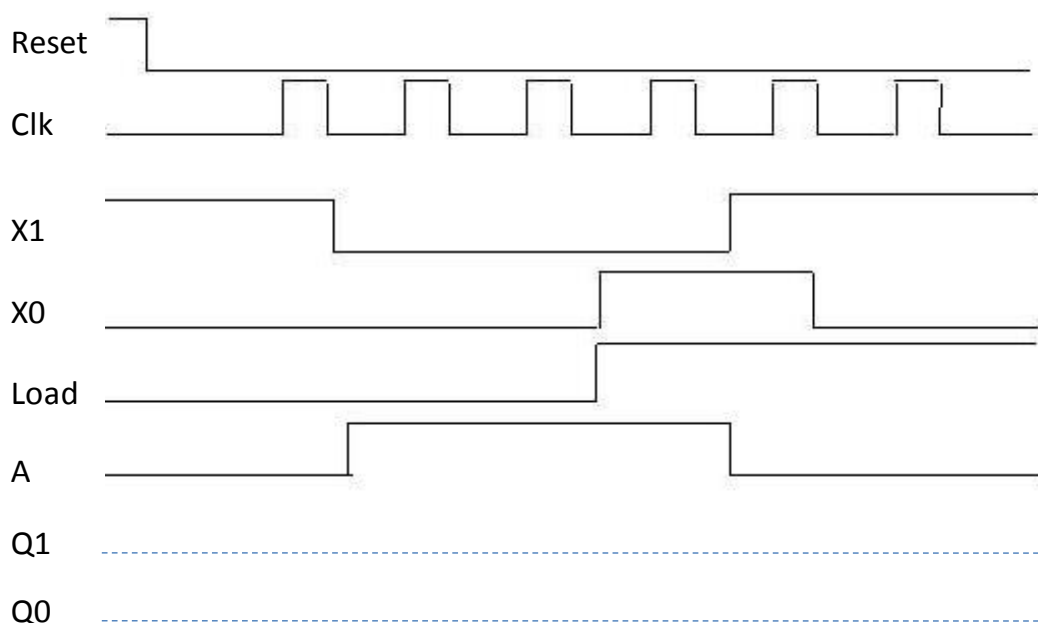
Nombre : _____ Grupo : _____

D.N.I. : _____

1. (0,50 pto.) En la figura se muestra un registro de desplazamiento con posibilidad de carga en paralelo. Para ello, se añaden circuitos que permiten configurar las conexiones de las entradas de los biestables D, bien para conectar en cascada los biestables (operación de desplazamiento) o bien para conectar entradas externas con las entradas D de los biestables (carga paralelo síncrona).



Para dicho circuito, complete el siguiente cronograma.



2. (0,50 pts.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀

Tabla P2a

PROM Synthesizer							
E0	A0	7E	7D	BC	FF	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
0D	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
F8	00	00	00	03	0A	06	00

DIRECCIONES
DE
MEMORIA

→ 00 – 07
→ 08 – 0F
→ 10 – 17
→ 18 – 1F
→ 20 – 27
→ 28 – 2F
→ 30 – 37
→ 38 – 3F

Dada la **Tabla P2b** correspondiente al contenido inicial de la memoria RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

- a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (de la dirección 0 a la 6, es decir la primera fila de la PROM, Tabla P2b) en la última columna de la **Tabla P2c**. A partir de esta información completar el resto de la **Tabla P2c**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

Tabla P2b

- b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria es el de la **Tabla P2b** y que el acumulador **AC** contiene el valor **FF** en hexadecimal. Indicar los datos en hexadecimal que se verían en la memoria RAM, correspondientes a las direcciones de memoria: \$20 , \$38, \$3C, \$3D, \$3E, \$3F, después de ejecutar el programa.

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$20	$M(\$20) \leftarrow AC$	11	10 0000	E0

Tabla P2c