



2º Grado Informática Estructura de Computadores 14 de enero de 2019



Nombre:	
DNI:	Grupo:

Test de Teoría (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 0.1p si es correcta, 0p si está en blanco o claramente tachada, -0.03p si es errónea.

Anotar las respuestas (a, b, c ó d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

- 1. ¿Cuál es el complemento a 2 del número binario 1110 1101 1000?
- a. 0001 0010 0110
- b. 0001 0010 0101
- c. 0001 0010 0111
- d. 0001 0010 1000
- 2. Escoger de entre las 4 operaciones la de mayor valor que pueda calcularse con enteros de 4B con signo sin problemas
- a. 100.000.000 + 100.000.000
- b. 300.000.000 + 300.000.000
- c. 1.000.000.000 + 1.000.000.000
- d. 3.000.000.000 + 3.000.000.000
- 3. Si rcx vale -1, tras ejecutar las instrucciones

rol \$1, %cl
rcr \$2, %rcx

el nuevo valor de RCX y del flag CF es

- a. hay algún fallo de sintaxis o gramática en esas instrucciones
- b. RCX≠-1, CF mantiene su valor
- c. RCX=-1, CF=1
- d. no se puede marcar ninguna de las opciones anteriores
- 4. El registro RAX contiene el número binario 111111111111111000010. ¿Cuál será su contenido tras ejecutar la instrucción sar \$1,%ax?
- a. 0x3fde1
- b. 0x7fde1
- c. 0xffde1

- d. 0xfffffffffffde1
- **5.** Para comprobar si el contenido del registro RDX es 0 (y posiblemente saltar a continuación usando la instrucción je), el compilador gcc genera:
- a. cmpq %rdx, %rdx
- b. testq %rdx
- c. testq %rdx, %rdx
- d. cmpq %rdx
- 6. Sabiendo que las instrucciones de salto condicional codifican la dirección de salto con direccionamiento relativo a contador de programa (de 8 o 32 bits con signo), indicar cuál es la dirección de salto de la instrucción je en el siguiente desensamblado, donde se ha tachado precisamente dicha dirección.

40042f: 74 f4 je xxxxx 400431: 5d pop %rbp

- a. 400431
- b. 400525
- c. 400425
- d. 40043d
- 7. Para traducir una asignación condicional (a=b?c:d;) de lenguaje C a lenguaje ensamblador, gcc puede que utilice...
- un salto incondicional, según la condición expresada en el código C, y otro salto incondicional
- Un salto condicional, según la condición opuesta a la del código C, y otro salto condicional

- c. Una instrucción de movimiento condicional, pero sólo si el procesador es Pentium Pro/II o superior
- d. Una instrucción de movimiento incondicional, pero sólo si el S.O. es de 64bits
- 8. La instrucción cmovb %rdx,%rax
- a. copia el byte bajo de rdx en el byte bajo de rax
- b. copia en rax el byte de memoria apuntado por la dirección contenida en rdx
- c. copia en rax el contenido de rdx si rax es menor que rdx
- d. copia en rax el contenido de rdx si CF= 1
- **9.** Uno de los puntos clave de la traducción que gcc hace de una construcción switch-case de lenguaje C a lenguaje ensamblador es...
- a. el salto condicional hacia atrás
- b. el salto relativo a contador de programa
- c. el salto directo
- d. el salto indirecto
- 10. El procesador utiliza el puntero de pila...
- a. En las instrucciones de llamadas y retornos de subrutinas
- b. En todo tipo de instrucciones de saltos, incluyendo llamadas y retornos a subrutinas
- c. En todas las instrucciones que tengan al menos dos accesos a memoria
- d. En todas las instrucciones
- 11. ¿Cuál de las siguientes instrucciones situada al principio de una función se utilizará probablemente para crear espacio en la pila para variables locales sin inicializar?
- a. sub \$0x30, %rsp
- b. add \$0x30, %rsp
- c. sub \$0x30, %rbp
- d. add \$0x30, %rbp
- **12.** En la convención de llamada SystemV AMD64 seguida por gcc Linux/x86-64...
- a. RAX es un registro salva-invocante, por eso en cualquier función hay que salvarlo antes de modificarlo
- b. R10 es un registro salva-invocante, por eso si es necesario hay que salvarlo antes de llamar a función

- c. R11 es un registro salva-invocado, por eso en cualquier función hay que salvarlo antes de modificarlo
- d. RBP es un registro salva-invocado, por eso si es necesario hay que salvarlo antes de llamar a función
- **13.** Un procedimiento llamado por una instrucción call debe guardar y restaurar los registros siguientes siempre que los altere:
- a. %rsi, %rdi
- b. %rax, %rbx, %rcx, %rdx
- c. %rax, %rdx, %rcx
- d. %rbx, %rbp
- **14.** Dada una función que devuelve la suma de 8 enteros en x86-64, ¿cuál de las siguientes instrucciones suma el 7° argumento?
- a. add -0x8(%rsp), %eax
- b. add 0x8(%rsp), %eax
- c. add -0x4(%rsp), %eax
- d. add 0x4(%rsp), %eax
- 15. En el fragmento de programa siguiente:

```
66b: e8 8a ff ff ff callq 5fa <f>670: 48 83 c4 10 add $0x10, rsp
```

¿Cuál es el valor que introduce en la pila la instrucción callq?

- a. 0x670
- b. 0xffffff8a
- c. 0x66b
- d. 0x5fa
- **16.** En el fragmento de programa siguiente:

```
66b: e8 8a ff ff ff callq 5fa <f>670: 48 83 c4 10 add $0x10, rsp
```

la instrucción callq suma al contador de programa la cantidad:

- a. -0x76
- b. 0x5fa
- c. 0xffffff8a
- d. 0x76
- **17.** Suponga la siguiente llamada a una función **f** de 4 argumentos:

```
mov $0x1, %ecx
mov $0x2, %edx
mov $0x3, %esi
mov $0x4, %edi
callq 5fa <f>
```

El primer parámetro de llamada a la función:

- a. Es el valor inmediato 1
- b. Es el contenido de la dirección de memoria 0x1
- c. Es el valor inmediato 4
- d. Es el contenido de la dirección de memoria 0x4
- 18. Habiendo declarado int array={0,1,2,3}; y long long *ptr=array; ¿cuánto vale ptr[1]?
- a. 0x0000 0001 0002 0003
- b. 0x0000 0001 0000 0000
- c. 0x0003 0002 0001 0000
- d. 0x0000 0003 0000 0002
- **19.** Una función C llamada **get_el(...)** genera el siguiente código ensamblador.

leaq (%rdi,%rdi,4), %rax
addq %rax, %rsi
movl arr(,%rsi,4), %eax
ret

Se puede adivinar que:

- a. arr es un array multi-nivel (punteros a enteros) de cuatro filas
- b. arr es un array multi-nivel pero no se pueden adivinar las dimensiones
- c. arr es un array bidimensional de enteros, no se pueden adivinar dimensiones
- d. arr es un array bidimensional de enteros, con cinco columnas
- **20.** Las microoperaciones de la fase de captación de una instrucción:
- a. Son comunes para todas las instrucciones
- Dependen del código de operación de la instrucción que se encuentra en el registro de instrucción
- c. Dependen de los indicadores de estado y del código de operación de la instrucción que se encuentra en el registro de instrucción
- d. Dependen del valor del contador de programa
- 21. Para el procesador con unidad de control microprogramada estudiado en clase, Tanenbaum propone codificar los 16 registros y añadir una señal "PERC" para habilitar la carga desde el bus C (recordar que era un diseño típico con 3 buses) y así no perder expresividad/paralelismo. El ahorro de bits en cada microinstrucción debido a esta técnica es de

- a. 40 bits
- b. 39 bits
- c. 35 bits
- d. 29 bits
- 22. Un procesador está segmentado en k etapas. Cada una de ellas consume un tiempo t. La aceleración ideal (si no hay riesgos) al ejecutar 5 instrucciones respecto a un procesador no segmentado será:
- a. 5k/(4+k)
- b. (4+k)/5t
- c. 4k/(5+k)
- d. (5+k)/4t
- **23.** ¿Cuál de las siguientes afirmaciones sobre la E/S programada con consulta de estado es cierta?
- Si se emplea E/S programada puede hacerse con consulta de estado o sin consulta de estado
- b. Un programa que realice salida programada con consulta de estado no ejecutará ninguna instrucción de entrada o carga
- c. Sólo la E/S por DMA libera a la CPU de realizar la consulta de estado del dispositivo de E/S
- d. La escritura de un led requiere consulta de estado
- **24.** En un sistema de interrupciones vectorizado y en daisy-chain, ¿cuál de las siguientes afirmaciones es cierta?
- a. El procesador informa de un ciclo de reconocimiento de interrupción con la señal de reconocimiento de interrupción (INTA) y la identificación de los dispositivos se realiza por consulta de estado
- b. La gestión de prioridades queda establecida por el orden en que los dispositivos reciben la señal INTA y el dispositivo se identifica por un dato que deposita en el bus
- c. La gestión de prioridades queda establecida por el orden en que los dispositivos reciben la señal INTA y la identificación de los dispositivos se realiza leyendo sus registros de estado
- d. El daisy-chain asigna a todos los dispositivos la misma prioridad y la identificación de los dispositivos se realiza leyendo sus registros de estado

- **25.** ¿Cuál de las siguientes características es menos probable que pueda programarse en un canal DMA?
- a. dos direcciones (origen y destino)
- b. dos tamaños (copia origen y copia destino)
- c. cuál de las dos direcciones es de E/S (si alguna lo es) en lugar de Memoria
- d. si se desea producir una IRQ al terminar
- 26. En un computador con una jerarquía de memoria de dos niveles se observa experimentalmente que el tiempo medio de acceso a la memoria es de 300 ns cuando en realidad el tiempo medio de acceso al primer nivel es de 6 ns. Sabiendo que el tiempo de acceso al segundos nivel es de 3 microsegundos, ¿cuál sería aproximadamente el porcentaje de fallos en los accesos al primer nivel?
- a. 90%
- b. 1%
- c. 10%
- d. 99%
- **27.** El orden de magnitud del tiempo de acceso a la memoria DRAM de un computador es de:
- a. Picosegundos
- b. Nanosegundos
- c. Microsegundos
- d. Milisegundos
- **28.** Una memoria estática tiene un bus de datos de 32 bits y su bus de direcciones es de 20 bits, ¿cuál es su capacidad?
- a. 4 MBytes
- b. 1 MByte
- c. 32 MBytes
- d. 80 GBytes
- **29.** En una cache asociativa por conjuntos de 2^v vías con 2^b líneas (marcos de bloque) de 2^w palabras, el gestor de memoria **no** considera como campo (conjunto de bits contiguos con significado o relevancia) los siguientes bits:
- a. últimos w bits (0...w-1) (los menos significativos)
- b. bits w...w+c-1 (con c=b-v)
- c. bits w...w+c-1 (siendo $2^c=n^o$ conjuntos)
- d. bits b...b+c-1 (siendo $2^c=n^o$ conjuntos)

- **30.** Para obtener una única velocidad comparativa final, el benchmark SPEC CPU combina las ganancias en velocidad de ejecución de una serie de tests, respecto a un ordenador de referencia, usando...
- a. la mediana
- b. la media aritmética
- c. la media geométrica
- d. la moda