

Nombre:

DNI:

Grupo:

Examen Test (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 3/30 si es correcta, 0 si está en blanco o claramente tachada, -1/30 si es errónea.

Anotar las respuestas (a, b, c o d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

- En una CPU de 32bits con memoria de bytes, el problema es que...
 - No tiene sentido, un registro no cabría en memoria
 - No hay problema, cuando se salva un registro a memoria se escribe en la posición deseada
 - Hay que usar 4 instrucciones de lectura (o escritura) para leer (o escribir) un registro completo
 - Hay que respetar el ordenamiento de bytes y reglas de alineamiento con que se diseñó la CPU
- En una memoria de bytes que contuviera a partir de la posición 0 los valores 1,0,0,0,0xFE,0xFF,0xFF,0xFF, se puede decir que...
 - Hay una palabra de 16bit big-endian con valor 1 en la posición 0
 - Hay una palabra de 16bit little-endian con valor 254 en la posición 3
 - Hay una palabra de 32bit little-endian con valor -1 en la posición 4
 - Todas las respuestas anteriores son incorrectas
- ¿Cuál de las siguientes instrucciones es errónea? (sale mensaje de error al intentar ensamblar):
 - movw %dx, (%eax)
 - pushb \$0xFF
 - movswl (%eax), %edx
 - movzbl %dl, %eax
- La instrucción xor \$3, %eax tiene como resultado:
 - Poner a 0 los últimos 3 bits del registro EAX
 - Cambiar 0<->1 (complemento a 1 de) los últimos 2 bits del registro EAX
 - Poner a 1 el último bit del registro EAX
 - Ninguno de los anteriores resultados
- De entre las siguientes construcciones de flujo de control en lenguaje C, la que se traduce más directamente a lenguaje ensamblador es...
 - El bucle for
 - El bucle while
 - El bucle do-while
 - La selección switch-case
- GCC/Linux IA32 resuelve el ajuste de marco de pila mediante las instrucciones:
 - movl %esp, %ebp; popl %esp

- b. `movl %ebp, %esp; popl %ebp`
 - c. `pushl %esp; movl %ebp, %esp`
 - d. `pushl %ebp; movl %esp, %ebp`
-

7. Respecto a registros salva- invocante y salva- invocado en GCC/Linux IA32, ¿cuál de éstos es de distinto tipo que el resto?

- a. EAX
 - b. EBX
 - c. ESI
 - d. EDI
-

8. La convención de llamada Linux/GCC x86-32 considera, respecto a convenios de uso de registros:

- a. 3 registros salva- invocante, 3 registros salva- invocado, y 2 especiales
 - b. 8 registros salva- invocante, 6 registros salva- invocado, y 2 especiales
 - c. Algunos registros salva- invocante, otros salva- invocado, uno especial
 - d. Algunos registros para pasar argumentos, otros salva- invocante, otros salva- invocado, dos especiales
-

9. El marco de pila en x86-64 Linux...

- a. no existe, porque RBP no es registro especial en x86-64
 - b. sólo se crea para funciones que invocan anidadamente a otra función (procedimientos padre, no hojas)
 - c. se crea para funciones en las que GCC no puede evitar que RBP baje más, como por ejemplo: que haya demasiadas variables locales (y no quepan en registros), o que haya que salvar algún registro salva- invocado
 - d. se crea para funciones en las que GCC no puede evitar que RSP baje más, como por ejemplo: que haya que calcular la dirección de una variable local, o pasar más de 6 argumentos a otra función
-

10. En un sistema de 32bits, ¿cuál de las siguientes expresiones C es equivalente a la expresión $(x[2] + 4)[3]$? Asumir que x se ha

declarado como `int **x`. Recordar que C usa aritmética de punteros. Notar que muchos de los paréntesis no son necesarios, sólo se han añadido para evitar confusiones por precedencia de operadores

- a. $((*(x + 8)) + 28)$
 - b. $((*(x + 2)) + 7)$
 - c. $((*(x + 2) + 7)$
 - d. $(((*x) + 2) + 7)$
-

11. Justo antes de que una instrucción máquina escriba un resultado en memoria:

- a. en IR está el resultado y en MBR la dirección donde se almacenará
 - b. en IR está el resultado y en MAR la dirección donde se almacenará
 - c. en MAR está el resultado y en MBR la dirección donde se almacenará
 - d. en MBR está el resultado y en MAR la dirección donde se almacenará
-

12. En una arquitectura RISC típica:

- a. la UC es más compleja que en una arquitectura CISC
 - b. la programación resulta mucho más simple que en una arquitectura CISC
 - c. se usan pocas instrucciones de las disponibles en el conjunto de instrucciones
 - d. suele usarse segmentación
-

13. ¿Qué circuito suele utilizarse para traducir el código de operación de una instrucción máquina a dirección de comienzo en la memoria de control del microprograma correspondiente?

- a. Una memoria
 - b. Un multiplexor
 - c. Un contador
 - d. Un demultiplexor
-

14. ¿Cómo actúa el indicador de signo?

- a. Se pone a 1 cuando el resultado es negativo
- b. Se pone a 1 cuando el resultado es distinto de cero
- c. Se pone a 0 cuando el resultado es negativo

d. Se pone a 1 cuando el resultado es positivo

15. ¿Cuál de las siguientes afirmaciones es cierta?

- a. La E/S en memoria emplea la patilla IO/M#
 - b. En E/S independiente, las instrucciones de acceso a memoria se emplean tanto para memoria como para E/S
 - c. La E/S independiente facilita la protección
 - d. La E/S en memoria es mucho más rápida que la E/S independiente
-

16. La técnica de sondeo, escrutinio o "polling"...

- a. Se utiliza para identificar la fuente de una interrupción
 - b. No permite establecer un mecanismo de asignación de prioridades a los distintos dispositivos
 - c. En caso de utilizarse, es necesario emplear varias líneas para que los dispositivos soliciten una interrupción
 - d. Es incompatible con el daisy-chain
-

17. Señale cuál de las siguientes opciones es una técnica habitual para llevar a cabo la transferencia de datos entre el computador y los dispositivos de E/S externos:

- a. E/S por nivel
 - b. E/S por flanco
 - c. Acceso directo a memoria (DMA)
 - d. Acceso indirecto a memoria (IMA)
-

18. ¿Cuál de las siguientes afirmaciones acerca del concepto de interrupción es cierta?

- a. Es una bifurcación normalmente externa al programa en ejecución
 - b. Su objetivo es incrementar el ancho de banda con el dispositivo
 - c. Solicita que el procesador se aisle de los buses
 - d. Permite realizar transferencias sin el control de un programa
-

19. La primera instrucción ensamblador de una subrutina compilada con gcc en Linux/x86 cdecl suele ser:

- a. `mov %esp, %ebp`
 - b. `push %ebp`
 - c. `push %ebx`
 - d. `pop %ebx`
-

20. En cdecl/x86, ¿cuál de los siguientes registros tiene que ser guardado por la función llamada si es alterado por ésta?

- a. `eax`
 - b. `ebx`
 - c. `ecx`
 - d. `edx`
-

21. Se desea construir una memoria de SRAM de tamaño 3G X 8 a partir de elementos de memoria SRAM más pequeños.Cuál de las siguientes soluciones sería correcta:

- a. 256 chips de 16Mx 1 bits
 - b. 16 chips de 512 M x 2 bits
 - c. 12 chips de 512M x 4 bits
 - d. Ninguna de las anteriores es correcta
-

22. Un procesador de 1GHz tarda 4ns en realizar 4 instrucciones sin realizar segmentación de cauce. Cuanto tardaría en realizar 9 instrucciones un procesador con segmentación de cauce de 4 etapas si no existiera ningún retraso en ninguna de las instrucciones.

- a. 2 ns
 - b. 3 ns
 - c. 4.5 ns
 - d. 9 ns
-

23. ¿Cuántas patillas de dirección tiene una memoria DRAM de 1G palabra, siendo la longitud de palabra de 16 bits?

- a. 20
 - b. 16
 - c. 30
 - d. 15
-

24. ¿Cuál de las siguientes afirmaciones es cierta?

- a. La memoria SRAM es más lenta que la DRAM
 - b. La lectura en la memoria SRAM es destructiva
 - c. La memoria DRAM es más cara que la SRAM
 - d. Ninguna de las anteriores
-

25. La ganancia en velocidad de un cauce de K etapas de igual duración ejecutando un programa de N instrucciones es:

- a. $S = KN/(K-N+1)$
 - b. $S = NKT/(N-K+1)T$
 - c. $S = KN/(K+N-1)$
 - d. $S = NT/(N+K-1)T$
-

26. ¿A qué tipo de localidad de memoria hace referencia la siguiente afirmación: “si se referencia un elemento, tenderá a volver a ser referenciado pronto”?

- a. Localidad espacial
 - b. Localidad lógica
 - c. Localidad temporal
 - d. Ninguna de las respuestas anteriores es correcta
-

27. ¿Cuáles de las siguientes direcciones de memoria podrían estar simultáneamente en una memoria caché con correspondencia directa de 256 palabras con 16 palabras por bloque?

- a. 0000 y FF0F
 - b. ABAB y ABAC
 - c. 08E3 y 74E1
 - d. Ninguna de las combinaciones anteriores
-

28. En una memoria DRAM que permite el acceso en modo página se accede a la palabra 0x1234. Si emplea páginas de 256 palabras, ¿Cuál será la menor dirección a la que podremos acceder rápidamente?

- a. 0x1000
 - b. 0x1200
 - c. 0x1230
 - d. Otra
-

29. ¿Cuál de las siguientes afirmaciones es cierta?

- a. Al realizar la segmentación de cauce aumenta en general el tiempo necesario para la ejecución de un programa
 - b. Debido a que pueden existir dependencia de datos, los resultados de un programa pueden ser diferentes a si el programa se ejecutara sin segmentación
 - c. La segmentación de cauce disminuye el número de instrucciones necesarias para la ejecución de un programa
 - d. Ninguna de las combinaciones anteriores
-

30. En un procesador con segmentación de cauce, aumentar el número de etapas (p.ej. de 2 a 4, o de 4 a 8), tiene en general como consecuencia:

- a. Un incremento de las prestaciones
 - b. Un mayor retraso en la ejecución de los programas debido al incremento del número de etapas
 - c. Una disminución en la posible dependencia de datos
 - d. Una disminución de la máxima frecuencia de reloj a la que puede operar el cauce
-