

1. Suponga una jerarquía de memoria de dos niveles, M_1 y M_2 , con capacidades s_1 y s_2 bits, tiempo de acceso a los circuitos de cada nivel t_1 y t_2 , y coste por bit c_1 y c_2 , respectivamente. Obtenga:
 - a) El costo por bit de toda la memoria.
 - b) El tiempo medio de acceso.
 - c) La eficacia de la jerarquía de memoria en términos de la razón de velocidad del nivel 2 respecto al 1.

2. (0,7) Considere una jerarquía de memoria de dos niveles, M_1 (más cercano al procesador) y M_2 , con tiempos de acceso t_1 y t_2 , costes por byte c_1 y c_2 , y tamaños s_1 y s_2 , respectivamente. La razón de aciertos de M_1 es $A_1 = 0,9$.
 - a) (0,1) Escriba una fórmula mostrando el coste total C_{tot} del sistema de memoria, sin tener en cuenta el coste de conexión de los dos niveles de la jerarquía.
 - b) (0,2) Escriba una fórmula que modele el tiempo de acceso efectivo T_{ef} del sistema de memoria, teniendo en cuenta que el acceso a M_1 y M_2 no se puede llevar a cabo simultáneamente.
 - c) (0,4) Suponga que $t_1 = 20$ ns, t_2 es desconocido, $s_1 = 512$ KB, s_2 es desconocido, $c_1 = 0,00015$ €/ byte, $c_2 = 0,0000006$ €/ byte.
 - i) ¿Cuántos GB de M_2 ($s_2 = ?$) se pueden adquirir sin exceder un presupuesto total aproximado de unos 400 €, si se desprecia el coste de la conexión de los dos niveles de la jerarquía?
 - ii) ¿De qué velocidad hay que comprar la memoria M_2 ($t_2 = ?$) para conseguir un tiempo de acceso medio $T_{ef} = 30$ ns en el sistema de memoria completo bajo la suposición de tasa de aciertos anterior?

3. Teniendo en cuenta que la gráfica de la Figura 1 pretende estar relacionada con el pseudocódigo siguiente, etiquete los ejes de coordenadas, rodee con un círculo los puntos que le parezcan relacionados, etiquételos según la nomenclatura del pseudocódigo e indicando qué tipo de localidad se para cada caso, y deduzca el valor de N. (Conteste en este mismo folio escribiendo sobre la Figura 1).

```

Para i=1...N a[i] = i * i
Para j=1...N b[j] = j * j * j
Para k=1...N c[k] = a[k] + b[k]

```

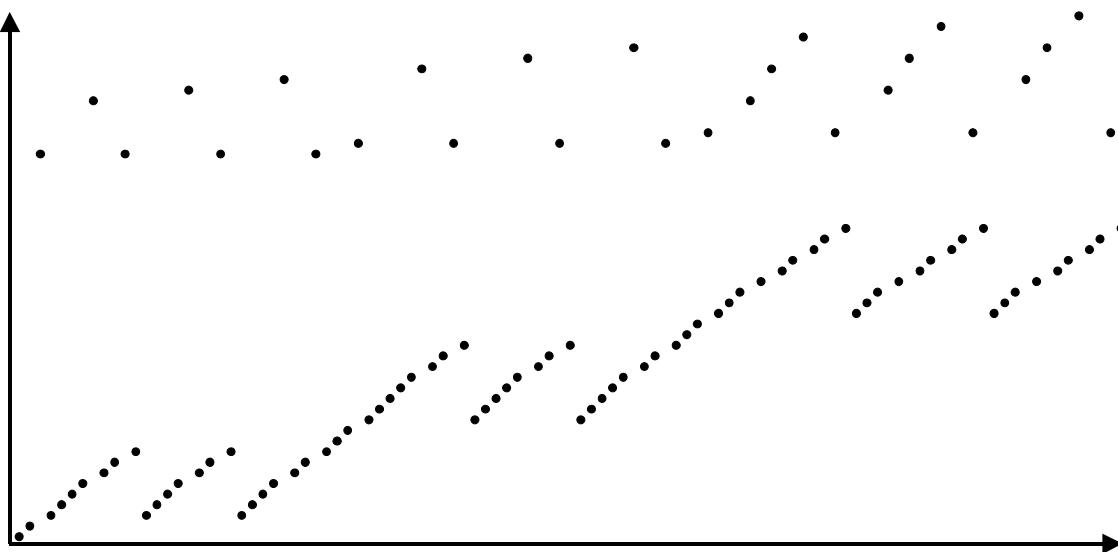


Figura 1. Gráfica del problema 3.

4. Un computador con un bus de datos de 32 bits usa circuitos de memoria RAM dinámica de $1\text{M} \times 4$.

- ¿Cuál es la memoria más pequeña (en bytes) que puede tener ese computador?
- Dibuje un esquema de la misma, detallando las líneas de direcciones y de datos.

5. Una placa madre de un IBM PC basada en el microprocesador Intel 8088 dispone de 256 KB de DRAM con 1 bit de paridad, constituida por circuitos integrados 4164 (Figura 2). Las señales que conectan esta memoria con los buses y otros circuitos (circuitaría de refresco de memoria y de generación/ comprobación de paridad) se muestran en la Figura 3 (PAR_IN y PAR_OUT son las señales de paridad).

a) Dibuje el sistema de memoria y su conexionado con las señales de la Figura 3. No incluya ninguna circuitaría de refresco.

b) Especifique en el dibujo del apartado (a) o en una tabla las direcciones de memoria asociadas a cada chip o grupo de chips. Indique asimismo en qué chips y en qué posición dentro de esos chips se encuentra almacenado el byte de memoria cuya dirección es 20001h.

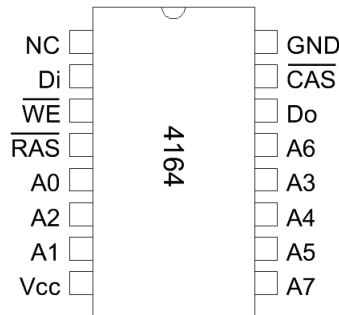


Figura 2. Circuito DRAM 4164 (Di = Data in, Do = Data out, NC = No conectada).

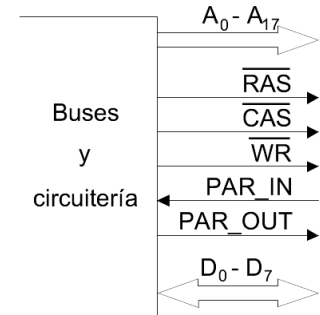


Figura 3. Señales para el sistema de memoria DRAM.

6. Una placa madre de un PC basada en el microprocesador Intel 8088 disponía de 512 KB de DRAM más bit de paridad, constituida por circuitos integrados 41256 (Figura 4). Las señales que conectaban esta memoria con los buses y otros circuitos (circuitaría de refresco de memoria y de generación/ comprobación de paridad) se muestran en la Figura 5 (PAR_IN y PAR_OUT son las señales de paridad).

Dibuje el sistema de memoria completo (todos los chips) y su conexionado con las señales de la Figura 5. No hay que incluir la circuitaría de refresco.

Especifique en el dibujo el rango de direcciones de memoria asociado a cada chip.

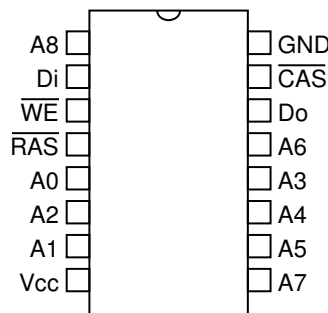


Figura 4. Circuito DRAM 41256 (Di = Data in, Do = Data out).

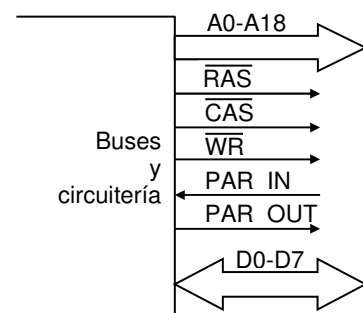


Figura 5. Señales para el sistema de memoria DRAM.

7. Suponga que dispone de circuitos integrados de memoria SRAM de $32\text{K} \times 8$ (Figura 6) y desea construir con ellos una memoria de 256 K palabras de 32 bits, organizada con entrelazado de orden inferior con bancos de 64 K palabras.

- Dibuje el esquema del sistema de memoria, detallando las líneas de dirección.
- Indique en el dibujo en qué chips y en qué posición dentro de esos chips se encuentra almacenada la palabra cuya dirección es 20001h (el direccionamiento de memoria se realiza a nivel de palabras de 32 bits).

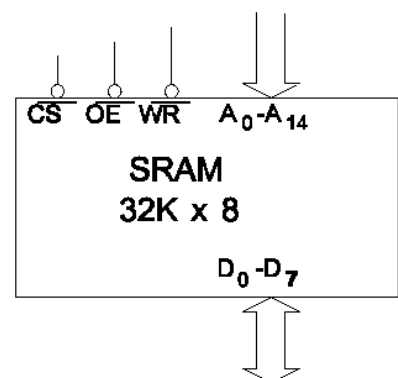


Figura 6. Circuito SRAM.

8. La placa madre de un procesador de 32 bits (486) dispone de 4 MB de memoria DRAM distribuida en módulos SIMM de 30 contactos sin paridad de $1\text{M} \times 8$. Cada SIMM contiene 8 chips de DRAM. Aparte de 9 contactos para alimentación, tierra y no conectados, cada SIMM tiene los siguientes contactos:

A0-A9: Entradas de dirección.
RAS#: Row Address Strobe.

CAS#: Column Address Strobe.

WE#: Write Enable.

DQ1-DQ8: Entradas/salidas de datos.

a) ¿Qué tamaño tiene cada chip de DRAM?

b) Dibuje un esquema de uno de los SIMM con las conexiones entre sus contactos y las patillas de los chips de DRAM.

c) Dibuje un esquema con todos los SIMM (sin dibujar el interior de cada uno) y su conexión con los buses de direcciones y datos del sistema.

9. Un computador dispone de 16 MB de memoria principal entrelazada de orden inferior y acceso simultáneo (Tipo S), constituida por módulos de 1 M Byte. Suponga que el procesador desea acceder a los bytes cuyas direcciones son:

AB0010h, AB0021h, 0010AAh, 2227AAAh, 0101AAh, 01016Ah, 010163h

a) ¿En qué módulo se encuentra cada uno de esos bytes?

b) ¿Cuántos accesos simultáneos a memoria se necesitan como mínimo?

10. Se tiene un computador con una memoria principal entrelazada con esquema de entrelazado de orden inferior con *latch* en las entradas (acceso C) de 256 K palabras dividida en 4 módulos.

a) ¿Cuáles son las cinco primeras direcciones de cada módulo?

b) Comparar la velocidad de acceso a la memoria para peticiones de acceso espaciadas uniformemente 3 y 2 direcciones empezando en la dirección 5, con la de acceso a un sólo módulo. Dibujar un esquema de tiempos.

11. En un computador que dispone de cache, las instrucciones necesitan 8.5 ciclos de reloj para ejecutarse en caso de que no haya falta. Si la tasa de faltas de la cache es del 11%, cada falta da lugar a un incremento de tiempo de 6 ciclos de reloj, y por término medio cada instrucción necesita 3 accesos a memoria. ¿Cuál debe ser el número medio de ciclos de una instrucción (CPI) en el computador sin cache para que sea beneficioso utilizarla?

12. Suponga que el tiempo de ejecución de un programa es directamente proporcional al tiempo de acceso a instrucciones, y que el acceso a una instrucción en la caché es ocho veces más rápido que el acceso a una instrucción en la memoria principal. Suponga que una instrucción pedida por el procesador se encuentra en la caché con una probabilidad de 0.9, y suponga también que si una instrucción no se encuentra en la caché primero debe ser captada desde la memoria principal a la caché y a continuación captada de la caché para ser ejecutada.

a) Calcule la eficiencia como la relación entre el tiempo de ejecución de un programa sin la caché y el tiempo de ejecución con la caché.

b) Siempre que se dobla el tamaño de la caché, la probabilidad de no encontrar en ella una instrucción buscada se reduce a la mitad. Dibuje una gráfica que represente la eficiencia, tal como se define en el apartado a), en función del tamaño de la caché, indicando cual es la eficiencia mínima (tamaño 0) y máxima (tamaño $\rightarrow \infty$).

13. El tiempo de acceso a la memoria cache de un sistema es de 50 ns, y el tiempo de acceso a la memoria principal es de 500 ns. Se estima que el 80% de las peticiones de acceso a la memoria son para lectura y el resto para escritura. La razón de aciertos es de 0.9.

a) Determinar el tiempo de acceso promedio considerando sólo los ciclos de lectura.

b) Determinar el tiempo de acceso promedio considerando también los ciclos de escritura.

14. Un computador con una memoria principal de 1 M palabra dispone de una memoria cache de correspondencia directa de 4 K palabras con marcos de bloque de 16 palabras.

Suponiendo que la memoria cache se encuentra inicialmente "vacía":

a) Indique el número de faltas de cache que se producen si el procesador genera la secuencia de accesos a

memoria:

ABC13h, CDC14h, ABC1Fh, AB305h, CAC13h, CDC1Ah, CA00Fh, ABC10h

b) Para esa misma secuencia, indique los marcos de bloque de cache en los que se carga cada posición de memoria principal a la que se pretende acceder.

15. Un computador direccionable por bytes tiene una pequeña caché de datos capaz de almacenar 8 palabras de 32 bits. Cada bloque de caché consiste en una palabra de 32 bits. Al ejecutar un determinado programa, el procesador lee datos de la siguiente secuencia de direcciones (en hexadecimal):

200, 204, 208, 20C, 2F4, 2F0, 200, 204, 218, 21C, 24C, 2F4

Este patrón se repite cuatro veces en total.

a) Muestre los contenidos de la cache al final de cada pasada a ese bucle si se usa correspondencia directa. Calcule la tasa de aciertos para este ejemplo. Asuma que la caché está inicialmente vacía.

b) Repita la parte a) para una correspondencia completamente asociativa que usa el algoritmo de reemplazo LRU.

c) Repita la parte a) para una caché asociativa por conjuntos de cuatro vías.

16. Un computador tiene una cache de 128 bytes. Usa correspondencia asociativa por conjuntos, de cuatro vías, con 8 bytes en cada bloque. El tamaño de la dirección física es 32 bits, y la unidad mínima direccionable es 1 byte.

a) Dibuje un diagrama que muestre la organización de la cache e indique como se relaciona una dirección física con la cache (campos).

b) ¿En qué marcos de bloque de la cache puede residir el byte de memoria principal cuya dirección es 000010AFh?

c) Si las direcciones 000010AFh y FFFF7AXYh pueden asignarse simultáneamente al mismo conjunto de cache, ¿cuántos posibles valores distintos puede tener XY en la segunda dirección?

17. Suponga una memoria cache de 4 K palabras asociativa por conjuntos, con marcos de bloque de 64 palabras y 8 conjuntos, y una memoria principal de 8 M palabras.

a) ¿En qué posición de cache se situaría la palabra de memoria principal cuya dirección es 3A0A39h ?

b) ¿Qué direcciones de memoria principal no pueden encontrarse en cache al mismo tiempo que esa dirección?

18. Un sistema de cómputo tiene una memoria principal de 32 K palabras de 16 bits. También tiene una memoria cache de 4 K palabras organizadas de forma asociativa por conjuntos con 4 bloques por conjunto y 64 palabras por bloque.

a) Calcúlese el número de bits de cada uno de los campos Etiqueta, Conjunto y Palabra.

b) Si el tiempo de acceso a la memoria principal es 10 veces mayor que el de la memoria cache, y la razón de aciertos de la cache es de 0.9, determinar la eficiencia de acceso (razón entre el tiempo de acceso a la memoria cache y el tiempo medio de acceso).

19. Un ordenador dispone de 32 KB de memoria principal direccionable por bytes y una memoria cache completamente asociativa de 4 KB. El tamaño del bloque de la memoria cache es de 8 palabras de 32 bits. El tiempo de acceso a la memoria principal es 10 veces mayor que el de la memoria cache.

a) ¿Cuántos comparadores hardware se necesitan?

b) ¿Cuál es el tamaño del campo identificador?

c) Si se utiliza el esquema de sustitución directa, ¿cuál sería el tamaño del campo identificador?

d) Suponer que la eficiencia de acceso se define como la razón entre el tiempo de acceso con memoria cache y el tiempo de acceso sin memoria cache. Determinar la eficiencia de acceso suponiendo que la razón de aciertos de la memoria cache es 0.9.

e) Si el tiempo de acceso a la memoria cache es de 200 ns, ¿cuál será la razón de aciertos necesaria para lograr un tiempo de acceso de 500 ns?

20. Los parámetros que definen la memoria de un computador son los siguientes:

- Tamaño de la memoria principal: 32 K palabras.
- Tamaño de la memoria cache: 4 K palabras.
- Tamaño de bloque: 64 palabras.

Determine el tamaño de cada campo de una dirección de memoria y explique brevemente cómo se obtiene, para las siguientes políticas de colocación:

- a)** Totalmente asociativa.
- b)** Por correspondencia directa.
- c)** Asociativa por conjuntos con 16 bloques por conjunto.

21. Los parámetros que definen la memoria de un computador son los siguientes:

- Tamaño de la memoria principal: 4 G bytes.
- Tamaño de la memoria cache: 1 MB.
- Tamaño de bloque: 256 bytes.

Determine el tamaño de cada campo de una dirección de memoria desde el punto de vista de la cache, para las siguientes políticas de colocación:

- a)** Totalmente asociativa.
- b)** Por correspondencia directa.
- c)** Asociativa por conjuntos con 4 bloques por conjunto.

22. Los parámetros que definen la memoria de un computador son los siguientes:

- Tamaño de la memoria principal: 4 G bytes.
- Tamaño de la memoria cache: 16 MB.
- Tamaño de bloque: 256 bytes.

Determine el tamaño de cada campo de una dirección de memoria desde el punto de vista de la cache, para las siguientes políticas de colocación:

- a)** Totalmente asociativa. **b)** Directa. **c)** Asociativa por conjuntos, de 8 vías. **d)** Por sectores con 16 bloques por sector.

23. Una memoria cache asociativa por conjuntos consiste en un total de 64 bloques divididos en conjuntos de 4 bloques. La memoria principal contiene 4096 bloques. Cada bloque contiene 128 palabras.

- a)** Indicar el número de bits que hay en una dirección de memoria principal.
- b)** Indicar el número de bits que hay en cada uno de los campos Marca, Conjunto y Palabra.

24. Un ordenador dispone de 32 K palabras de memoria principal y una memoria cache con colocación asociativa por conjuntos. El tamaño de un bloque es de 16 palabras y el campo identificador de 5 bits. Si la misma memoria cache se sustituye directamente, el campo identificador tendría una longitud de 3 bits. Determinar el número de palabras que alberga la memoria cache. Determinar el número de bloques que alberga un conjunto de la memoria cache.

25. Los parámetros que definen la memoria de un computador son los siguientes:

- Tamaño de la memoria principal : 8 K líneas
- Tamaño de la memoria cache : 512 líneas
- Tamaño de la línea : 8 palabras

Determinar el tamaño de los distintos campos de una dirección en las siguientes condiciones:

- a)** Colocación completamente asociativa.
- b)** Colocación directa.
- c)** Colocación asociativa por conjuntos con 16 líneas por conjunto.
- d)** Colocación por sectores con 16 líneas por sector.

26. Sea un sistema de memoria con cache, con las siguientes características:

Tamaño de la memoria principal:	4 GB
Tamaño de la memoria cache:	256 KB
Tamaño de palabra (anchura bus de datos):	32 bits
Correspondencia:	Asociativa por conjuntos
Nº de bloques / líneas por conjunto (nº de vías):	4
Nº de palabras por bloque / línea:	16

Dibuje un esquema detallado de la memoria cache y su conexión con la CPU para una de las dos alternativas que se indican más abajo. No incluya la MP ni la interfaz entre cache y MP (circuitería necesaria para transferir bloques entre cache y MP).

a) Puede utilizar 1024 memorias asociativas de 4×16 , un decodificador de 10 a 1024, 1024 codificadores de 4 a 2, 1024 puertas OR de 4 entradas y 4096 circuitos SRAM de 64×8 .

b) Puede utilizar 8 circuitos SRAM de $1K \times 8$, 4 comparadores de dos entradas de 16 bits y 16 circuitos SRAM de $16K \times 8$.

27. Un ordenador usa una pequeña cache, con correspondencia directa, entre la memoria principal y la CPU. La cache tiene 4 marcos de bloque con dos palabras de 16 bits cada uno. Cada bloque tiene asociada una etiqueta de 13 bits. Cuando ocurre una falta durante una operación de lectura, el bloque que contiene la palabra pedida se lee de la memoria principal y se envía a la cache, y su número de bloque se almacena simultáneamente en la etiqueta asociada. Después, se lleva la palabra de la cache a la CPU. Considere la siguiente subrutina de un programa cuyas instrucciones y datos tienen 16 bits:

```

loop: add R0, [R1++]      ; R0 es el destino
      dec R2
      bnz loop
      ret

```

Suponga que, antes de que se entre en el bucle, los registros R0, R1 y R2 contienen 0, 054Eh y 3, respectivamente, y la cache está vacía. También suponga que las direcciones de memoria principal 054Eh, 054Fh, 0550h y 0551h contienen los datos A03Ch, 05D9h, 10D7h y B6ECh. El bucle comienza en la posición loop = 02ECh.

a) Muestre los contenidos de la cache cada vez que ésta se modifica.

b) Suponga que el tiempo de acceso de la memoria principal es 10τ (tiempo para transferir un bloque entre memoria principal y cache) y el de la cache es τ . Escriba una expresión teórica para el tiempo de acceso promedio a la cache considerando sólo la lectura y sin tener en cuenta el reemplazo de bloques. Para el programa anterior, indique el número de accesos a memoria y la tasa de aciertos. Calcule entonces el tiempo total de ejecución estimado por la expresión teórica e indique si es el mismo que el experimental (ignore el tiempo que consume la CPU entre ciclos de memoria).

28. Dada la organización de memoria cache que se muestra en la Figura 7:

a) ¿Qué tipo de correspondencia utiliza?

b) Determine el número de palabras y de bloques que almacena la cache.

c) Nombre cada uno de los campos de una dirección de memoria principal y determine su tamaño.

d) ¿Qué son y cuál es la utilidad de los dos triángulos?

e) ¿Para qué sirve la puerta OR?

f) ¿Cómo se puede utilizar el bit LRU? ¿Por qué basta con un único bit?

g) Explique brevemente cómo se busca un dato en la cache.

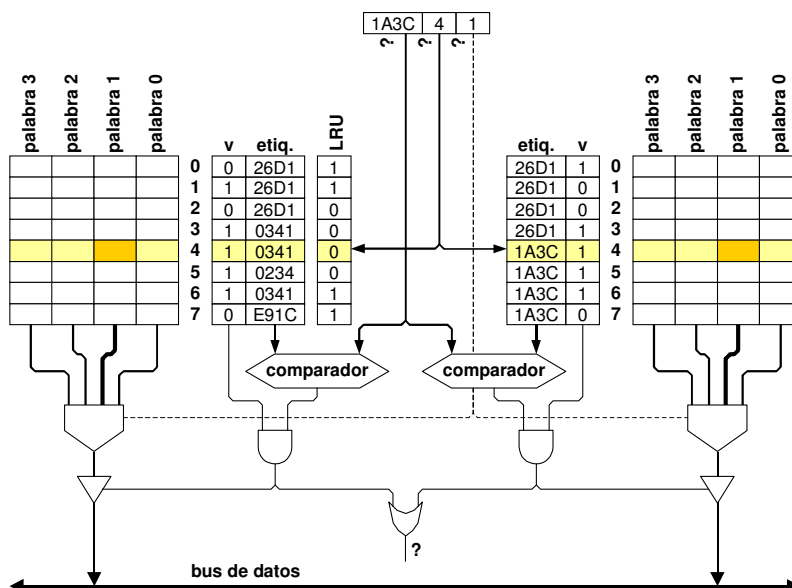


Figura 7. Organización de memoria cache del problema 28 (sólo está representada la lógica de lectura).

29. Un computador direccionable por palabras tiene una pequeña caché de datos e instrucciones capaz de almacenar 16 palabras. Cada bloque de caché consiste en dos palabras. Al ejecutar un bucle de 8 instrucciones (cada instrucción ocupa una palabra), el procesador accede a la memoria según el siguiente patrón:

Instrucción dentro del bucle	Dirección de la instrucción	Dirección del dato accedido por la instrucción
i1 (acceso a datos)	0012h	FF03h
i2 (salto a i5)	0013h	-
i5 (acceso a datos)	0016h	FF07h
i6 (salto a i9)	0017h	-
i9 (acceso a datos)	001Ah	FF0Bh
i10 (salto a i13)	001Bh	-
i13 (acceso a datos)	001Eh	FF0Fh
i14 (salto a i1)	001Fh	-

El bucle se repite 1000 veces en total.

a) Muestre el contenido de la cache al final de la última pasada a ese bucle si se usa correspondencia directa. Calcule la tasa de aciertos para este ejemplo. Asuma que la caché está inicialmente vacía.

b) Repita el apartado a) para una correspondencia asociativa por conjuntos de dos vías.

30. Un procesador direcciona la memoria principal por bytes (esto quiere decir que cuando se incrementa en 1 una dirección, se direcciona el objeto del siguiente byte). La lectura o escritura de una palabra de 32 bits alineada requiere un único acceso a memoria, mientras que si no está alineada se necesitan dos accesos. El procesador dispone de una pequeña caché de datos capaz de almacenar 4 palabras de 32 bits cada una. Cada bloque de caché consiste en una palabra de 32 bits. Al ejecutar un determinado programa, el procesador lee palabras de 32 bits de las siguientes direcciones (en hexadecimal):

200, 326, 204, 326

Este patrón se repite varias veces.

a) Muestre en una pequeña tabla el contenido de los 16 bytes de la cache al final de cada pasada a ese bucle si se usa correspondencia directa. Calcule la tasa de aciertos para este ejemplo a partir de la segunda iteración del bucle.

b) Repita la parte a) para una caché asociativa por conjuntos de dos vías, con reemplazo LRU.

c) Repita la parte a) para una caché totalmente asociativa.

31. Suponga que tiene que diseñar un sistema basado en el procesador TMS320C30, que puede direccionar un total de 16 M palabras de 32 bits, y dispone de una memoria cache interna para instrucciones de 64 palabras de 32 bits. Revisando la Guía del Usuario de este circuito encuentra la Figura 8 y los siguientes comentarios:

"...La cache está dividida en dos segmentos de 32 palabras. Asociado con cada segmento hay un Registro de Dirección de Comienzo del Segmento (SSA). Por cada palabra de la cache hay un bit llamado Indicador de Presencia (P). Cuando la CPU requiere una instrucción, se chequea si la palabra está ya en la cache de instrucciones. Los 19 bits más significativos de la dirección de una instrucción se usan para seleccionar el segmento y los 5 bits menos

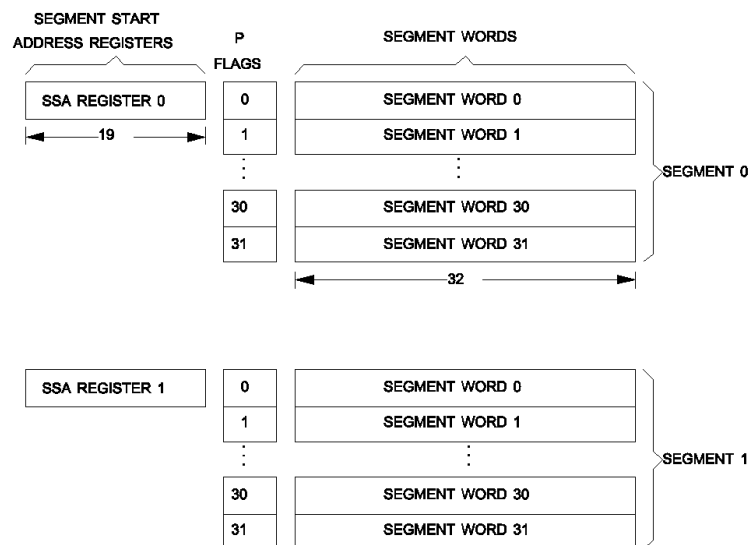


Figura 8. Arquitectura de la cache de instrucciones
SEGMENT START ADDRESS REGISTERS = Registros de dirección de comienzo de segmento, WORD = Palabra, SEGMENT WORD = Palabra dentro de segmento.

significativos definen la dirección de la palabra (instrucción) dentro del segmento. Los 19 MSBs de la instrucción se comparan con los dos registros SSA. Si hay coincidencia, se chequea el indicador P. El indicador P indica si una palabra de un segmento está ya presente en memoria (1) o no (0).

Cuando el TMS320C30 requiere una instrucción de la memoria externa dos posibles eventos pueden ocurrir:

Acierto de cache: La instrucción requerida se encuentra en cache y es leída de ella.

Falta de cache: Hay dos tipos de faltas:

1) Falta de palabra. El registro SSA coincide con la dirección de la instrucción, pero el indicador P no está a 1. Entonces se lee la instrucción de memoria y se copia en la cache, poniendo a 1 el indicador P.

2) Falta de segmento. Ninguno de los registros SSA coincide con la dirección. Se selecciona el segmento menos recientemente usado. Se borran los 32 indicadores P. El registro SSA del segmento seleccionado se carga con los 19 bits más significativos de la dirección requerida. La palabra de la instrucción se trae de memoria a cache, colocándose en la palabra de cache, dentro del segmento seleccionado, indicada por los 5 bits menos significativos de la dirección. El bit P de esa palabra se pone a 1..."

a) Salvo nomenclatura, esta cache usa una política de colocación estudiada en clase. ¿Cuál?

b) Identifique cada uno de los campos con los nombres conocidos, indicando su tamaño.

(Razone las respuestas)

32. Se dispone de un computador con las siguientes características:

1. El 90% (87,5% para el apartado b)) de todos los accesos a memoria se encuentran en la caché interna del procesador.
2. Cada bloque de caché interna consta de dos palabras.
3. El procesador envía referencias a su caché interna a la velocidad de 10^7 palabras por segundo.
4. El 25% de las referencias de (3) son escrituras.
5. El bus del sistema puede soportar 10^7 transferencias (lecturas o escrituras) de palabras por segundo.
6. El bus del sistema lee o escribe una sola palabra cada vez (no puede leer o escribir dos palabras cada vez).

Se está considerando el añadir un periférico al bus del sistema, y se quiere saber qué ancho de banda del bus se está utilizando. Calcule el porcentaje del ancho de banda del bus utilizado en los siguientes cuatro casos:

a) La caché es de escritura directa (*write-through*) con asignación en escritura. No se escriben bloques completos de caché interna a memoria principal sino sólo palabras

b) Igual que a) pero escritura directa sin asignación en escritura. Este cambio provoca que la tasa de aciertos baje del 90% al 87,5%.

c) La caché es de postescritura-siempre (*write-back*). Se escriben bloques completos de caché interna a memoria principal.

d) Igual que c) pero postescritura-marcada. Suponga que en cualquier instante de tiempo, el 30% de los bloques de la caché interna han sido modificados.

33. Un ordenador tiene un sistema de memoria con las siguientes características:

- Memoria virtual de 16 T bytes con segmentación paginada, que permite direccionar hasta 2^{22} segmentos de 1024 páginas cada uno, siendo el tamaño de la página de 4 KB.
- Memoria principal de 1 G byte.
- Si hay un fallo de segmento, hay que llevar su tabla de páginas de disco a memoria principal. Lo mismo sucede si hay un fallo de página, es decir, hay que llevar la página de disco a memoria principal. Cualquiera de estas dos operaciones consume 20 ms.
- Memoria cache de 256 K Bytes, cuya organización es asociativa por conjuntos. Cada conjunto está formado por 4 bloques de 32 bytes cada uno. El tiempo para acceder al directorio de cache y determinar si la dirección buscada reside o no en cache es de 20 ns, y de 30 ns para leer la palabra buscada. Si hay un fallo de cache, se lleva el correspondiente bloque de memoria principal a cache (operación que consume 200 ns), y a continuación se realiza el acceso a cache (no se accede de nuevo al directorio).
- Para la traducción de direcciones virtuales a físicas se utiliza:
 - Un TLB cuyo tiempo de acceso es de 20 ns.
 - Una tabla de segmentos, que residirá en memoria principal, parte de la cual puede estar en cache.
 - Una tabla de páginas (que ocupa una página) para cada segmento, que puede residir en disco o en memoria principal. Si una tabla de páginas está en memoria principal, parte de ella puede estar

en cache.

- Las probabilidades de acierto son las siguientes:
TLB: 95%; Memoria cache: 90%; Memoria principal: 99,996%
- Todo el direccionamiento se realiza a nivel de bytes.

a) Determine los campos (así como su longitud) de que están compuestas una dirección de memoria virtual, y una dirección de memoria principal desde el punto de vista de la cache. Indique también cuántos bits se necesitan para direccionar una página física.

b) Dibuje un organigrama (diagrama de flujo) que refleje los pasos a seguir desde que se presenta una dirección virtual al sistema de memoria hasta que la CPU obtiene la información referenciada, considerando todos los casos posibles.

c) Determine el tiempo de acceso medio en lectura en caso de acierto en la TLB.

34. Un ordenador tiene un espacio de direcciones virtual de 16 páginas pero sólo 4 marcos de página. Inicialmente, la memoria está vacía. Un programa referencia páginas virtuales en el siguiente orden:

0, 7, 2, 7, 5, 8, 9, 2, 4

¿Cuáles de esas referencias provocan fallos de página con LRU? ¿Y con FIFO?

35. Un multiprocesador tiene 6 procesadores conectados a 4 módulos de memoria mediante un único bus común con funcionamiento síncrono por ciclo partido. El tiempo de acceso a un módulo de memoria, tanto en lectura como en escritura, es de 3 μ s (durante ese tiempo el módulo está ocupado y no puede ser utilizado para otro acceso). El tiempo de ciclo de cada procesador y de cada ranura del bus es de 500 ns. El número de ciclos de utilización del bus para hacer los intercambios de información entre la memoria y los procesadores es:

Operación de lectura	Envío de dirección	1 ciclo
	Lectura del dato	1 ciclo
Operación de escritura	Envío de dirección y dato	1 ciclo
	Recepción de confirmación de dato escrito correctamente	1 ciclo

Sabiendo que de cada siete operaciones en memoria cuatro son de lectura y tres de escritura, calcule el número máximo posible de operaciones en memoria por segundo.

36. Disponemos de un procesador que direcciona la memoria por bytes y dispone de las patillas de datos D0 a D15, las patillas de direcciones A0 a A15, y las señales BHE# (Bus High Enable), MRD#, MWR#, IORD# e IOWR# (el símbolo # significa señal activa a nivel bajo). Diseñe un sistema de memoria para este procesador a partir de módulos SRAM de 8 K \times 8 y ROM 8 K \times 4. La memoria ROM debe ocupar las direcciones 0x0000 a 0x3FFF y la SRAM 0x4000 a 0xFFFF. El procesador debe poder acceder a una palabra completa en una dirección par en un sólo ciclo del bus poniendo A0 y BHE# a 0, a un byte en una dirección par poniendo A0 a 0 y BHE# a 1, o a un byte en una dirección impar poniendo A0 a 1 y BHE# a 0.

37. Un sistema de memoria contiene una caché, una memoria principal y una memoria virtual. Cuando se accede a caché, en el 80% de los casos se produce un acierto. Cuando, debido a una falta de caché, se tiene que acceder a memoria principal, en el 99,995% de esos accesos (no de todos los accesos del procesador, sino sólo de los que producen falta en caché), el dato está en memoria principal y no hay que acceder a disco. La caché tiene un tiempo de acceso de 5 ns, el tiempo de acceso de la memoria principal es de 100 ns, y el de disco es de 10 ms. ¿Cuál es el tiempo medio de acceso de la jerarquía?

38. Diseñe un sistema de memoria para un 8086 que contenga una SRAM de 64K \times 16 en las direcciones E0000 a FFFFF y una EPROM de 32K \times 16 en las direcciones 00000 a 0FFFF. Para ello dispone de circuitos SRAM de 32K \times 8 cuyas señales de control son WE# (Write Enable), OE# (Output Enable) y CS# (Chip Select), y de circuitos EPROM de 16K \times 8 cuyas señales de control son CE# (Chip Enable) y OE# (Output Enable), además de los decodificadores y puertas lógicas que considere convenientes. Tenga en cuenta que el 8086 utiliza las señales A0 y BHE# (Byte High Enable) para activar los bytes bajo y alto, respectivamente.

39. Si se utilizan memorias DRAM con modo página rápido para implementar la memoria principal de un sistema cuya caché usa bloques de 8 palabras, ¿cuántos ciclos del tipo RAS-CAS se ahorran (o sea, cuántos pueden ser sustituidos por ciclos CAS o modo página rápido) cada vez que se copie un bloque de memoria en la caché, suponiendo que los bloques están siempre en una única fila de la DRAM y que ésta devuelve una palabra de datos en cada acceso? Suponga que el tiempo de ciclo RAS-CAS es de 120 ns y el tiempo de ciclo CAS o modo página rápido es de 40 ns. ¿qué porcentaje de tiempo se ahorra por usar modo página rápido frente a no usarlo en la copia de un bloque de memoria principal a caché?

40. El siguiente programa en C calcula los 100 primeros valores de la sucesión de Fibonacci de forma iterativa:

```
const int n = 100;
int fib[n] = {1, 1};
int main()
{
    int i;

    for (i=2; i<n; i++)
        fib[i] = fib[i-2] + fib[i-1];
}
```

Al compilar el programa en un sistema de 64 bits da lugar al código ensamblador siguiente:

```
400510: 31 d2                xor edx,edx
400512: 8b 04 95 40 09 60 00 mov eax,DWORD PTR [rdx*4+0x600940]
400519: 03 04 95 44 09 60 00 add eax,DWORD PTR [rdx*4+0x600944]
400520: 89 04 95 48 09 60 00 mov DWORD PTR [rdx*4+0x600948],eax
400527: 48 83 c2 01          add rdx,0x1
40052b: 48 83 fa 62          cmp rdx,0x62
40052f: 75 e1                jne 400512 [main+0x2]
```

Supongamos que se ejecuta en un procesador que utiliza una caché unificada para datos e instrucciones, con correspondencia directa con 4 marcos de bloque y 8 palabras por bloque. El procesador direcciona la memoria por bytes. El vector `fib` comienza en la dirección 0x600940 y sólo sus dos primeras posiciones están inicializadas a 1. `rdx` es la extensión a 64 bits del registro `edx`. Las operaciones sobre registros de 32 bits ponen a 0 los 32 bits más significativos del equivalente registro de 64 bits; así, la instrucción `xor edx,edx` pone a 0 tanto `edx` como su extensión a 64 bits `rdx`.

- a)** Muestre el contenido de la caché en cada instante para las 7 primeras instrucciones ejecutadas.
- b)** ¿Cuál es la tasa de aciertos de la caché tras la ejecución de las primeras 7 instrucciones del programa?