

Nombre:	
DNI:	Grupo:

Test de Teoría (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 3/30 si es correcta, 0 si está en blanco o claramente tachada, -1/30 si es errónea.

Anotar las respuestas (a, b, c o d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

- ¿Por qué se impusieron las arquitecturas de registros de propósito general a las arquitecturas basadas en pila?
 - Porque no se puede programar una arquitectura de pila en un lenguaje de alto nivel.
 - Porque las basadas en registros son capaces de lograr un mejor rendimiento cuando se asignan variables a registros.
 - Porque la memoria es más cara que los registros.
 - Porque las basadas en registros permiten reducir el tamaño del programa.
- ¿Cuál de las siguientes afirmaciones es incorrecta?
 - El direccionamiento indexado es útil para manejo de vectores.
 - El direccionamiento indirecto indica la dirección del operando.
 - En el direccionamiento implícito no se indica la ubicación del operando
 - En el direccionamiento inmediato el dato se encuentra en la propia instrucción
- ¿Cuál de las siguientes afirmaciones sobre el direccionamiento absoluto es falsa?
 - La instrucción contiene la dirección de memoria en la que se encuentra el objeto.
 - El objeto está en una posición de la memoria.
 - El rango de posiciones direccionables queda limitado por el tamaño del campo de direccionamiento.
 - El tamaño del operando direccionado queda limitado por el nº de bits del campo de direccionamiento.
- ¿Cuál es la diferencia entre los desplazamientos a la derecha lógico y aritmético?
 - El lógico inserta siempre ceros en el bit más a la derecha
 - El aritmético inserta en el bit más a la derecha una copia del bit de signo
 - Insertan de forma distinta el bit más a la izquierda
 - Ninguna, la diferencia es entre los desplazamientos a la izquierda
- La instrucción seta %al (seta significa set if above):
 - Pone AL a 1 si CF=0 y ZF=0
 - Pone AL a 1 si CF=0 o ZF=0
 - Pone AL a 1 si CF=1 y ZF=0
 - Pone AL a 1 si CF=1 o ZF=1
- Los arrays bidimensionales en lenguaje C se almacenan en orden...
 - "mayor-de-columna" (column-major)
 - "mayor-de-fila" (row-major)
 - "de mayor a menor" (major-to-minor)
 - "de fila a columna" (file-to-column)
- ¿Cuál sería el "equivalente x86-64" del "pseudo-código C" `rcx = ((int*)rax)[rcx]`?
 - `mov (%rax,%rcx,4),%rcx`
 - `lea (%rax,%rcx,4),%rcx`
 - `lea (%rax,4,%rcx),%rcx`

d. `mov (%rax,4,%rcx),%rcx`

8. El direccionamiento directo a memoria utiliza

- a. un registro.
 - b. dos desplazamientos contenidos en la propia instrucción.
 - c. un registro y un desplazamiento contenidos en la propia instrucción.
 - d. un desplazamiento.
-

9. ¿Cuál de las siguientes afirmaciones es falsa?

- a. Los programas necesitan una forma de pasar parámetros a las subrutinas y de recibir las salidas de vuelta.
 - b. Las subrutinas necesitan ser capaces de reservar espacio en memoria para las variables locales sin sobrescribir ningún dato usado por el programa que hace la llamada.
 - c. Las subrutinas necesitan recibir parámetros desde el programa que hace la llamada que indiquen qué registros pueden alterar y cuáles no.
 - d. Las subrutinas necesitan algún modo de saber desde dónde han sido llamadas para poder volver al programa que realizó la llamada cuando se completa la subrutina.
-

10. Respecto a la segmentación:

- a. Cuanto más parecidos sean el tiempo de ejecución de una instrucción sin segmentar y el tiempo de una etapa en el procesador segmentado, mayor será la ganancia máxima que se puede obtener.
 - b. Cuando el número de instrucciones ejecutadas tiende al número de etapas de un procesador segmentado, la ganancia máxima que se puede obtener tiende a infinito.
 - c. Cuanto mayor sea la relación entre el tiempo de ejecución de una instrucción sin segmentar y el tiempo de una etapa en el procesador segmentado, mayor será la ganancia máxima que se puede obtener.
 - d. Cuando el número de instrucciones ejecutadas en un procesador segmentado crece, la ganancia máxima que se puede obtener tiende a 1
-

11. Respecto a la segmentación, ¿cuál de las siguientes afirmaciones es falsa?

- a. La técnica de register forwarding habilita una serie de caminos (buses) que se añaden al cauce para permitir que los resultados de una etapa pasen como entradas a la etapa donde son necesarias.
 - b. La reorganización del código y la introducción de instrucciones nop permite evitar dependencias de datos.
 - c. Retrasar la fase de decisión saltar/no saltar de las instrucciones de salto condicional contribuye a mejorar el rendimiento del procesador.
 - d. Cuantas más etapas tenga un cauce, más instrucciones se estarán ejecutando en distintas fases y más posibilidades se presentan de que existan riesgos entre ellas.
-

12. La precaptación (cola de instrucciones) está relacionada con...

- a. Los riesgos estructurales (intenta evitar el efecto de un fallo de cache)
 - b. Los riesgos de (dependencia de) datos (intenta que el dato esté disponible anticipadamente)
 - c. Los riesgos de control (intenta determinar de antemano el flujo de control)
 - d. Los riesgos de transferencia (intenta agrupar las posibles transferencias de un conjunto de instrucciones)
-

13. La predicción de saltos está relacionada con...

- a. Los riesgos estructurales (intenta evitar el efecto de un fallo de cache)
 - b. Los riesgos de (dependencia de) datos (intenta que el dato esté disponible anticipadamente)
 - c. Los riesgos de control (intenta determinar de antemano el flujo de control)
 - d. Los riesgos de transferencia (intenta agrupar las posibles transferencias de un conjunto de instrucciones)
-

14. ¿Cuál de los siguientes modos de direccionamiento es *menos* preferible para un procesador con segmentación de cauce?

- a. Registro
- b. Indirecto a través de memoria
- c. Indirecto a través de registro

d. Indexado (o relativo a base, o base+índice)

15. Si se dice que en un sistema computador cada dirección específica uno o dos puertos de E/S, se refiere a que:

- a. La misma dirección (por ejemplo 0x0210) puede ser una posición de memoria o un puerto de E/S, según IO/M#
 - b. La misma dirección puede usarse para transferir un byte o una palabra de mayor tamaño (ese byte y el siguiente)
 - c. Un puerto será de sólo lectura, otro de sólo escritura, y ambos se decodifican en la misma dirección
 - d. La pregunta es capciosa, una dirección puede especificar un puerto, no dos
-

16. Respecto a si un computador dispone de E/S independiente (separada) o usa E/S mapeada a memoria:

- a. Si el encapsulado (chip) del procesador tiene patilla (pin) IO/M# (o patillas equivalentes), eso evidencia que el computador usa E/S mapeada a memoria
 - b. Si el repertorio del procesador tiene instrucciones del tipo IN y OUT, es que el computador dispone de E/S separada
 - c. Si el encapsulado del procesador no dispone de patilla IO/M# (ni equivalentes), el computador sólo dispone de E/S separada
 - d. Si el repertorio del procesador tiene instrucciones del tipo LOAD y STORE, el computador sólo dispone de E/S mapeada a memoria
-

17. Supongamos dos procesadores con bus de direcciones con idéntico número de líneas. Si uno de ellos emplea E/S mapeada en memoria y el otro E/S independiente, ¿cuál podrá acceder a una mayor cantidad de memoria?

- a. El que tiene E/S independiente.
 - b. El que tiene E/S mapeada en memoria.
 - c. Depende del tamaño del bus de direcciones.
 - d. Ambos podrán acceder a la misma cantidad de memoria.
-

18. ¿Cuál de las siguientes afirmaciones es incorrecta?

- a. La consulta del estado del dispositivo por parte de la CPU se suele hacer con E/S programada (salvo con dispositivos que

siempre están listos para transferir) y con E/S por IRQ (cuando se usa polling para determinar el origen de la IRQ)

- b. Se suele avisar a la CPU (mediante una IRQ) de que debe realizar alguna tarea, tanto en E/S por IRQ (obligatoriamente, la tarea es la transferencia) como en E/S por DMA (optativamente, el controlador DMA puede avisar de que acabó)
 - c. Sólo E/S por DMA libera a la CPU de realizar la consulta de estado del dispositivo de E/S
 - d. Sólo E/S por DMA libera a la CPU de realizar la transferencia de los datos de E/S
-

19. El fragmento de código:

```
poll:  in a, 0x20
        cmp a, $0
        jnz poll
        load a, 0x11
        out 0x21, a
```

corresponde a:

- a. E/S programada sin consulta de estado
 - b. E/S programada con consulta de estado
 - c. E/S por interrupciones
 - d. E/S por DMA
-

20. Un procesador con E/S en el mapa de memoria tiene un bus de direcciones de 10 líneas y uno de datos de 8. El mapa de memoria tiene 512 posiciones para instrucciones, 256 para datos y 256 para E/S, en ese orden. Los rangos de direcciones para esas tres zonas serán:

- a. 000 a 1FF, 200 a 2FF y 300 a 3FF.
 - b. 000 a 5FF, 600 a 7FF y 800 a 9FF.
 - c. 000 a 7FF, 800 a BFF y C00 a FFF.
 - d. 000 a 9FF, A00 a CFF y D00 a FFF.
-

21. El instrumento GIADA de la sonda espacial ROSETTA (diseñado en Granada) está basado en un microprocesador 8086 y el siguiente mapa de memoria:

RAM volátil: 00000 - 0FFFF

RAM no volátil: 10000 - 1FFFF

ROM: F0000 - FFFFF

¿Cuál es el tamaño total de la memoria?

- a. 48KB
- b. 192KB
- c. 2MB

d. 3MB

22. Una memoria que está estructurada en palabras de 8 bits tiene una capacidad de 64 Kbits. ¿Cuántas líneas de dirección tiene dicha memoria?

- a. 8
 - b. 12
 - c. 13
 - d. 24
-

23. ¿Cuál de los siguientes es el ejemplo más acertado de localidad espacial?

- a. Referenciar elementos de un array sucesivamente
 - b. Iterar repetidamente el cuerpo de un bucle
 - c. Reservar dinámicamente (malloc) espacio para una estructura o union
 - d. Referenciar continuamente la misma variable local
-

24. ¿Cuál de las siguientes es una idea fundamental de la jerarquía de memoria?

- a. Crear una gran cantidad de almacenamiento que sea caro y rápido
 - b. Crear una pequeña cantidad de almacenamiento que sea caro y lento
 - c. Que dispositivos más pequeños y rápidos sirvan de cache para dispositivos más grandes y lentos
 - d. Que dispositivos más grandes y lentos sirvan de cache para dispositivos más pequeños y rápidos
-

25. ¿Cuál de las siguientes afirmaciones acerca de las memorias SRAM es falsa?

- a. Los datos almacenados se mantienen por un tiempo indefinido mientras se mantenga la alimentación.
 - b. El número de transistores necesario para implementar cada celda es mayor que en las memorias RAM dinámicas
 - c. Las operaciones de lectura son destructivas
 - d. Son más veloces que las memorias RAM dinámicas
-

26. Se dispone de un circuito integrado que actúa como módulo básico de memoria de $8K \times 4$. ¿Qué circuitos necesitamos para construir una memoria de $16K \times 8$?

- a. 2 módulos de memoria.

- b. 2 módulos de memoria y un decodificador.
 - c. 4 módulos de memoria.
 - d. 4 módulos de memoria y un inversor.
-

27. En la cache L1 de instrucciones, la tasa de fallos:

- a. Siempre tiende a crecer si el tamaño total de L1 crece.
 - b. Siempre tiende a disminuir si el tamaño total de L1 crece.
 - c. Siempre tiende a crecer si el número de vías crece.
 - d. Siempre tiende a disminuir si el número de vías disminuye.
-

28. Supongamos que una memoria cache de tamaño 512B con política LRU está inicialmente vacía. Si para la siguiente secuencia de direcciones enviadas a la cache: 0, 2, 4, 8, 16, 32, la tasa de acierto es 0.33, ¿cuál es entonces el tamaño de bloque de la cache?

- a. 4B
 - b. 8B
 - c. 16B
 - d. Ninguno de los anteriores
-

29. Un sistema tiene una cache asociativa por conjuntos de 2-vías con 16 conjuntos y líneas de 64B. ¿A qué conjunto le corresponde el byte con dirección 0xdeadbeef?

- a. 7
 - b. 11
 - c. 13
 - d. 14
-

30. ¿Cuál es el tamaño de la etiqueta de caché en un ordenador capaz de direccionar por bytes 1 MB de memoria principal y 32 KB de memoria caché y correspondencia asociativa por conjuntos con 32 bytes por línea y 16 líneas por conjunto?

- a. 6 bits
 - b. 7 bits
 - c. 8 bits
 - d. 9 bits
-