

Memoria entrelazada

■ Módulos independientes

- Para incrementar el ancho de banda de MP, ésta se divide en varios módulos de acceso independiente, de manera que **se pueda acceder a varias palabras a la vez.**
- ✓ Eficiencia si las referencias se distribuyen **equitativamente** entre todos los módulos.
 - En el caso ideal **el ancho de banda se multiplica por el número de módulos.**

■ Conflicto de memoria:

- Dos o más direcciones requieren **acceso simultáneo al mismo módulo.**
 - **No se pueden atender a la vez.**
 - Necesidad de dos o más ciclos de memoria.

■ Esquemas de entrelazado:

- Formas de distribuir las direcciones entre los módulos.
 - **Entrelazado de orden superior.**
 - **Entrelazado de orden inferior.**

Entrelazado de orden superior

■ Entrelazado de orden superior (I)

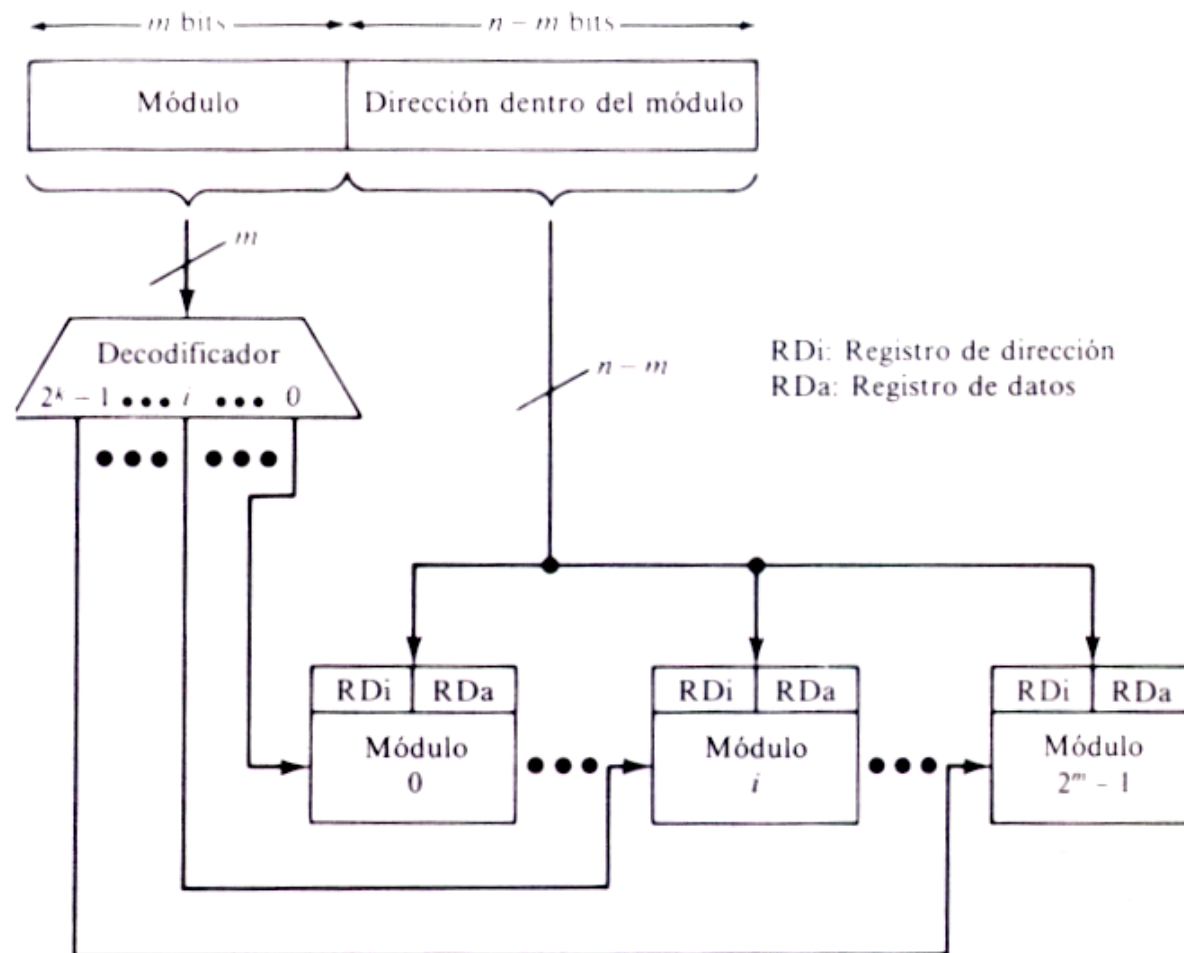
Memoria principal:

$N=2^n$ palabras

$M=2^m$ módulos

2^{n-m}
palabras/módulo

El módulo i ,
 $0 \leq i \leq M-1$, contiene
las direcciones
entre $i \cdot 2^{n-m}$ e
 $(i+1) \cdot 2^{n-m} - 1$



Sistema de memoria paralela con palabras consecutivas en un módulo

Entrelazado de orden superior

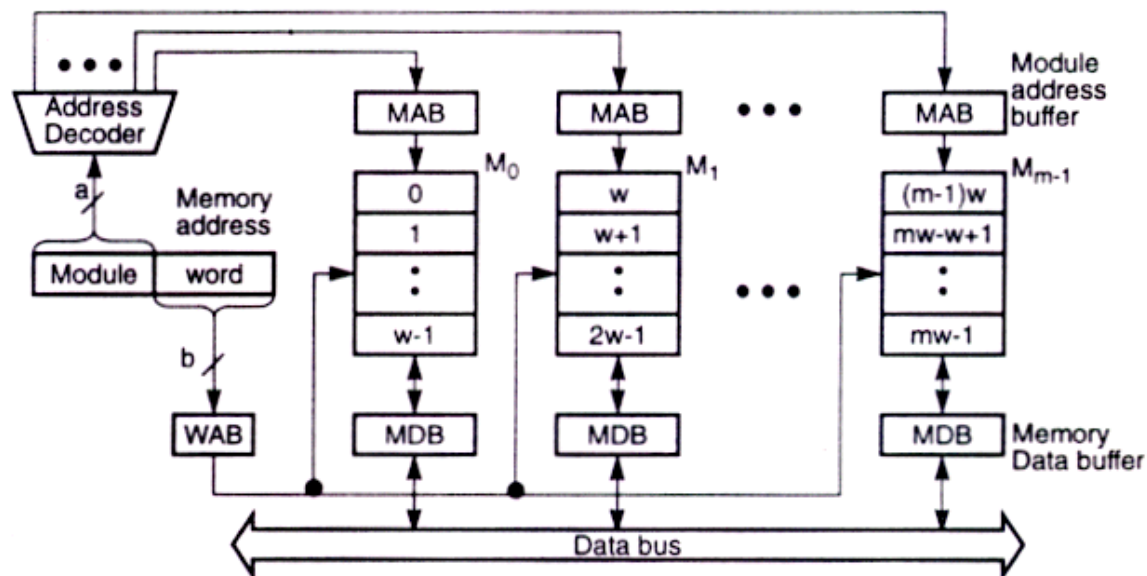
■ Entrelazado de orden superior (II)

Memoria principal:

$m \cdot w = 2^{a+b}$ palabras

$m = 2^a$ módulos

$w = 2^b$ palabras/módulo



- ✓ Más fácil expansibilidad (añadiendo módulos).
- ✓ Mayor fiabilidad (un módulo con fallos afecta a un área localizada).
- ✗ Más conflictos (debido a la localidad espacial, instrucciones y datos consecutivos en el mismo módulo).

Entrelazado de orden inferior

■ Entrelazado de orden inferior (I)

Memoria principal:

$N=2^n$ palabras

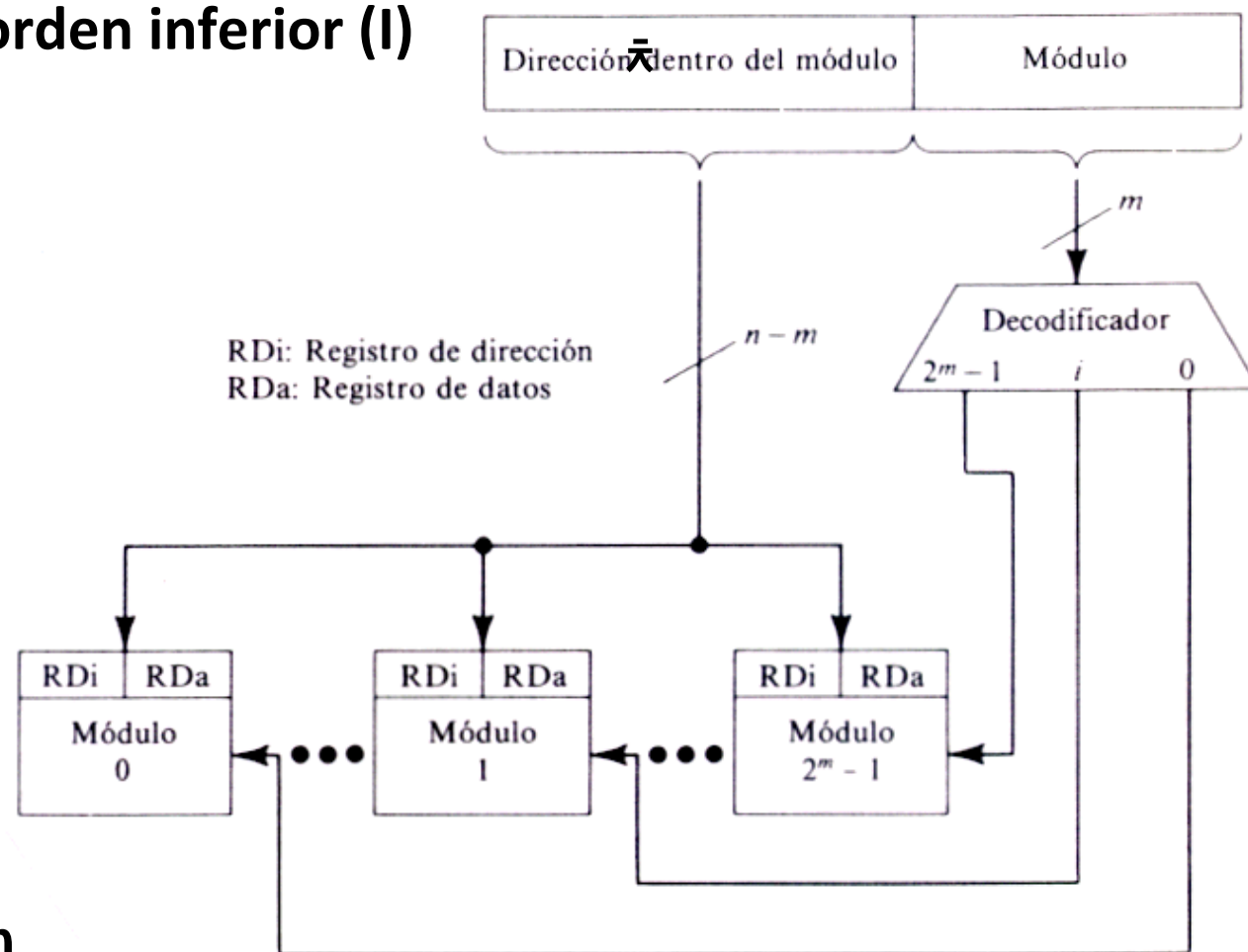
$M=2^m$ módulos

2^{n-m} palabras/módulo

El módulo i , $0 \leq i \leq M-1$, contiene las direcciones de la forma $k \cdot M + i$, $k = 0, 1, \dots, 2^{n-m} - 1$.



La dirección **a** está en el módulo **$a \bmod M$** .



Sistema de memoria paralela con palabras consecutivas en módulos consecutivos

Entrelazado de orden inferior

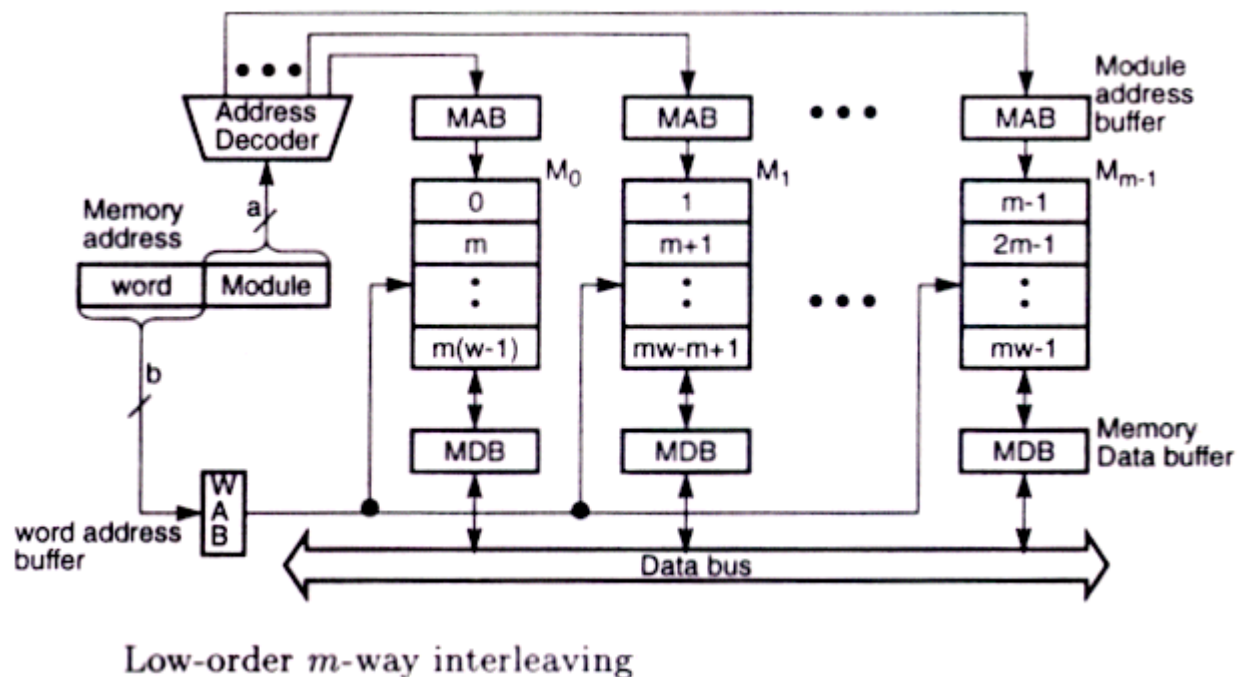
■ Entrelazado de orden inferior (II)

Memoria principal:

$m \cdot w = 2^{a+b}$ palabras

$m = 2^a$ módulos

$w = 2^b$ palabras/módulo



✓ Menos conflictos \Rightarrow se suele utilizar el entrelazado de orden inferior para suministrar datos e instrucciones a gran velocidad a procesadores vectoriales (altamente segmentados) y a memorias caché (SDRAM, RDRAM).

Acceso simultáneo

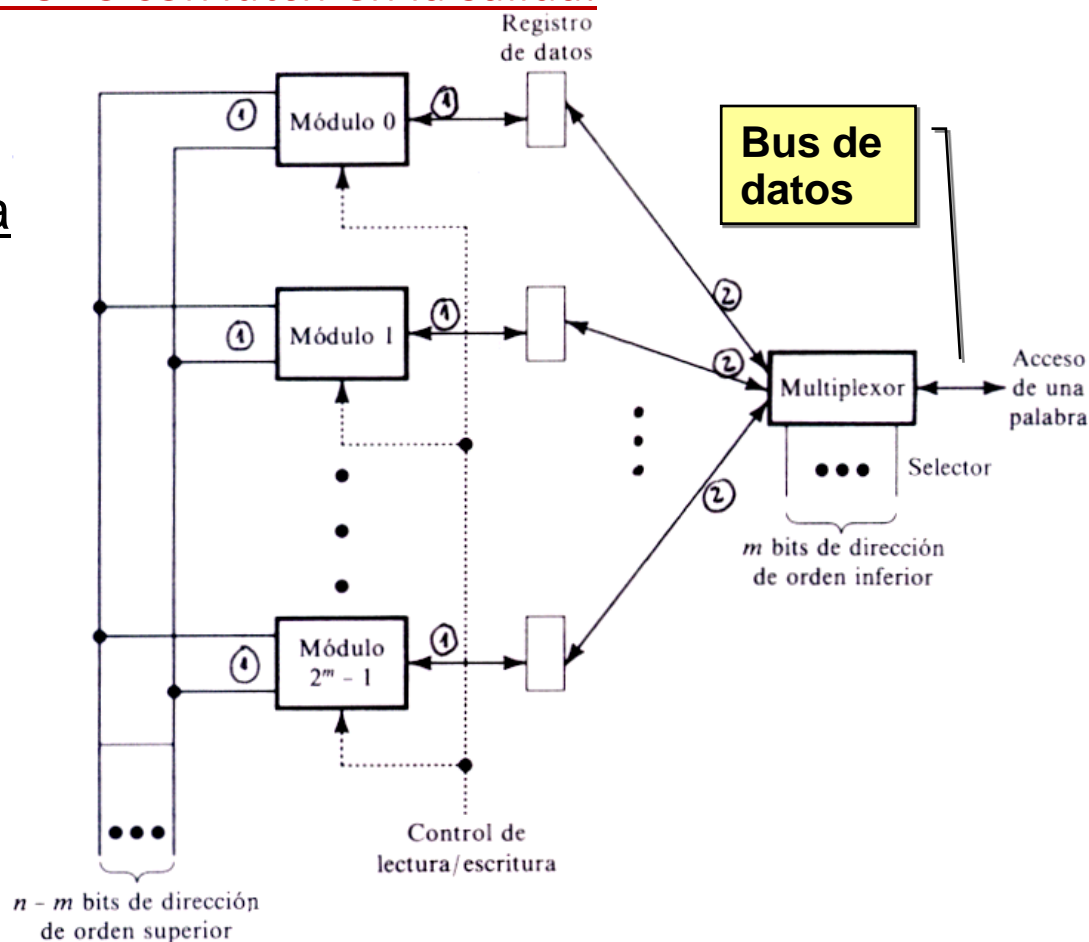
■ Diseño del esquema de entrelazado de orden inferior.

■ Acceso simultáneo o tipo "S" o con *latch* en la salida.

① Los $M=2^m$ módulos son accedidos simultáneamente en tiempo T_a . En todos ellos se accede a la misma palabra dentro del módulo, indicada por los $n-m$ bits de orden superior. Las M palabras leídas se almacenan en los *latches* (registros de datos).

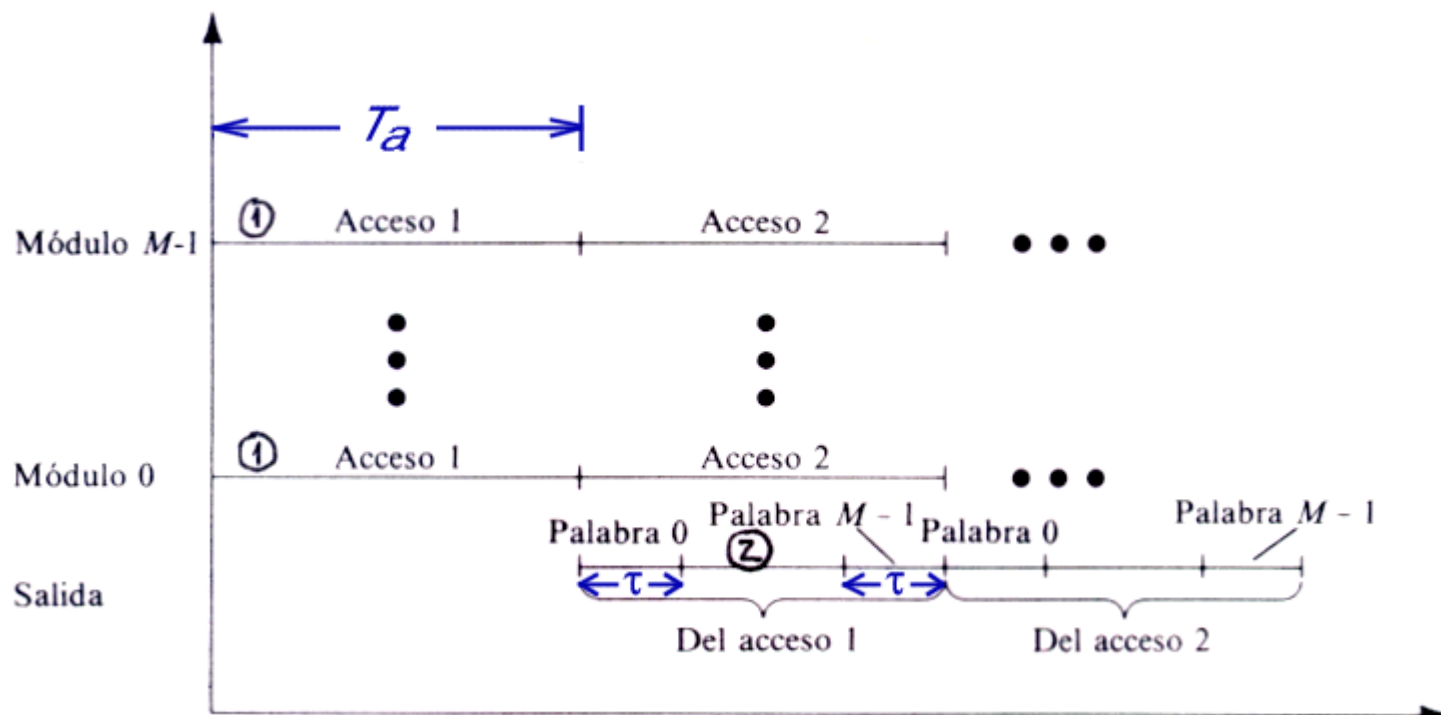
② A la vez que se accede a otra dirección dentro de los módulos, se van leyendo las palabras del acceso precedente a través del multiplexor, una cada τ .

$$M \cdot \tau \leq T_a$$



Acceso simultáneo

- Diagrama de tiempos para la configuración con acceso S (lectura)

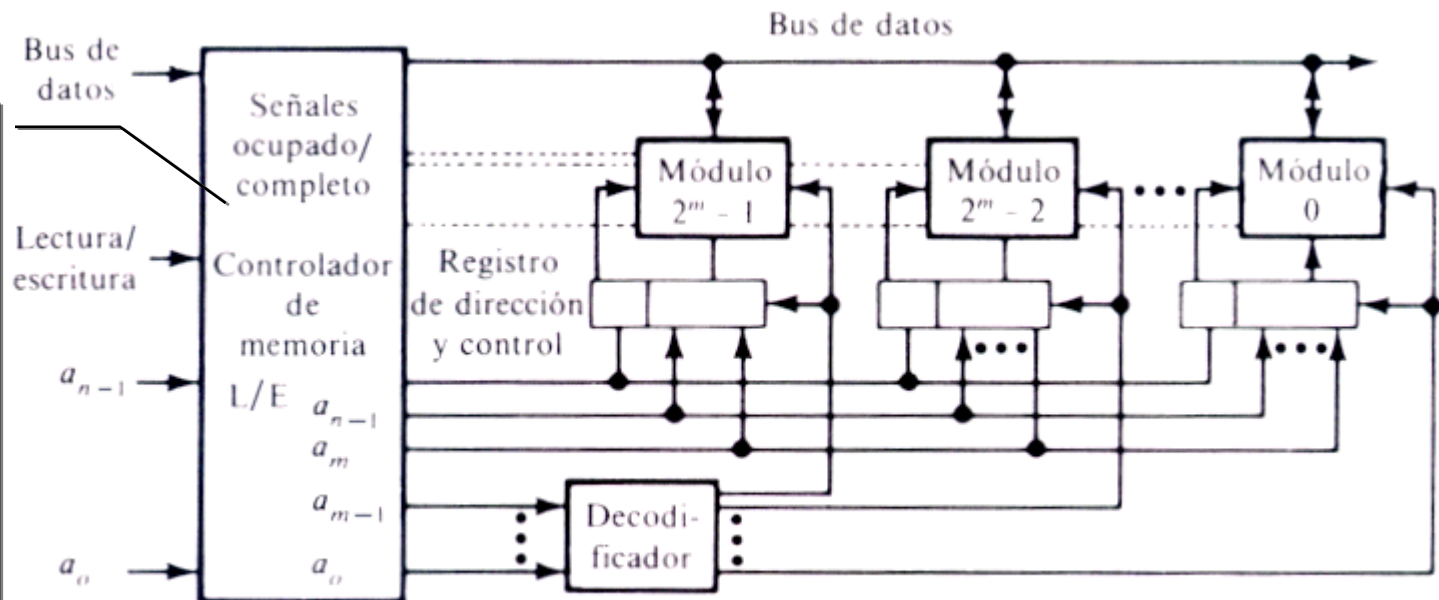


Acceso concurrente

■ Diseño del esquema de entrelazado de orden inferior.

■ Acceso concurrente o tipo "C" o con *latch* en la entrada.

- ① En tiempo τ se escribe la dirección dentro de un módulo en su *latch* de entrada (cada módulo puede usar una dirección particular).
- ② Tras T_a la palabra está disponible en el bus de datos.

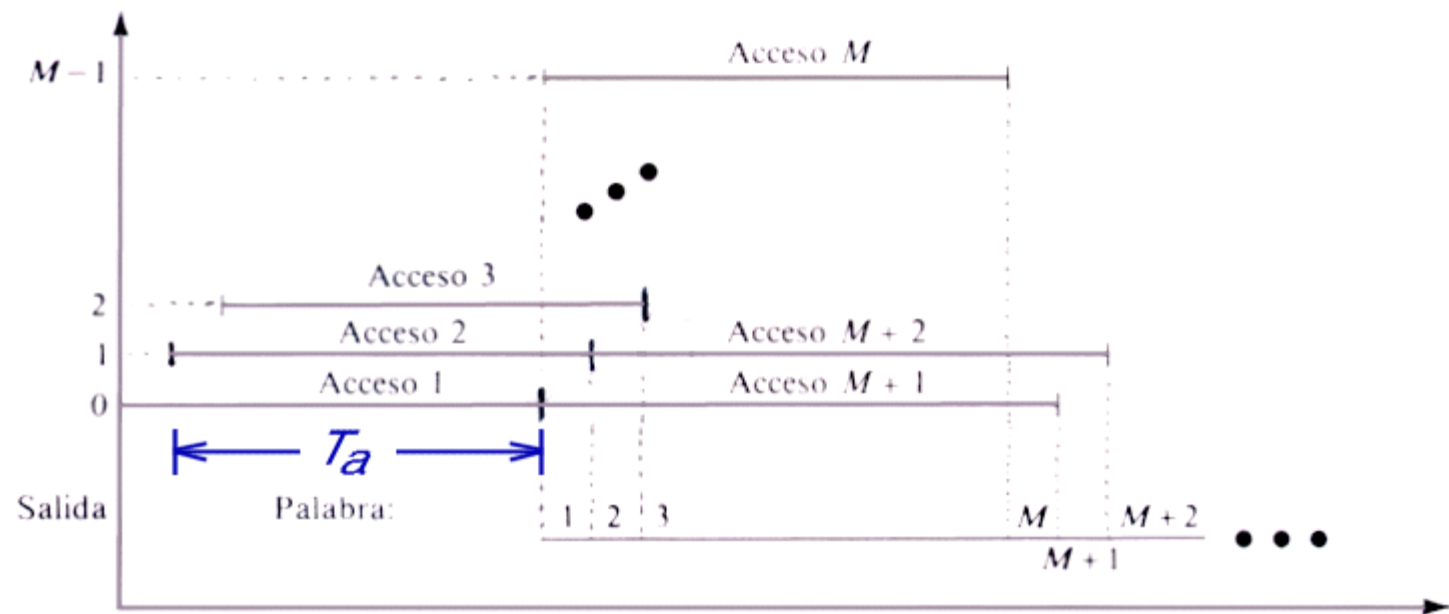


El controlador de memoria permite retener una petición que referencie un módulo ocupado e iniciar el acceso cuando el módulo complete su ciclo actual.

Configuración de memoria con acceso C

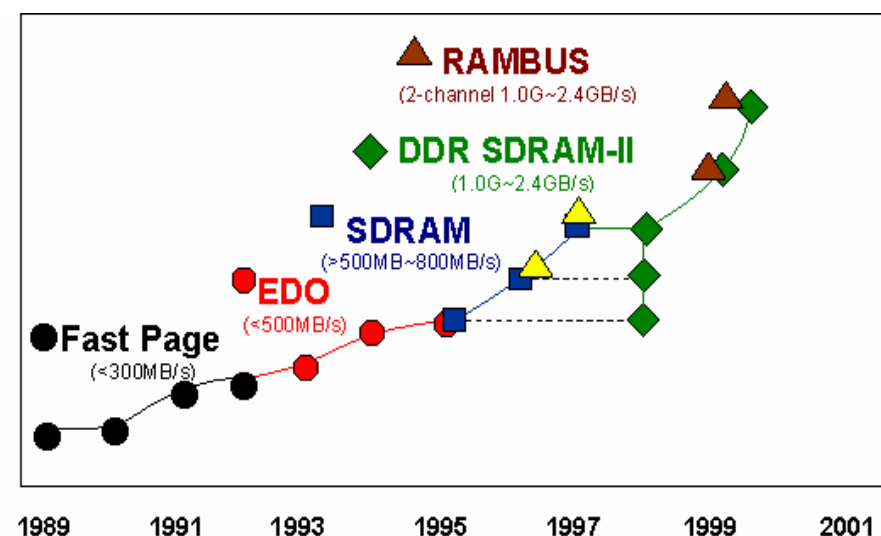
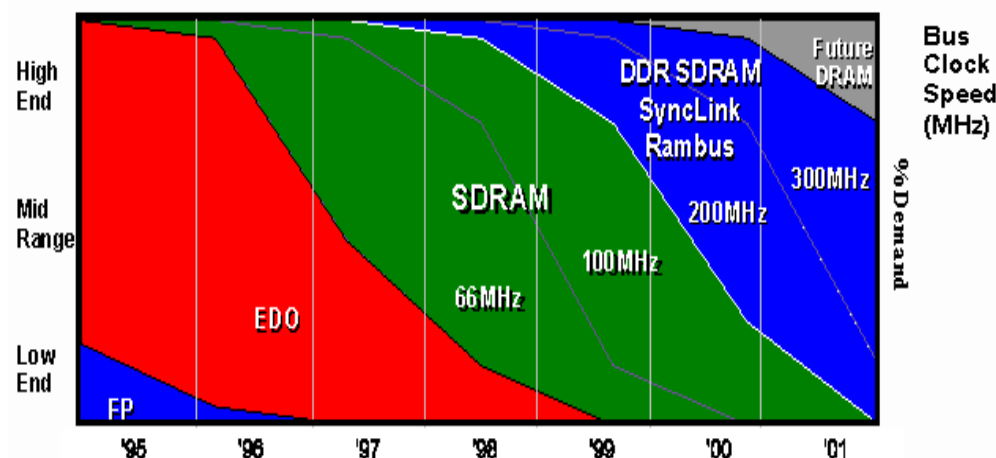
Acceso concurrente

- Diagrama de tiempos para la configuración con acceso C (lectura de direcciones consecutivas)



DRAM avanzadas

DRAM END-USE CONVERSION



DYNAMIC RAM (DRAM) MEMORY TECHNOLOGIES

Type	Year of Intro.	Maximum Clock Rate	Bus Width	Peak Bandwidth	Volts
FPM	1990	25MHz	64 bits	200 MBps	5v
EDO	1994	40MHz	64 bits	320 MBps	5v
SDRAM	1996	133MHz	64 bits	1.1 GBps	3.3v
RDRAM	1998	400MHz (x2)	16 bits	800 MBps	2.5v
DDR SDRAM	2000	266MHz (x2)	64 bits	4.2 GBps	2.5v
DDR2 SDRAM	2003	533MHz (x2)	64 bits	8.5 GBps	1.8v
DDR3 SDRAM	2007	800MHz (x2)	64 bits	12.8 GBps	1.5v

PSRAM

■ **PSRAM** (*Pseudo Static RAM*)

- DRAM que lleva integrados:
 - controlador de refresco,
 - multiplexor de direcciones.
- Se evita la lógica de control externa.
- El dispositivo parece una SRAM normal.
- Utilizada en móviles y PDA.
- ✓ Mayor densidad de integración que la SRAM.
- ✗ La SRAM consume 100 veces menos cuando no es accedida.

FPM y similares, EDO y BEDO

- **FPM DRAM (ya estudiada)** Chips acabados en 00
- **Nibble Mode DRAM** Obsoleta. Chips acabados en 01
 - Similar a DRAM FPM.
 - Se leían/escribían en modo ráfaga datos de **4 direcciones consecutivas**, mediante pulsos /CAS sin desactivar /RAS, a partir de una única dirección enviada (no había que enviar las siguientes 3 direcciones).
- **Static Column DRAM** Obsoleta. Chips acabados en 02
 - Similar a DRAM FPM.
 - Una vez que se había seleccionado una fila, el acceso a diferentes bits de ella se hacía **cambiando únicamente la dirección de columna**, mientras la señal /CAS permanecía activa (cada acceso nuevo comenzaba cuando la memoria detectaba el cambio de algún bit de dirección).

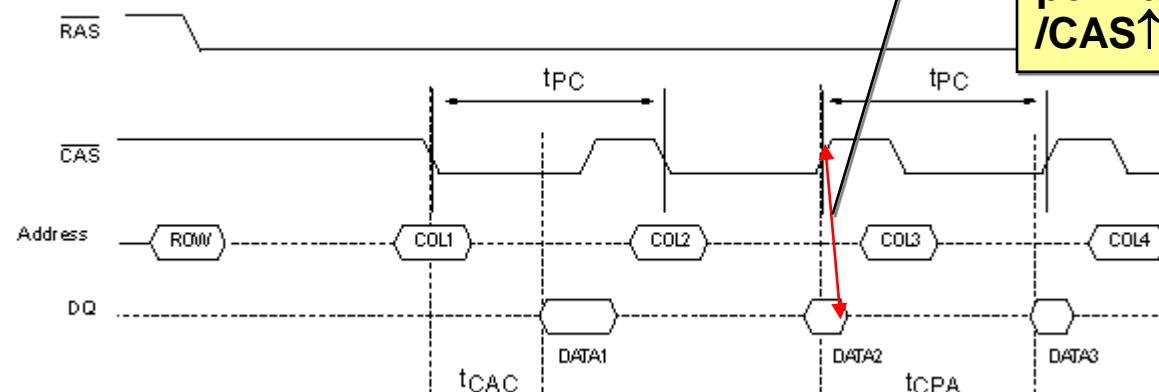
FPM y similares, EDO y BEDO

■ **RAM EDO** (*Extended Data Out DRAM*)

- Similar a DRAM FPM.
- Permitía almacenar en un “*latch*” las salidas de datos \Rightarrow permanecían activas después de que /CAS se desactivara.
- Empleaba una señal adicional /OE para activar la salida de datos.
- Esto permitía solapar accesos:
 - El siguiente ciclo comenzaba antes de que los datos del último ciclo se hubieran tomado del bus (se enviaba la siguiente dirección a acceder a la vez que se leía el dato del acceso anterior).
- Incremento de prestaciones respecto FPM: $\approx 40\%$
- Diseñada para buses de 33 a 66 MHz (Pentium).
- Lenta para un bus de 100 MHz.

FPM y similares, EDO y BEDO

Fast Page Mode:



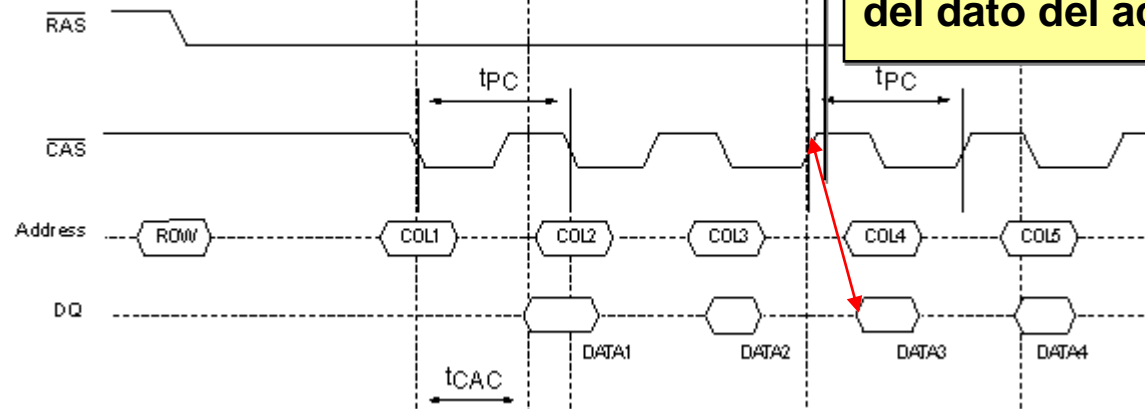
El dato sólo era válido mientras permanecía válida la dirección:
 $\overline{\text{CAS}} \uparrow \Rightarrow \text{DQ inhabilitada (triestado)}$

Temporización 5-3-3-3

El tiempo de acceso era el mismo

$\overline{\text{CAS}} \uparrow$ no inhabilitaba DQ
 $\overline{\text{CAS}} \uparrow \Rightarrow$ el dato se almacenaba en un "latch" \Rightarrow se podía aplicar una nueva dirección (COL4) y acceder un nuevo dato en la matriz (DATA4), sin corromper la salida del dato del acceso anterior (DATA3).

EDO:

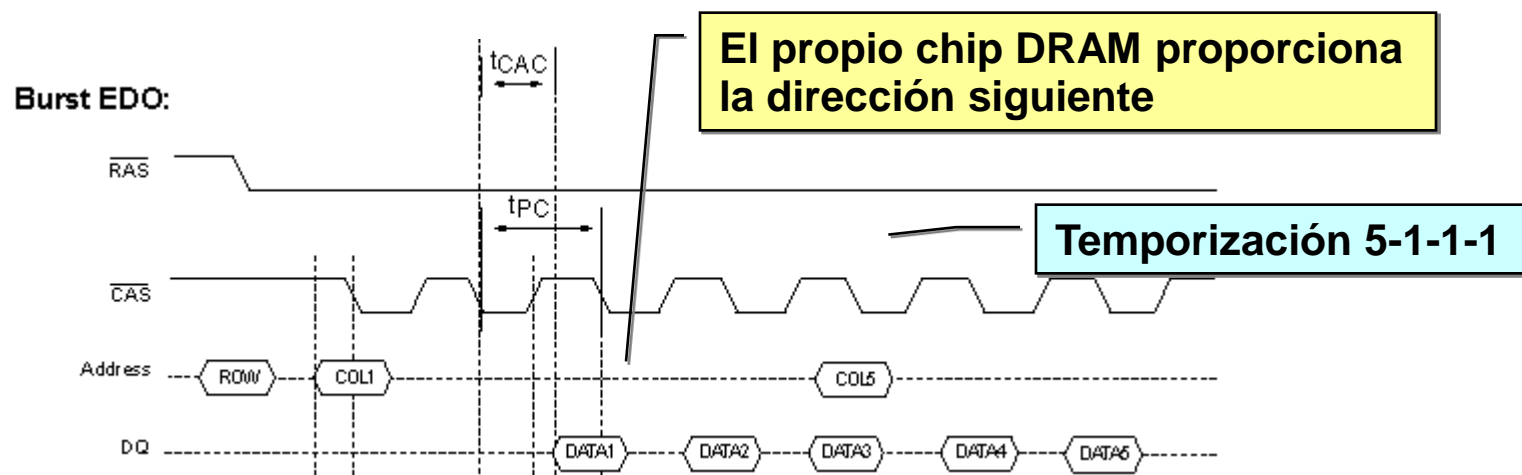


Temporización 5-2-2-2

FPM y similares, EDO y BEDO

■ DRAM Burst EDO o DRAM BEDO

- Variante de RAM EDO a la que se accedía en ráfagas de 4 datos, cambiándose internamente los 2 bits menos significativos de la dirección de columna.
- Cada uno de los tres últimos datos se accedía en un único ciclo de reloj.



- Velocidad del bus de 40 a 66 MHz.
- No se usó mucho (Intel no le dio soporte en sus *chipsets*).

EDRAM y CDRAM

■ EDRAM (*Enhanced DRAM*)

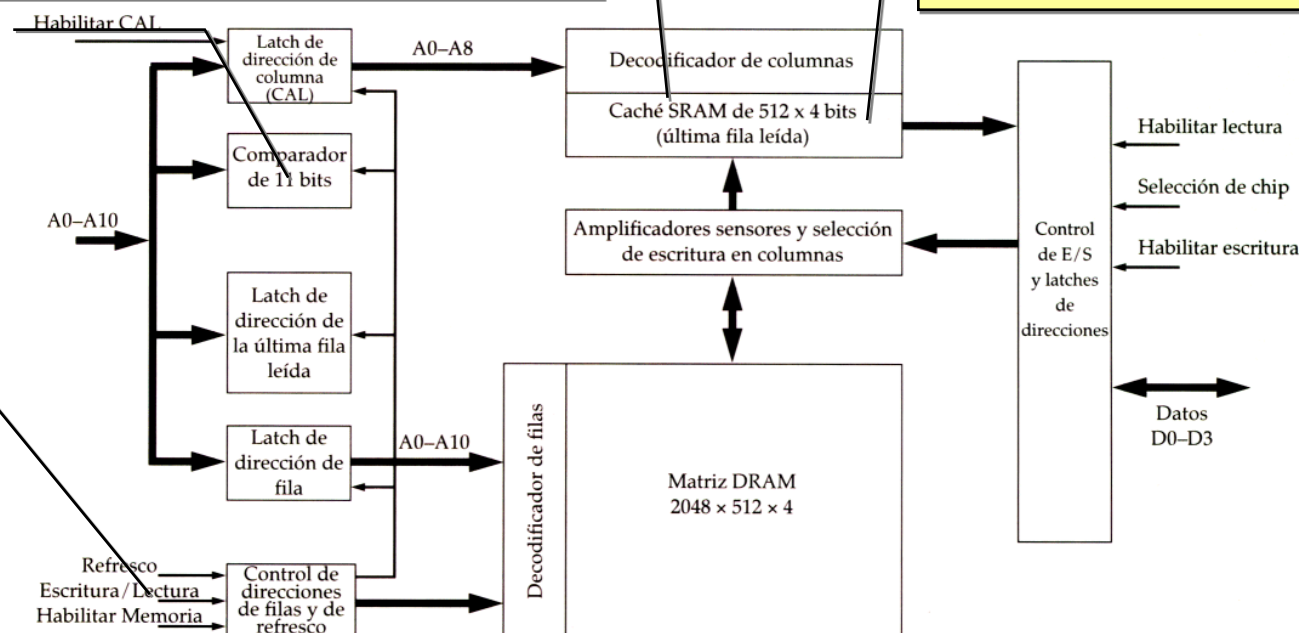
- Chip DRAM que integra una pequeña caché SRAM.

La caché SRAM almacena el contenido de la última fila leída (2048 bits ó 512 trozos de 4 bits).

Si un acceso se hace a la misma fila que el acceso anterior, sólo se accede a la caché SRAM (más rápida).

El refresco puede hacerse en paralelo con la lectura de la caché.

Se puede hacer una operación de escritura en paralelo con una lectura de la caché.



■ CDRAM (*Cached DRAM*)

- Similar a EDRAM, pero con mayor caché: con direcciones de varias filas.
- ✓ Más efectivo para accesos aleatorios.

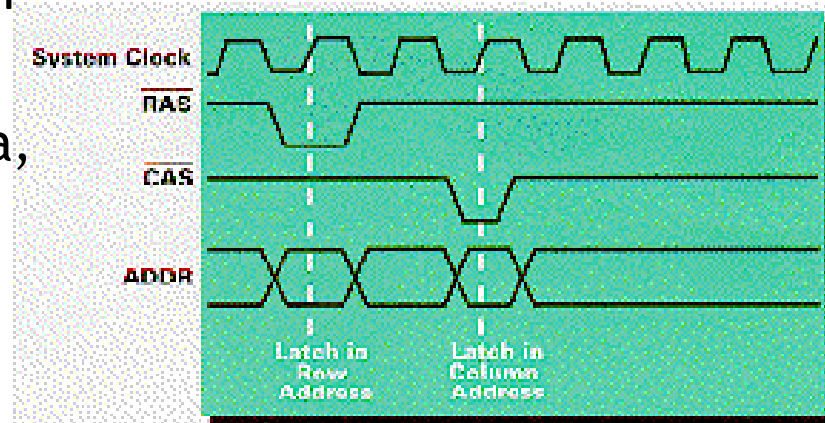
SDRAM, DDR y ESDRAM

■ **SDRAM** (*Synchronous DRAM*) o **SDR SDRAM**

- Las DRAM anteriores son asíncronas
 - El chipset tiene que esperar tras el direccionamiento para permitir a la DRAM responder (enviar/aceptar los datos).
 - Para garantizar el funcionamiento correcto \Rightarrow respetar temporización del fabricante dejando un margen suficiente.

- SDRAM intercambia datos con procesador de manera sincronizada

- con una señal de reloj externa,



- a la máx. velocidad del bus procesador/memoria,
 - 66 (PC66), 100 (PC100), 133 (PC133), ó 150 (PC150) MHz

SDRAM, DDR y ESDRAM

- Transferencia partida:
 - El maestro (procesador o controlador de caché) no ha de esperar desde que envía dirección hasta que obtiene datos.
- Un segundo acceso a datos puede comenzar mientras se completa el primero.
- Emplea modo ráfaga (“*burst*”).
- Utiliza entrelazado para mejoras las prestaciones.
 - 2 bancos se pueden acceder al mismo tiempo.

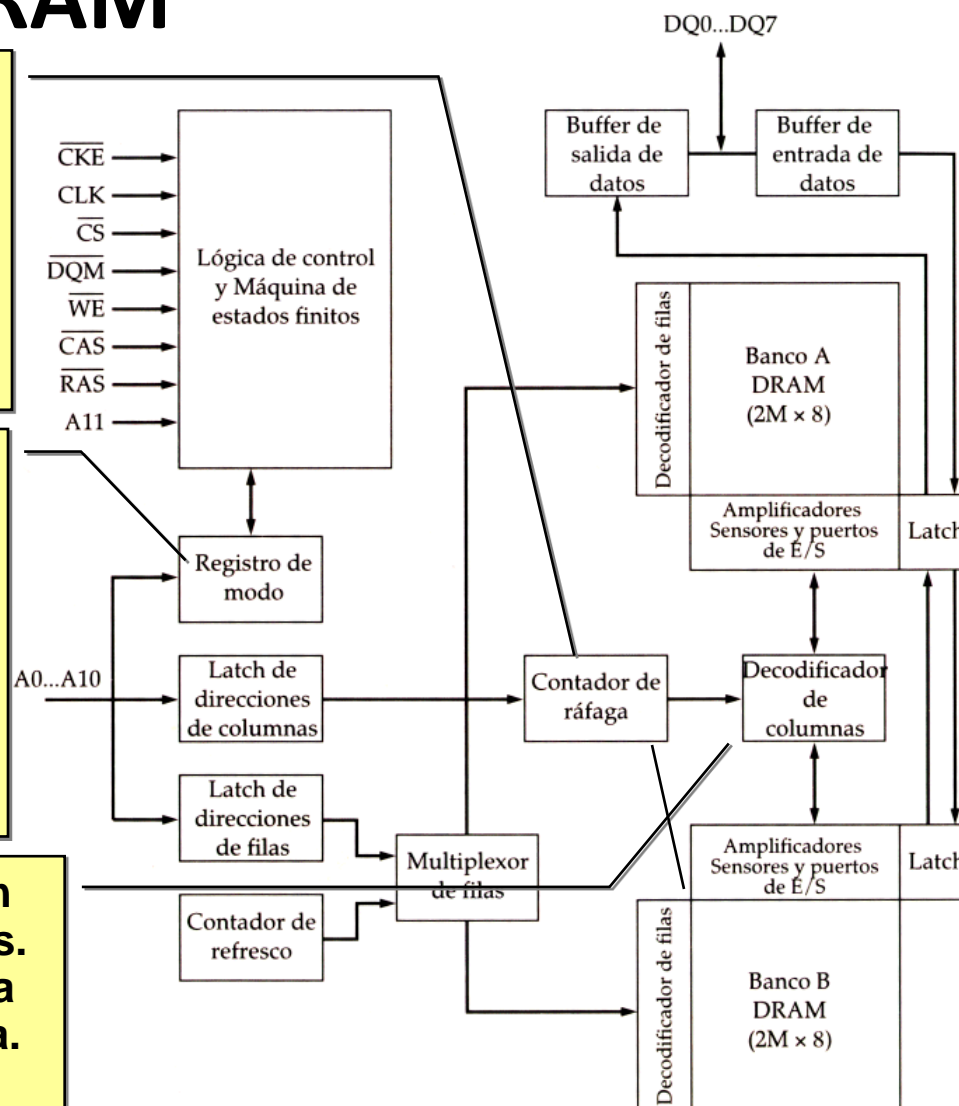
SDRAM, DDR y ESDRAM

Emplea modo ráfaga (“burst”): Cada vez que el procesador pide una dirección, la memoria genera automáticamente el bloque de datos correspondiente (varias direcciones consecutivas), que puede ser accedido en los siguientes ciclos.

El registro de modo permite especificar la longitud (nº de bits) a transferir en una ráfaga, y el intervalo de tiempo que debe transcurrir entre la recepción de una petición de lectura y el comienzo de la transferencia de datos (en ese tiempo el maestro puede realizar otras tareas).

Utiliza entrelazado: las celdas se dividen en dos bancos de celdas independientes.

- ✓ Se conmuta entre los dos bancos para obtener una mayor tasa de transferencia.
- ✗ Si dos accesos consecutivos acceden al mismo banco, habrá un retardo en la respuesta.



SDRAM, DDR y ESDRAM

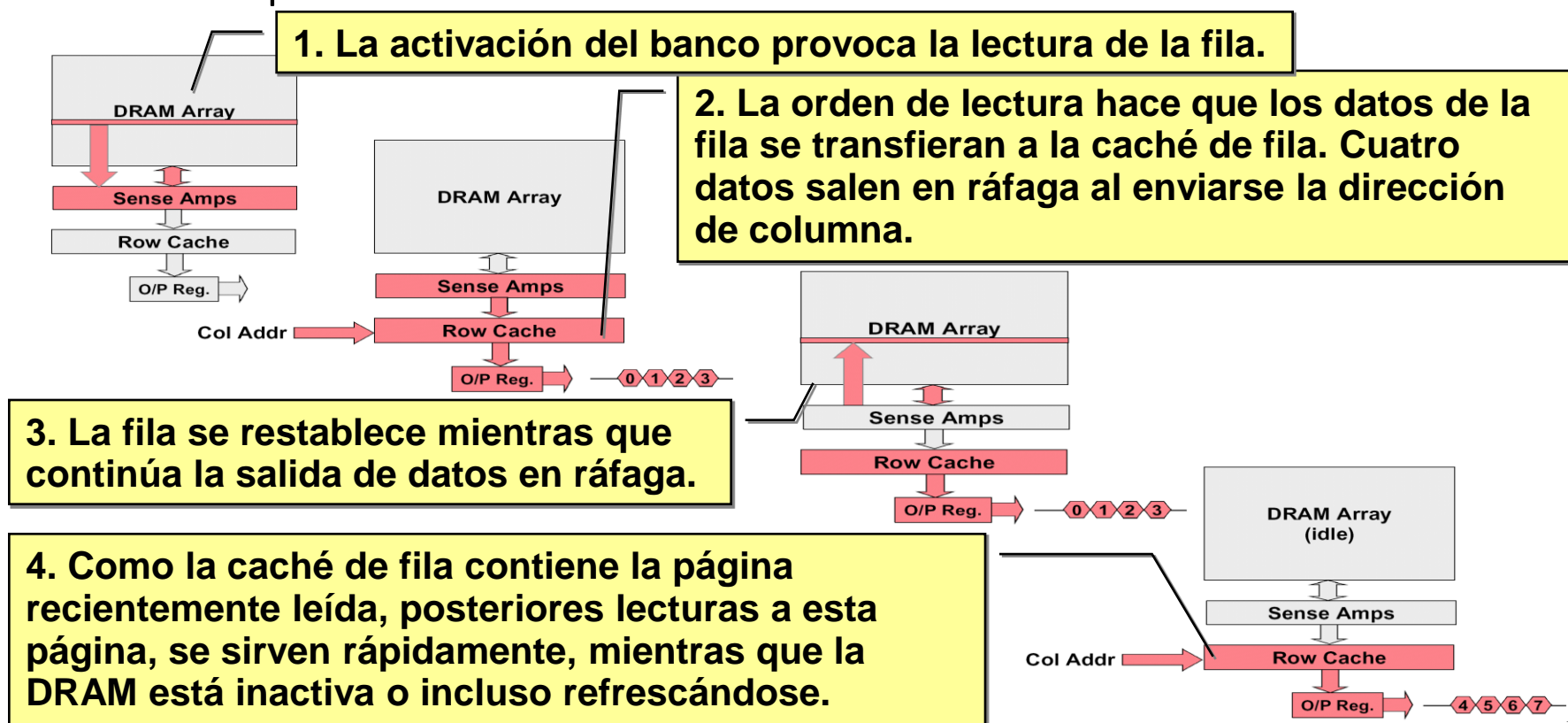
■ **DDR SDRAM** (*Double Data Rate*)

- Dobra la velocidad de la SDRAM a igual frecuencia de reloj interna:
 - **transferencia en flancos de subida y de bajada.**
- Cuatro bancos internos, o dos bancos internos con ancho de bus de 128 bits.
- Ancho bus externo: 64 bits.
- Velocidades:
 - Reloj 83, 100, 125, 133, 166, 200 MHz con dos transferencias por ciclo (166, 200, 250, 266, 333, 400 Mbps / patilla).
- Popularizada en tarjetas gráficas de altas prestaciones.
- En 2002-2005 fue la alternativa a RDRAM.

SDRAM, DDR y ESDRAM

■ ESDRAM (*Enhanced Synchronous DRAM*)

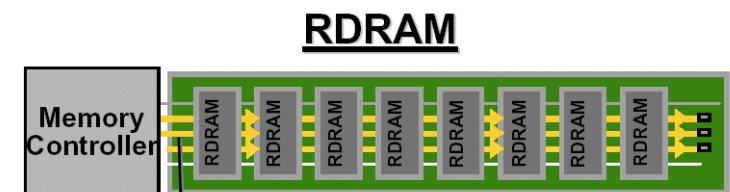
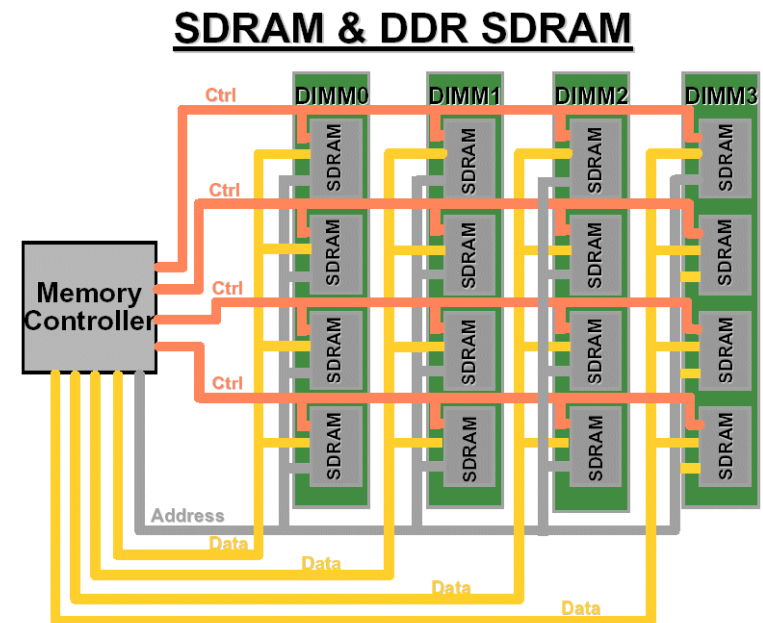
- Incluye una pequeña caché en el chip SDRAM.
- Versión síncrona de la EDRAM.
- Usada para memoria caché L2.



RDRAM

■ **Rambus DRAM** www.rambus.com

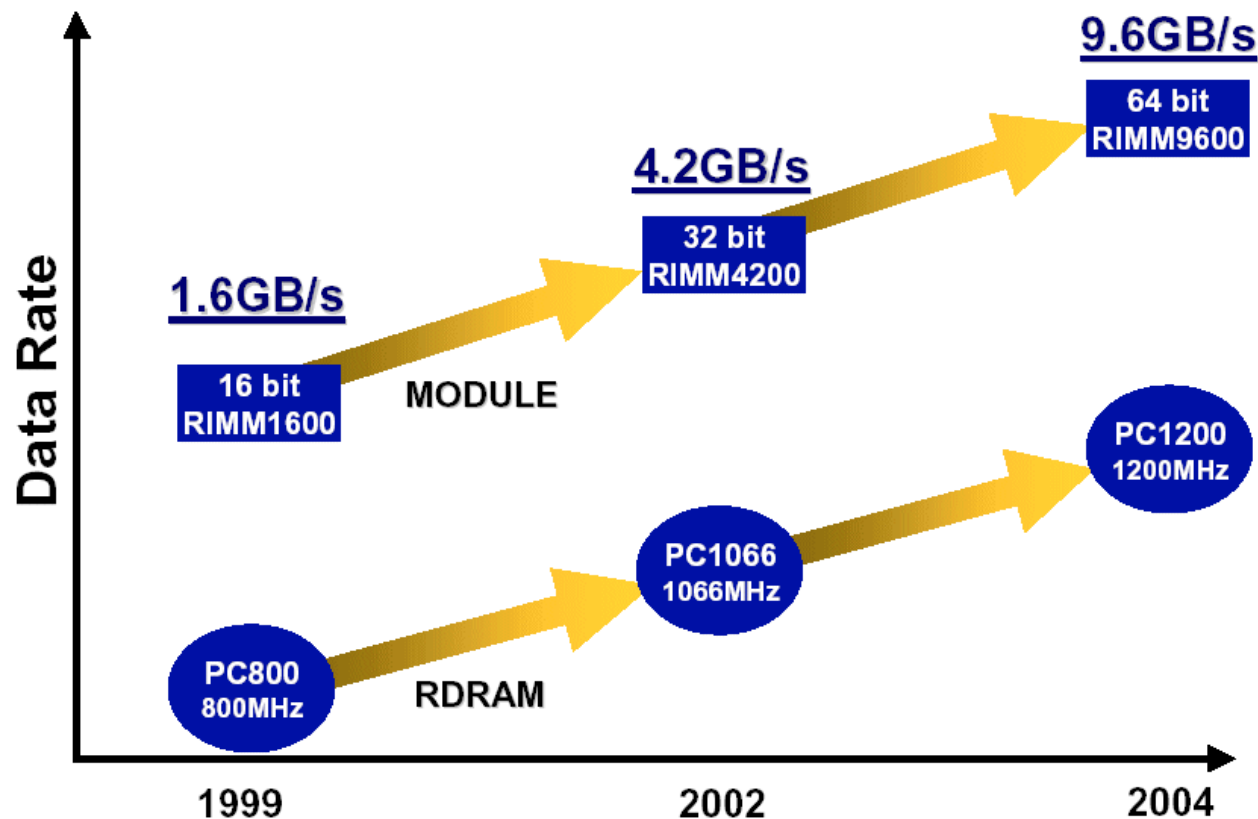
- Estándar que define:
 - ① La interfaz procesador - memoria (cambia radicalmente):
 - **Bus especial para direcciones y órdenes.**
 - Direcciones de fila y columna enviadas en el mismo ciclo de reloj por buses separados.
 - **Bus de datos:**
 - Estrecho (16 bits).
 - Funcionamiento síncrono a **velocidad muy alta:**
 - » 400 / 533 / 600 MHz
 - Diseño eléctrico del bus muy preciso para evitar *skew*.



Un canal RDRAM incluye un controlador en un extremo del bus y uno o más chips RDRAM a lo largo del bus.

RDRAM

- Transferencias DDR: en los flancos de subida y de bajada
 - » 800 Mbps / patilla ó 1,6 GB/s
 - » 1066 Mbps / patilla (hasta 4,3 GB/s con 32 bits) (2002)
 - » 1200 Mbps / patilla (hasta 9,6 GB/s con 64 bits) (2004)



RDRAM

② El conjunto de órdenes:

- En lugar de ser controlada por señales /RAS, /CAS, /WE, ... usadas en DRAM convencionales, una RDRAM utiliza “peticiones” que llegan a través del bus de alta velocidad.
- Cada petición contiene la dirección deseada, el tipo de operación, y el número de bytes de la operación.

③ La arquitectura de los chips de memoria:

- Matriz de núcleos de memoria FPM a 100 MHz.
- Pueden accederse simultáneamente.
 - ✓ Velocidad ↑.
- ✗ Latencia para el primer acceso ≈ 40 ns (mayor que DDR).

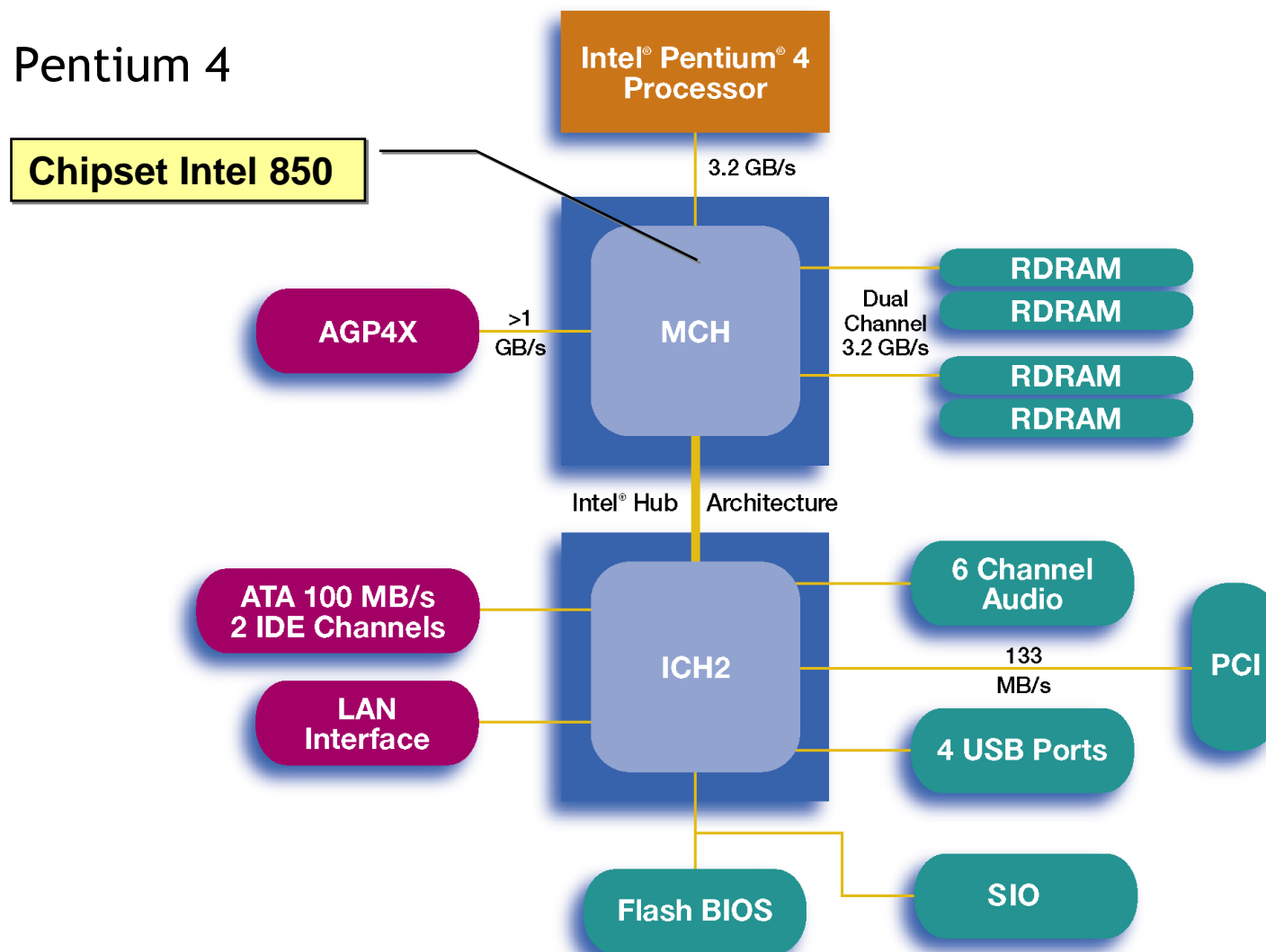
RDRAM

- ✗ Precio alto y pago de derechos a Rambus Inc. y a Intel (soporte en sus *chipsets* para Pentium 4).
- Ejemplo: Play Station 2



RDRAM

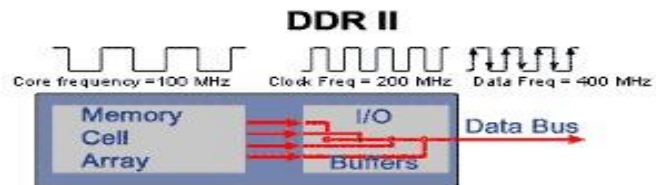
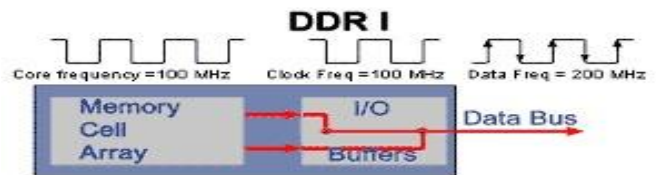
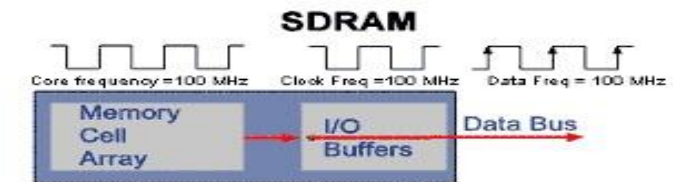
■ Ejemplo: Pentium 4



DDR-II y DDR-III

■ **DDR-II** (*Double Data Rate II*)

- Estándar abierto desarrollado por unas 50 compañías.
- En producción desde 2003.
- 8 bancos internos, o cuatro bancos internos con ancho de bus de 128 bits, o dos de 256 bits.
- Anchura bus externo: 64 bits.
- 100-166 Mhz (400-1066 Mbps / patilla): 3,1-8,3 GB/s



■ **DDR-III** (*Double Data Rate III*)

- 2007-2010
- 100-266 MHz (800-2133 Mbps / patilla): 6,2-16,7 GB/s

Memoria de vídeo

■ **VRAM** (*Video RAM*)

- FPM DRAM con un **registro de desplazamiento** adicional que puede cargarse desde el búfer de fila.
- Accedida **simultáneamente** por dos dispositivos (**doble puerto**):
 - **RAMDAC** (*RAM Digital-to-Analog Converter*): El registro de desplazamiento es una segunda interfaz de memoria que opera en paralelo con la interfaz normal. Se usa para generar el flujo de datos serie que se envía al monitor.
 - **Procesador**: Dispone de la interfaz normal de memoria la mayor parte del tiempo (para actualizar datos de la pantalla) ⇒ acelera la manipulación de datos de la memoria de vídeo.
- ✓ Doble de rápida que FPM o EDO.
- Más cara que la memoria DRAM normal.

(colocar el registro serie junto al amplificador sensor complica el diseño y ocupa área del dado)

Memoria de vídeo

■ **WRAM** (*Window RAM*)

- Diseño posterior a VRAM, con algunas mejoras (p. ej. relleno de bloques).
- ✓ Fabricación más barata (registro serie externo).
- ✓ 25% más ancho de banda que VRAM.

■ **SGRAM** (*Synchronous Graphic RAM*)

- Bus síncrono y rápido, pero sin doble puerto.
- Ancho de bus de 128 bits, ≥ 100 MHz.
- Similar en velocidad a VRAM.

■ **MDRAM** (*Multibank DRAM*)

- Múltiples bloques de 32 KB accesibles independientemente.
 - ✓ Acceso entrelazado.

Memoria de vídeo

■ GDDR (*Graphics Double Data Rate*)

- Estándares para memoria de tarjetas gráficas con la misma tecnología que DDR.

