

Nombre:

DNI:

Grupo:

Test de Teoría (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 3/30 si es correcta, 0 si está en blanco o claramente tachada, -1/30 si es errónea.

Anotar las respuestas (a, b, c o d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

1. ¿Cuál fue el primer procesador de Intel de 64-bits en la familia x86(-64)?

- a. 8086
- b. 386
- c. Pentium 4F
- d. Core i7

2. ¿Cuál es la diferencia entre las instrucciones **mov** y **lea**?

- a. **lea** referencia (accede) la posición indicada, mientras que **mov** no lo hace.
- b. **mov** referencia (accede) la posición indicada, mientras que **lea** no lo hace.
- c. **lea** puede usarse para copiar un registro a otro, mientras que **mov** no.
- d. **mov** puede usarse para copiar un registro a otro, mientras que **lea** no.

3. Al llamar a una función de 2 argumentos **foo(arg1, arg2)**, ¿cuál es el orden correcto de las operaciones? (suponiendo convención de llamada x86 cdecl, y que **foo** requiere ajustar marco de pila, esto es, salvar **%ebp**)

- a. push arg1, push arg2, call foo, push **%ebp**
- b. push arg1, push arg2, push **%ebp**, call foo
- c. push arg2, push arg1, call foo, push **%ebp**

d. push arg2, push arg1, push **%ebp**, call foo

4. Considere una función C declarada así:

```
void fun4arg(int a, int b, int c,
int d);
```

Suponiendo que **fun4arg** se ha compilado para una máquina x86 IA32 con enteros de 4 bytes, ¿cuál sería la dirección del argumento **b** relativa a **%ebp**, en el marco de pila de **fun4arg**?

- a. **%ebp** + 8
- b. **%ebp** + 12
- c. **%ebp** + 16
- d. **%ebp** + 20

5. ¿Cuál de las siguientes afirmaciones NO es cierta? (entender que x86=IA32)

- a. x86-64 proporciona un espacio de memoria virtual mayor que x86
- b. Las disciplinas de pila para x86 y x86-64 son diferentes
- c. x86 usa **%ebp** como puntero base para el marco de pila
- d. x86-64 usa **%rbp** como puntero base para el marco de pila

6. alguna de las siguientes NO es una operación básica de la unidad de control:

- a. Transferir un registro a otro
 - b. (Leer / escribir) un registro (de / a) memoria
 - c. (Guardar/recuperar) registro (en/de) la pila
 - d. Realizar operación ALU y guardar resultado en registro
-

7. alguna de las siguientes señales NO es salida de la unidad de control. ¿Cuál?
- a. Dirección de la siguiente microinstrucción (bits del campo DIR o Memoria B de Wilkes)
 - b. Señales de carga, habilitación y/o desplazamiento de registros (Load, Enable, ShiftL, ShiftR)
 - c. Códigos de selección en multiplexores, decodificadores, ALU, etc (00,01,10,11...)
 - d. Señales de lectura y escritura en memoria (RD, WR)
-

8. alguno de los siguientes NO es un motivo de que no se alcance la ganancia ideal en un cauce segmentado
- a. El propio coste de la segmentación (carga de los registros de acoplo, etc...)
 - b. La duración del ciclo de reloj impuesta por la etapa más lenta
 - c. Los riesgos (hazards)
 - d. La emisión múltiple (y posiblemente desordenada) de instrucciones
-

9. alguna de las siguientes NO es una ventaja de la E/S independiente (separada, aislada)
- a. Decodificación de memoria más elegante, limpia, sencilla (E/S mapeada añade complejidad a la decodificación)
 - b. Protección de E/S más fácil (E/S mapeada añade dificultad a la protección de E/S)
 - c. Mayor aprovechamiento del espacio de memoria (E/S mapeada resta espacio a la memoria)
 - d. Diseño del procesador más sencillo (E/S mapeada añade complejidad al diseño)
-

10. alguna de las siguientes NO es una técnica de E/S de las estudiadas en clase:
- a. E/S programada

- b. E/S asíncrona
 - c. E/S controlada por interrupciones
 - d. E/S mediante Acceso Directo a Memoria
-

11. alguna de las siguientes técnicas NO es de utilidad para determinar la causa de una interrupción

- a. Múltiples líneas de interrupción INT1#, INT2#...
 - b. Línea de reconocimiento INTA#
 - c. Consulta de estado, o polling
 - d. Interrupciones vectorizadas
-

12. sea una cache asociativa por conjuntos de 4-vías. ¿Cuál de las siguientes afirmaciones es cierta?

- a. La cache tiene 4 bloques por línea
 - b. La cache tiene 4 conjuntos por línea
 - c. La cache tiene 4 líneas por conjunto
 - d. La cache tiene 4 conjuntos por bloque
-

13. ¿Cuál de las siguientes afirmaciones sobre memorias cache es cierta? Recordar que llamamos "latencia" al tiempo transcurrido desde que se envía una dirección a la cache hasta que se obtiene el dato (suponiendo que se trata de un acierto), y depende por tanto del tiempo que emplee la circuitería hardware en obtenerlo. Suponer similares condiciones para ambas caches (tamaño de bloque, tamaño total, tecnología, frecuencia...)

- a. Las caches totalmente asociativas ofrecen mejor latencia, mientras que las de correspondencia directa tienen tasas de fallo más bajas
 - b. Las caches totalmente asociativas ofrecen tasas de fallo más bajas, mientras que las de correspondencia directa tienen mejor latencia
 - c. Las caches de correspondencia directa tienen mejor latencia y tasa de fallos
 - d. Ambas tienen en general similar latencia y tasa de fallos
-

14. un programa de ordenador que convierte un programa fuente de alto nivel completo en lenguaje máquina se llama un:

- a. intérprete
 - b. simulador
 - c. compilador
 - d. ensamblador
-

15. En IA32 la pila es:

- a. un registro de 16 bits en el microprocesador
 - b. un registro de 32 bits en el microprocesador
 - c. una dirección de memoria de 32 bits almacenada en el contador de programa
 - d. un conjunto de posiciones de memoria usadas para almacenar información temporal durante la ejecución del programa
-

16. Cuando se ejecuta la instrucción **ret** al final de una subrutina:

- a. la dirección de comienzo de la pila se transfiere al puntero de pila
 - b. la dirección de memoria de la instrucción **ret** se transfiere al contador de programa
 - c. la dirección almacenada en la cima de la pila se transfiere al contador de programa
 - d. la dirección almacenada en la cima de la pila se transfiere al puntero de pila
-

17. En el direccionamiento inmediato el operando reside en:

- a. en un registro del procesador
 - b. en la instrucción tras el código de operación
 - c. en memoria, en la dirección indicada
 - d. en la pila
-

18. Un overflow nunca puede ocurrir cuando:

- a. se suman dos números positivos
 - b. se suman dos números negativos
 - c. se suma un número positivo a un número negativo
 - d. se resta un número positivo de un número negativo
-

19. Después de ejecutar una instrucción de suma sobre dos números con signo de la que sabemos que no provocará overflow (los dos números son pequeños en valor absoluto), queremos comprobar si el resultado de la

suma es menor que 0. ¿Qué flag necesita comprobar la instrucción de salto condicional equivalente a... ?

```
if (resultado<0) then goto label
```

- a. CF
 - b. OF
 - c. SF
 - d. ZF
-

20. Al ejecutar el fragmento de código:

```
leal -48(%eax), %edx  
cmpl $9, %edx  
ja .L2
```

se salta a .L2 si el contenido del registro **%eax**:

- a. está dentro del intervalo [48,57]
 - b. es mayor o igual que 48
 - c. es mayor o igual que 57
 - d. está fuera del intervalo [48,57]
-

21. La instrucción **cmovb %edx, %eax**

- a. Copia en %eax el contenido de %edx si el indicador de acarreo es 1
 - b. Copia el byte bajo de %edx en el byte bajo de %eax
 - c. Copia en %eax el byte de memoria apuntado por la dirección contenida en %edx
 - d. Copia en %eax el contenido de %edx si %eax es menor que %edx
-

22. Cuando un Intel Atom ejecuta una instrucción **CALL**

- a. el registro eip se guarda en la pila
 - b. los registros eip, ebp y esp se guardan en la pila
 - c. los registros eax, ecx, edx y eip se guardan en la pila
 - d. no se guarda ningún registro
-

23. ¿Cuál de las siguientes funciones es una tarea propia de la unidad de control en la CPU?

- a. almacenar datos del programa

- b. almacenar instrucciones del programa
 - c. realizar operaciones lógicas
 - d. decodificar las instrucciones del programa
-

24. ¿Cuál de los siguientes registros se utiliza para guardar la dirección de memoria donde se localiza la instrucción siguiente?

- a. Program Counter
 - b. Memory Address Register
 - c. Memory Data Register
 - d. Instruction Register
-

25. ¿Cuál de las siguientes afirmaciones sobre la segmentación de cauce es cierta?

- a. La predicción de saltos es una técnica para minimizar los riesgos de datos
 - b. El CPI de un cauce superescalar es siempre 1 o menor que 1
 - c. En general, un operación segmentada ("pipelined") requiere el mismo tiempo o más, desde el principio hasta el fin, que la misma operación en una implementación no segmentada
 - d. Un cauce ("pipeline") de instrucciones inicialmente vacío y con 3 etapas tardará siempre 5 ciclos de reloj en ejecutar 3 instrucciones si cada una de ellas utiliza las 3 etapas.
-

26. Las interrupciones generadas por el teclado interrumpirán al procesador:

- a. sólo cuando el procesador no esté realizando un trabajo útil
 - b. sólo si el procesador tiene activado el indicador de habilitación de interrupciones
 - c. sólo si el procesador está chequeando el estado del teclado
 - d. siempre que el usuario pulse una tecla en el teclado
-

27. Las interrupciones iniciadas por un dispositivo de E/S son normalmente:

- a. internas
 - b. externas
 - c. espurias
 - d. software
-

28. ¿Cuántas líneas de dirección (patillas) son necesarias para direccionar un chip de memoria DRAM de 4096 x 4?

- a. 10
 - b. 6
 - c. 11
 - d. 12
-

29. Suponga el siguiente diseño caché/memoria: direcciones de 16 bits, direccionamiento por bytes, tamaño de caché 256 bytes, tamaño de bloque 8 bytes, tamaño de etiqueta 11 bits. ¿Cuál es la asociatividad (cuántas vías hay en la caché)?

- a. 8
 - b. 2
 - c. 5
 - d. 4
-

30. Considere un sistema de memoria para un procesador de 32 bits con cachés separadas para código y datos. Suponga que el procesador direcciona la memoria por bytes y realiza accesos a palabras de 32 bits y que el espacio de direcciones es de 2^{32} bytes. La caché de datos tiene las siguientes características: 64 KB de capacidad, asociativa por conjuntos con 2 vías, y bloques de 2 palabras. ¿Cuántos bits tiene el campo etiqueta de una dirección de memoria?

- a. 11
 - b. 13
 - c. 15
 - d. 17
-