

TEMA 3:

1 El registro MDR/MBR...

Elección
única

Usuario

Profesores

✓

•

- a) contiene el valor que va a ser almacenado en la memoria, o bien se usa para recibir un valor procedente de la memoria
- b) contiene la dirección de la próxima instrucción que va a ser captada de memoria
- c) contiene el código de operación de la instrucción que se está ejecutando
- d) especifica la dirección en memoria de la palabra que va a ser escrita o leída

Puntuación: 1,00

2 ¿Qué circuito suele utilizarse para traducir el código de operación de una instrucción máquina a dirección de comienzo en la memoria de control del microprograma correspondiente?

Elección
única

Usuario

Profesores

•

X

- a) Una memoria.
- b) Un multiplexor.
- c) Un registro.
- d) Un contador.

Puntuación: -0,33

3 Elección única Para conectar las salidas de dos registros hacia un bus común en el datapath...

Usuario Profesores

- a) se puede realizar una conexión directa.
- b) no se puede usar un multiplexor.
- c) se puede usar un demultiplexor.
- d) se pueden usar dos buffers triestado.

✓ •

Puntuación: 1,00

4 Elección única [T3.2] ¿Cuál de los siguientes grupos de señales son entradas a la unidad de control?

Usuario Profesores

X

- a Las señales de carga/incremento/desplazamiento de registros
- b Las señales de selección de entradas de multiplexores del datapath
- c Los bits del registro de indicadores (flags)
- d Los bits de las opciones b y c

•

Puntuación: -0,33

5 Elección única [T3.3] Un procesador con una unidad de control microprogramada tiene una memoria de control de 340 palabras de 16 bits, de las que 180 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

- X
- a) 5260 bits
 - b) 2560 bits
 - c) 19440 bits
 - d) No se produce ahorro

Puntuación: -0,33

6 Elección única Una posible codificación en microinstrucciones de la instrucción CALL X es:

Usua Profes
rio ores

- X
- a PC=X ; SP=SP-1 ;
) m[SP]=PC
 - b SP=SP-1 ; m[SP]=PC ;
) PC=X
 - c SP=PC-1 ; m[SP]=PC ;
) PC=X
 - d SP=SP-1 ; m[SP]=PC ;
) PC=PC+1

Puntuación: -0,33

7 Elección única [T3.3] Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

- X
- a) 9
 - b) 1
 - c) 4
 - d) 8

Puntuación: -0,33

8

Elección
única

Respecto a las unidades de control nanoprogramadas:

Usu
ario

Profe
sores

- - a La anchura de la
) memoria de
nanoprograma es la
misma que la de
memoria de
microprograma en
un diseño de la
misma unidad de
control que no usara
nanoprogramación.
 - b El diseño de las
) unidades de control
nanoprogramadas
debe ser vertical.
 - X c Suponiendo una
) memoria de
microprograma con
n microinstrucciones
de w bits cada una,
de las cuales 2^m
son distintas, el
ahorro en bits si se
utiliza
nanoprogramación
es $(n \cdot m + 2^m \cdot w)$
- $n \cdot w$.
 - d La realización
) nanoprogramada de
una unidad de
control es más
rápida que la
microprogramada.

Puntuación: -0,33

9
Elección
única

¿Cuál de los siguientes grupos de señales son entradas a la unidad de control?

Usuar
io

Prof
esor
es

- X
- a Las señales de
) carga/incremento/
desplazamiento
de registros
 - b Las señales de
) selección de
entradas de
multiplexores del
datapath
 - c Los bits del
) registro de
indicadores (flags)
 - d Los bits de las
) opciones b y c

Puntuación: -0,33

10
Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuari
o

Profesore
s

- a) 0,2
5
- X b) 20
- c) 5
- d) 4

Puntuación: -0,33

1
Elección
única

[T3.3]
Un computador tiene una memoria de control de 640 palabras de 70 bits, de las que 280 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación en lugar de microprogramación?

Usuario Profesores

-
- a) 19440
 - b) 42280
 - c) 9840
 - X d) ninguno de los anteriores resultados es exacto.

Puntuación: -0,33

2
Elección
única

Un computador tiene una memoria de control de 16 Kpalabras de 250 bits, de las que 447 son diferentes. ¿Cuántos bits ahorramos usando nanoprogramación en lugar de microprogramación?

Usuario Profesores

- X
- a) 3928652
 - b) 259206
 - c) 287935
 - d) ninguno de los resultados anteriores es exacto

Puntuación: -0,33

3

Elección
única

[T1.1]

Son funciones de la unidad de control:

Usuario Profesores

- a) la codificación de las instrucciones máquina
- b) la lectura de memoria principal de la instrucción apuntada por el μ PC
- c) el secuenciamiento de las instrucciones máquina
- X d) todas las respuestas son ciertas

Puntuación: -0,33

4

Elección
única

[T3.3]

Un procesador con una unidad de control microprogramada tiene una memoria de control de 340 palabras de 16 bits, de las que 180 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

- a) 19440 bits
- b) 2560 bits
- c) 5260 bits
- ✓ • d) No se produce ahorro

Puntuación: 1,00

5 Elección única Para conectar las salidas de dos registros hacia un bus común en el datapath...

Usuario Profesores

- ✓ •
- a) se puede usar un demultiplexor.
 - b) se puede realizar una conexión directa.
 - c) se pueden usar dos buffers triestado.
 - d) no se puede usar un multiplexor.

Puntuación: 1,00

6 Elección única [T3.3] Sea un formato de microinstrucción que incluye dos campos independientes de 8 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

-
- a) 7
 - b) 1
 - c) 9
 - d) 8
- X

Puntuación: -0,33

7

Elección
única

El control residual se utiliza para:

Usu ario Profes
ores

a reducir el tiempo de
) ejecución de las
instrucciones máquina

b eliminar los bits
) residuales de la
ejecución de las
microinstrucciones

• c reducir el tamaño de la
) memoria de control

X d ninguna de las
) anteriores es cierta

Puntuación: -0,33

8

Elección
única

Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción, tiene una memoria de control con 35 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits en total para los campos de control y de tipo y condición de salto, el número máximo de palabras de la memoria de control de esta unidad de control microprogramada es de:

Usuario Profesores

a) 2^{20}

• b) 2^{10}

X c) 20

d) 10

Puntuación: -0,33

032+++

9
Elección
única

[T3.3]
Un computador tiene una memoria de control de 16 Kpalabras de 250 bits, de las que 447 son diferentes. ¿Cuántos bits ahorramos usando nanoprogramación en lugar de microprogramación?

Usuar
io

Profesor
es

- X
- a 3928652
)
 - b 259206
)
 - c 287935
)
 - d ninguno de los
) resultados
anteriores es
exacto

Puntuación: -0,33

10
Elección
única

[T3.1]
La conexión de las salidas de tres registros hacia un bus común en el camino de datos puede realizarse usando...

Usuar
io

Profesor
es

- X
- a dos buffers
) triestado
 - b tres conexiones
) directas al bus
común
 - c tres
) demultiplexores
 - d dos
) multiplexores de
2 a 1

Puntuación: -0,33

1
Elección
única

En la captación de un operando que reside en memoria:

Usuario Profesores

- X
- a) en MBR indicamos la dirección donde está y en IR lo recogemos
 - b) en MBR indicamos la dirección donde está y en MAR lo recogemos
 - c) en MAR indicamos la dirección donde está y en MBR lo recogemos
 - d) en MAR indicamos la dirección donde está y en IR lo recogemos

Puntuación: -0,33

2
Elección
única

Un computador tiene una memoria de control de 640 palabras de 70 bits, de las que 280 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación en lugar de microprogramación?

Usuario Profesores

- ✓
- a) 19440
 - b) 42280
 - c) 9840
 - d) ninguno de los anteriores resultados es exacto.

Puntuación: 1,00

3
Elección
única

[T3.3]
Un procesador con una unidad de control microprogramada tiene una memoria de control de 340 palabras de 16 bits, de las que 180 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

- ✓ •
- a) 19440 bits
 - b) 5260 bits
 - c) No se produce ahorro
 - d) 2560 bits

Puntuación: 1,00

4
Elección
única

¿En qué registro está contenido el último dato (o instrucción) leído de memoria, o el dato que se va a escribir en memoria?

Usuario Profesores

- X •
- a) MBR.
 - b) MAR.
 - c) Acumulador.
 - d) PC.

Puntuación: -0,33

5
Elección
única

Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción, tiene una memoria de control con 35 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits en total para los campos de control y de tipo y condición de salto, el número máximo de palabras de la memoria de control de esta unidad de control microprogramada es de:

Usuario Profesores

- ✓ •
- a) 20
 - b) 10
 - c) 2^{10}
 - d) 2^{20}

Puntuación: 1,00

6 Elección única Un procesador con una unidad de control microprogramada tiene una memoria de control de 340 palabras de 16 bits, de las que 180 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

- a 5260 bits)
- b 19440 bits)
- c) 2560 bits
- d No se produce) ahorro

✓ •

Puntuación: 1,00

7 Elección única En una arquitectura RISC típica:

Usuario Profesores

- a la programación) resulta mucho más simple que en una arquitectura CISC.
- b la UC es más compleja) que en una arquitectura CISC.
- c no puede usarse) segmentación.
- d se usan muchas) instrucciones de las disponibles en el conjunto de instrucciones.

✓ •

Puntuación: 1,00

8
Elección
única

La conexión de las salidas de tres registros hacia un bus común en el camino de datos puede realizarse usando...

Usu Profe
ario sores

- ☐ a tres demultiplexores
)
- ✓ • ☐ b dos multiplexores de
) 2 a 1
- ☐ c tres conexiones
) directas al bus
común
- ☐ d dos buffers triestado
)

Puntuación: 1,00

9
Elección
única

[T3.3]
¿Cómo actúa el indicador N del registro de indicadores de estado?

Us Prof
uar esor
io es

- ☐ a Se pone a 1
) cuando el
resultado es
positivo.
- ☐ b Se pone a 0
) cuando el
resultado es
negativo.
- ☐ c Se pone a 1
) cuando el
resultado es
negativo.
- X ☐ d Se pone a 1
) cuando el
resultado de una
operación es 0.

Puntuación: -0,33

10

Elección
única

[T3.3]

Un computador tiene una memoria de control de 640 palabras de 70 bits, de las que 280 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación en lugar de microprogramación?

Us Prof
ua esor
rio es

- ✓ • a 19440
)
 b 42280
)
 c 9840
)
 d ninguno de los
) anteriores
 resultados es
 exacto.

Puntuación: 1,00

1

Elección
única

Un computador tiene una memoria de control de 640 palabras de 70 bits, de las que 280 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación en lugar de microprogramación?

Usuario Profesores

- ✓ • a) 19440
 b) 42280
 c) 9840
 d) ninguno de los anteriores resultados es
 exacto.

Puntuación: 1,00

2

Elección
única

[T3.3]

Sea un formato de microinstrucción que incluye dos campos independientes de 8 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

a) 8

b) 9

✓

•

c) 7

d) 1

Puntuación: 1,00

3

Elección
única

Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

a) 4

b) 1

c) 9

✓

•

d) 8

Puntuación: 1,00

4

Elección
única

Sobre la segmentación:

Usuari
o Profes
es

- a La frecuencia de reloj viene
) impuesta por la etapa más
 corta.
- b Existen limitaciones al
) rendimiento provocadas por
 las instrucciones de salto y por
 las dependencias de datos.
- X c Es una técnica para comenzar
) simultáneamente la ejecución
 de varias instrucciones con el
 fin de reducir el tiempo de
 ejecución.
- d Un procesador superescalar
) no puede estar segmentado.

Puntuación: -0,33

5

Elección
única

¿Qué circuito suele utilizarse para traducir el código de operación de una
instrucción máquina a dirección de comienzo en la memoria de control del
microprograma correspondiente?

Usuario Profesores

- ✓ • a) Una memoria.
- b) Un registro.
- c) Un multiplexor.
- d) Un contador.

Puntuación: 1,00

6 Elección única Un sistema no segmentado tarda 10 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 5 segmentos con un ciclo de reloj de 4 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario

Profesores

a) 4

b) 5

c) 50

✓

•

d) 2,5

Puntuación: 1,00

7 Elección única

[T1.1]

Son funciones de la unidad de control:

Usu
ario

Profes
ores

a la codificación de las
) instrucciones máquina

b la lectura de memoria
) principal de la
instrucción apuntada
por el μ PC

✓

•

c el secuenciamiento de
) las instrucciones
máquina

d todas las respuestas
) son ciertas

Puntuación: 1,00

8 Elección única Sea un formato de microinstrucción que incluye dos campos independientes de 8 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

a) 1

b) 8

✓

•

c) 7

d) 9

Puntuación: 1,00

9 Elección única [T3.3] Respecto a las unidades de control nanoprogramadas:

Usuar
io

Prof
esores

a El diseño de las unidades de control nanoprogramadas debe ser vertical.

b La realización nanoprogramada de una unidad de control es más rápida que la microprogramada.

c Suponiendo una memoria de microprograma con n microinstrucciones de w bits cada una, de las cuales 2^m son distintas, el ahorro en bits si se utiliza nanoprogramación es $(n \cdot m + 2^m \cdot w) - n \cdot w$.

- ✓ • d La anchura de la
 -) memoria de nanoprograma es la misma que la de memoria de microprograma en un diseño de la misma unidad de control que no usara nanoprogramación.

Puntuación: 1,00

10
Elección
única

Un diseño vertical de una unidad de control...

Usua-
rio Profesor

a siempre supone
) un ahorro considerable de bits respecto a uno horizontal

- ✓ • b en general es
 -) más lento que uno horizontal

c siempre es más
) rápido que uno horizontal

d en general
) desperdicia bits respecto a uno horizontal

Puntuación: 1,00

1
Elección
única

Son funciones de la unidad de control:

Usuario Profesores

- ✓ •
- a) la codificación de las instrucciones máquina
 - b) la lectura de memoria principal de la instrucción apuntada por el μ PC
 - c) el secuenciamiento de las instrucciones máquina
 - d) todas las respuestas son ciertas

Puntuación: 1,00

2
Elección
única

Un diseño vertical de una unidad de control...

Usuario Profesores

- ✓ •
- a) en general desperdicia bits respecto a uno horizontal
 - b) en general es más lento que uno horizontal
 - c) siempre es más rápido que uno horizontal
 - d) siempre supone un ahorro considerable de bits respecto a uno horizontal

Puntuación: 1,00

3

Elección
única

Las instrucciones de salto...

Usuari
o

Profesore
s

✓

•

- a) son uno de los tipos de instrucciones máquina con menor frecuencia dinámica de uso.
- b) complican el diseño eficiente de los procesadores segmentados.
- c) siempre utilizan direccionamiento absoluto.
- d) Todas las afirmaciones anteriores son ciertas.

Puntuación: 1,00

4

Elección
única

Los riesgos de datos consisten en que...

Usuari
o

Profesor
es

X

•

- a) dos instrucciones acceden a la vez al mismo dato
- b) una instrucción necesita un dato calculado por otra anterior
- c) dos instrucciones necesitan leer el mismo dato
- d) todas las respuestas anteriores son correctas

Puntuación: -0,33

5 Elección única Sea un formato de microinstrucción que incluye dos campos independientes de 8 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

✓

•

a) 7

b) 8

c) 1

d) 9

Puntuación: 1,00

6 Elección única [T3.3] Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

✓

•

a) 8

b) 4

c) 9

d) 1

Puntuación: 1,00

7 Elección única [T3.3] ¿Cómo actúa el indicador N del registro de indicadores de estado?

Usuario Profesores

✓

•

a Se pone a 1 cuando el
) resultado es negativo.

b Se pone a 1 cuando el
) resultado de una
operación es 0.

c Se pone a 0 cuando el
) resultado es negativo.

d Se pone a 1 cuando el
) resultado es positivo.

Puntuación: 1,00

8
Elección
única

¿Cuál de las siguientes características es típica de la microprogramación horizontal?

Usu Profe
ario sores

- ☐ a Muchos campos
) solapados.
- ☒ b Escasa capacidad
) para expresar
 paralelismo entre
 microoperaciones.
- ☐ c Microinstrucciones
) cortas.
- ☐ d Ninguna o escasa
) codificación.

Puntuación: -0,33

9
Elección
única

En cuanto al control microprogramado:

Us Prof
uar esor
io es

- ☒ a se usa en CISC
) para facilitar el
 diseño de la UC
 tan compleja.
- ☐ b se guardan en
) una ROM las
 instrucciones
 máquina del
 conjunto de
 instrucciones.
- ☐ c la lentitud en la
) ejecución de las
 instrucciones
 máquina la
 impone
 directamente la
 tecnología
 hardware usada.

- d la UC se
-) construye con
puertas lógicas,
biestables, etc.

Puntuación: 1,00

10
Elección
única

[T3.2]

¿Cuál de los siguientes grupos de señales son entradas a la unidad de control?

Us Prof
ua esor
rio es

a Las señales de
) carga/increment
o/desplazamient
o de registros

b Las señales de
) selección de
entradas de
multiplexores
del datapath

✓ • c Los bits del
) registro de
indicadores
(flags)

d Los bits de las
) opciones b y c

Puntuación: 1,00

1
Elección
única

[T3.3]
Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

a) 1

b) 4

c) 9

✓

•

d) 8

Puntuación: 1,00

2
Elección
única

En la ejecución de una instrucción...

Usuario

Profesores

a) siempre se altera el registro de estado

✓

•

b) la ALU realiza las operaciones aritméticas y lógicas

c) el registro de instrucción se va incrementando para apuntar a la siguiente instrucción

d) la UC activa las señales de control que envía por el bus de direcciones

Puntuación: 1,00

3

Elección
única

[T3.3]

Respecto a las unidades de control nanoprogramadas:

Usuario Profesores

✓

•

- a) La realización nanoprogramada de una unidad de control es más rápida que la microprogramada.
- b) La anchura de la memoria de nanoprograma es la misma que la de memoria de microprograma en un diseño de la misma unidad de control que no usara nanoprogramación.
- c) El diseño de las unidades de control nanoprogramadas debe ser vertical.
- d) Suponiendo una memoria de microprograma con n microinstrucciones de w bits cada una, de las cuales 2^m son distintas, el ahorro en bits si se utiliza nanoprogramación es $(n \cdot m + 2^m \cdot w) - n \cdot w$.

Puntuación: 1,00

4

Elección
única

Sea un formato de microinstrucción que incluye dos campos independientes de 10 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

✓

•

- a) 13
- b) 9
- c) 14
- d) 10

Puntuación: 1,00

5
Elección
única

Un sistema no segmentado tarda 200 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce segmentado de 20 etapas con un ciclo de reloj de 12 ns. Cuando se procesan muchas tareas, la máxima ganancia de velocidad que podría obtenerse se acerca a:

Usuario

Profesores

✓

•

a) 20

b) 1,2

c) 16,67

d) 1,667

Puntuación: 1,00

6
Elección
única

Son funciones de la unidad de control:

Usua
rio

Profes
ores

✓

•

a la codificación de las
) instrucciones máquina

b la lectura de memoria
) principal de la instrucción
apuntada por el μ PC

c el secuenciamiento de
) las instrucciones
máquina

d todas las respuestas son
) ciertas

Puntuación: 1,00

7
Elección
única

Un computador tiene una memoria de control de 16 Kpalabras de 250 bits, de las que 447 son diferentes. ¿Cuántos bits ahorramos usando nanoprogramación en lugar de microprogramación?

Usu Profes
ario ores

a 3928652

)

b 259206

)

c 287935

)

✓ • d ninguno de los
) resultados anteriores
es exacto

Puntuación: 1,00

8
Elección
única

Un Pentium 4 a 3,2 GHz dispone de 7 unidades de ejecución en paralelo, con 20 etapas de segmentación, y es capaz de emitir (comenzar a ejecutar) 3 instrucciones en cada ciclo de reloj. ¿Qué velocidad aproximada de ejecución de instrucciones será capaz de alcanzar (MIPS = millones de instrucciones por segundo)?

Usuari Profesore
o s

a) 1000 MIPS

• b) 9000 MIPS

X c) 21000
MIPS

d) 150 MIPS

Puntuación: -0,33

9

Elección
única

[T3.3]

Un computador usa el formato vertical de codificación de instrucciones para parte de las señales de control y el formato horizontal para k señales de control. El formato vertical posee n campos codificados de m bits cada uno. ¿Cuál es el máximo número de señales de control que pueden usarse en este computador?

Usu Profe
ario sores

- a $k + n \cdot 2^m$
)
- b $k + n^m$
)
- ✓ • c $k + n \cdot (2^m - 1)$
)
- d Ninguno de los
) anteriores

Puntuación: 1,00

10

Elección
única

En la captación de la instrucción:

Us Prof
ua esor
rio es

- a en MAR
) indicamos la dirección donde está la instrucción y en MBR recogemos la instrucción.
- b en MBR
) indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.

c en MAR
) indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.

X d en MBR
) indicamos la dirección donde está la instrucción y en MAR recogemos la instrucción.

Puntuación: -0,33

1
 Elección única
 Un procesador con una unidad de control microprogramada tiene una memoria de control de 340 palabras de 16 bits, de las que 180 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

- ✓ •
- a) No se produce ahorro
 - b) 5260 bits
 - c) 19440 bits
 - d) 2560 bits

Puntuación: 1,00

2
 Elección única
 Una posible codificación en microinstrucciones de la instrucción CALL X es:

Usuario Profesores

- ✓ •
- a) $SP=SP-1$; $m[SP]=PC$; $PC=X$
 - b) $SP=SP-1$; $m[SP]=PC$; $PC=PC+1$
 - c) $SP=PC-1$; $m[SP]=PC$; $PC=X$
 - d) $PC=X$; $SP=SP-1$; $m[SP]=PC$

Puntuación: 1,00

3
Elección
única

Los riesgos de datos consisten en que...

Usuari
o Profesore
s

- ✓ •
- a) dos instrucciones acceden a la vez al mismo dato
 - b) una instrucción necesita un dato calculado por otra anterior
 - c) dos instrucciones necesitan leer el mismo dato
 - d) todas las respuestas anteriores son correctas

Puntuación: 1,00

4
Elección
única

¿En qué registro está contenido el último dato (o instrucción) leído de memoria, o el dato que se va a escribir en memoria?

Usuario Profesores

- ✓ •
- a) MAR.
 - b) MBR.
 - c) PC.
 - d) Acumulador.

Puntuación: 1,00

5

Elección
única

[T3.3]

Respecto a las unidades de control nanoprogramadas:

Usuar Profeso
io res

- a Suponiendo una memoria
) de microprograma con n microinstrucciones de w bits cada una, de las cuales 2^m son distintas, el ahorro en bits si se utiliza nanoprogramación es $(n \cdot m + 2^m \cdot w) - n \cdot w$.
- ✓ • b La anchura de la memoria
) de nanoprograma es la misma que la de memoria de microprograma en un diseño de la misma unidad de control que no usara nanoprogramación.
- c El diseño de las unidades
) de control nanoprogramadas debe ser vertical.
- d La realización
) nanoprogramada de una unidad de control es más rápida que la microprogramada.

Puntuación: 1,00

6

Elección
única

[T3.3]

¿Cómo actúa el indicador N del registro de indicadores de estado?

Usua rio Profes
ores

a Se pone a 0 cuando el
) resultado es negativo.

b Se pone a 1 cuando el
) resultado es positivo.

c Se pone a 1 cuando el
) resultado de una
operación es 0.

✓ • d Se pone a 1 cuando el
) resultado es negativo.

Puntuación: 1,00

7

Elección
única

[T3.3]

Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

a) 9

✓ • b) 8

c) 1

d) 4

Puntuación: 1,00

8

Elección
única

La microprogramación vertical se caracteriza por tener:

Usu ario Profe
sores

a escaso o ningún
) solapamiento entre
campos

• b mucha codificación
)

- X
- c capacidad para
 -) expresar un alto grado de paralelismo en las microoperaciones a ejecutar
 - d microinstrucciones
 -) largas

Puntuación: -0,33

9
Elección
única

Respecto a las unidades de control nanoprogramadas:

Us Prof
uar esor
io es

- a El diseño de las
 -) unidades de control nanoprogramadas debe ser vertical.
- b Suponiendo una
 -) memoria de microprograma con n microinstrucciones de w bits cada una, de las cuales 2^m son distintas, el ahorro en bits si se utiliza nanoprogramación es $(n \cdot m + 2^m \cdot w) - n \cdot w$.
- c La realización
 -) nanoprogramada de una unidad de control es más rápida que la microprogramada.

- ✓ • d La anchura de la
) memoria de
nanoprograma es
la misma que la
de memoria de
microprograma en
un diseño de la
misma unidad de
control que no
usara
nanoprogramació
n.

Puntuación: 1,00

10
Elección
única

[T3.3]

El control residual se utiliza para:

Us Prof
ua esor
rio es

- a reducir el
) tiempo de
ejecución de las
instrucciones
máquina
- b eliminar los bits
) residuales de la
ejecución de las
microinstrucciones

- ✓ • c reducir el
) tamaño de la
memoria de
control
- d ninguna de las
) anteriores es
cierta

Puntuación: 1,00

1
Elección
única

[T3.3]
Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

✓

•

a) 8

b) 9

c) 1

d) 4

Puntuación: 1,00

2
Elección
única

No en todas las instrucciones máquina

Usuario

Profesores

a) hay una fase de decodificación

b) hay una fase de captación

c) hay una fase de ejecución

✓

•

d) hay una fase de captura de operandos

Puntuación: 1,00

3
Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario

Profesores

a) 80

b) 5

✓

•

c) 4

d) 2,5

Puntuación: 1,00

4

Elección
única

Son funciones de la unidad de control:

Usuari
o Profes
or es

- ☐ a la codificación de las instrucciones máquina
- ☐ la lectura de memoria principal de la instrucción apuntada por el μ PC
- ☒ el secuenciamiento de las instrucciones máquina
- ☐ todas las respuestas son ciertas

Puntuación: 1,00

5

Elección
única

En una arquitectura RISC típica:

Usuar
io Profeso
res

- ☐ no puede usarse segmentación.
- ☒ se usan muchas instrucciones de las disponibles en el conjunto de instrucciones.
- ☐ la programación resulta mucho más simple que en una arquitectura CISC.
- ☐ la UC es más compleja que en una arquitectura CISC.

Puntuación: 1,00

6 Elección única La conexión de las salidas de tres registros hacia un bus común en el camino de datos puede realizarse usando...

Usuario Profesores

- ✓ •
- a dos multiplexores de 2 a) 1
 - b tres demultiplexores)
 - c tres conexiones directas) al bus común
 - d dos buffers triestado)

Puntuación: 1,00

7 Elección única Suponga que la micropalabra de una máquina microprogramada tiene 8 bits de ancho y se usan 16 micropalabras diferentes en un microprograma de 256 micropalabras. Si se usa nanoprogramación...

Usuario Profesores

- X •
- a no se ahorran bits pero) el funcionamiento es más rápido.
 - b se ahorran bits pero el) funcionamiento es más lento.
 - c no se ahorran bits y) además el funcionamiento es más lento.
 - d se ahorran bits y el) funcionamiento es más rápido.

Puntuación: -0,33

8 ¿En qué pareja de registros están el dato/instrucción que se leerá o
Elección escribirá en memoria, y la dirección de memoria?

única

Usua Profes
rio ores

a IR y
) ACUMULADOR

b MAR y
) ACUMULADOR

✓ • c MBR y MAR
)

d MBR y PC
)

Puntuación: 1,00

9 Un Pentium 4 a 3,2 GHz dispone de 7 unidades de ejecución en paralelo,
Elección con 20 etapas de segmentación, y es capaz de emitir (comenzar a ejecutar)
única 3 instrucciones en cada ciclo de reloj. ¿Qué velocidad aproximada de
ejecución de instrucciones será capaz de alcanzar (MIPS = millones de
instrucciones por segundo)?

Usuari Profesor
o es

a 150 MIPS
)

b 1000
) MIPS

c 21000
) MIPS

✓ • d 9000
) MIPS

Puntuación: 1,00

10 Elección única Un sistema no segmentado tarda 200 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce segmentado de 20 etapas con un ciclo de reloj de 12 ns. Cuando se procesan muchas tareas, la máxima ganancia de velocidad que podría obtenerse se acerca a:

Usuario Profesores

a) 1,2

b) 1,66
7

c) 20

✓ • d) 16,6
7

Puntuación: 1,00

1 Elección única [T3.3] ¿Cómo actúa el indicador N del registro de indicadores de estado?

Usuario Profesores

- ✓ •
- a) Se pone a 1 cuando el resultado es negativo.
 - b) Se pone a 1 cuando el resultado es positivo.
 - c) Se pone a 1 cuando el resultado de una operación es 0.
 - d) Se pone a 0 cuando el resultado es negativo.

Puntuación: 1,00

2
Elección
única

Un procesador con una unidad de control microprogramada tiene una memoria de control de 340 palabras de 16 bits, de las que 180 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

- a) 2560 bits
- b) 19440 bits
- c) 5260 bits
- d) No se produce ahorro

✓ •

Puntuación: 1,00

3
Elección
única

Una CPU con bus de direcciones de 16 bits y bus de datos de 8 bits tiene un registro de 8 bits conectado al bus de datos y a la unidad de control. Puede tratarse del registro

Usuario Profesores

- a) Contador de programa
- b) De instrucción
- c) Puntero de pila
- d) De direcciones

X

•

Puntuación: -0,33

4
Elección
única

Las instrucciones de salto...

Usuario Profesores

- a) son uno de los tipos de instrucciones máquina con menor frecuencia dinámica de uso.
- b) complican el diseño eficiente de los procesadores segmentados.
- c) siempre utilizan direccionamiento absoluto.

✓ •

- d Todas las afirmaciones
-) anteriores son ciertas.

Puntuación: 1,00

5
Elección
única

[T3.3]

Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

- a) 9
- b) 1
- c) 4
- d) 8

Puntuación: 0,00

6
Elección
única

Una posible codificación en microinstrucciones de la instrucción CALL X es:

Usua rio Profes ores

- | | | |
|---|---|---|
| ✓ | • | <ul style="list-style-type: none"> a SP=SP-1 ; m[SP]=PC ;) PC=X b SP=SP-1 ; m[SP]=PC ;) PC=PC+1 c PC=X ; SP=SP-1 ;) m[SP]=PC d SP=PC-1 ; m[SP]=PC ;) PC=X |
|---|---|---|

Puntuación: 1,00

7
Elección
única

¿En qué pareja de registros están el dato/instrucción que se leerá o escribirá en memoria, y la dirección de memoria?

Usuar
io

Profesor
es

- ✓ •
- a MBR y PC
)
 - b MBR y MAR
)
 - c IR y
) ACUMULADOR
 - d MAR y
) ACUMULADOR

Puntuación: 1,00

8
Elección
única

En cuanto al control microprogramado:

Usu
ario

Profe
sores

- ✓ •
- a se guardan en una
) ROM las
instrucciones
máquina del
conjunto de
instrucciones.
 - b la UC se construye
) con puertas lógicas,
biestables, etc.
 - c la lentitud en la
) ejecución de las
instrucciones
máquina la impone
directamente la
tecnología hardware
usada.
 - d se usa en CISC
) para facilitar el
diseño de la UC tan
compleja.

Puntuación: 1,00

9
Elección
única

Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

a) 9

b) 1

c) 4

✓ • d) 8

Puntuación: 1,00

10
Elección
única

Respecto a las unidades de control nanoprogramadas:

Us Prof
ua esor
rio es

✓ • a La anchura de
) la memoria de
 nanoprograma
 es la misma que
 la de memoria
 de
 microprograma
 en un diseño de
 la misma unidad
 de control que
 no usara
 nanoprogramaci
 ón.

b La realización
) nanoprogramad
 a de una unidad
 de control es
 más rápida que
 la
 microprogramad
 a.

- c Suponiendo una
) memoria de
 microprograma
 con n
 microinstrucciones de w bits
 cada una, de las
 cuales 2^m son
 distintas, el
 ahorro en bits si
 se utiliza
 nanoprogramación es $(n \cdot m + 2^m \cdot w) - n \cdot w$.
- d El diseño de las
) unidades de
 control
 nanoprogramadas debe ser
 vertical.

Puntuación: 1,00

1
 Elección
 única

[T3.3]

Un procesador con una unidad de control microprogramada tiene una memoria de control de 256 palabras de 16 bits, de las que 128 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesores

X

•

- a) No se produce ahorro
 b) 256 bits
 c) 3840 bits
 d) 4096 bits

Puntuación: -0,33

2
Elección
única

[T1.1]

Son funciones de la unidad de control:

Usuario Profesores

- ✓ •
- a) la codificación de las instrucciones máquina
 - b) la lectura de memoria principal de la instrucción apuntada por el μ PC
 - c) el secuenciamiento de las instrucciones máquina
 - d) todas las respuestas son ciertas

Puntuación: 1,00

3
Elección
única

El control residual se utiliza para:

Usuario Profesores

- X •
- a) reducir el tiempo de ejecución de las instrucciones máquina
 - b) eliminar los bits residuales de la ejecución de las microinstrucciones
 - c) reducir el tamaño de la memoria de control
 - d) ninguna de las anteriores es cierta

Puntuación: -0,33

4
Elección
única

Los procesadores comerciales con unidad de control microprogramada suelen almacenar los microprogramas...

Usuario Profesores

- ✓ •
- a) en una RAM.
 - b) en un banco de registros.
 - c) en una ROM.
 - d) en una PLA.

Puntuación: 1,00

5

Elección
única

Las instrucciones de salto...

Usua rio Profes
ores

- a son uno de los tipos de
) instrucciones máquina con
menor frecuencia dinámica de
uso.
- b complican el diseño eficiente
) de los procesadores
segmentados.
- c siempre utilizan
) direccionamiento absoluto.
- X d Todas las afirmaciones
) anteriores son ciertas.

Puntuación: -0,33

6

Elección
única

Los riesgos de datos consisten en que...

Usu ario Profes
ores

- a dos instrucciones acceden
) a la vez al mismo dato
- b una instrucción necesita un
) dato calculado por otra
anterior
- c dos instrucciones necesitan
) leer el mismo dato
- X d todas las respuestas
) anteriores son correctas

Puntuación: -0,33

7

Elección
única

Una CPU con bus de direcciones de 16 bits y bus de datos de 8 bits tiene un registro de 8 bits conectado al bus de datos y a la unidad de control. Puede tratarse del registro

Usuar io Profesor
es

- a Puntero de pila
)
- ✓ • b De instrucción

)

c De direcciones

)

d Contador de

) programa

Puntuación: 1,00

8

Elección
única

[T3.3CtrlUp]

En una unidad de control microprogramada con formato de microinstrucciones vertical, un subcampo que deba especificar 16 señales de control codificadas de tal forma que pueda activarse sólo una o ninguna habrá de tener una anchura mínima de

Usuario Profesores

✓

•

a) 5 bits

b) 4 bits

c) 16 bits

d) 17 bits

Puntuación: 1,00

9

Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuario Profesores

a) 20

b) 0,25

✓

•

c) 4

d) 5

Puntuación: 1,00

10

Elección
única

En la captación de la instrucción:

U Pro
su fes
ar ore
io s

a en MAR
) indicamos la
dirección donde
está la instrucción
y en la ALU
recogemos la
instrucción.

✓ • b en MAR
) indicamos la
dirección donde
está la instrucción
y en MBR
recogemos la
instrucción.

c en MBR
) indicamos la
dirección donde
está la instrucción
y en la ALU
recogemos la
instrucción.

d en MBR
) indicamos la
dirección donde
está la instrucción
y en MAR
recogemos la
instrucción.

1
Elección
única

En una unidad de control microprogramada con formato de microinstrucciones vertical, un subcampo que deba especificar 16 señales de control codificadas de tal forma que pueda activarse sólo una o ninguna habrá de tener una anchura mínima de

Usuario	Profesores
---------	------------

- | | | |
|---|---|------------|
| ✓ | • | a) 5 bits |
| | | b) 16 bits |
| | | c) 4 bits |
| | | d) 17 bits |

Puntuación: 1,00

2
Elección
única

En cuanto al control microprogramado:

Usuari	Profesore
o	s

- | | | |
|---|---|--|
| X | • | a) la UC se construye con puertas lógicas, biestables, etc. |
| | | b) se guardan en una ROM zxxxxxxxxas instrucciones máquina del conjunto de instrucciones. |
| | | c) se usa en CISC para facilitar el diseño de la UC tan compleja. |
| | | d) la lentitud en la ejecución de las instrucciones máquina la impone directamente la tecnología hardware usada. |

Puntuación: -0,33

3

Elección
única

Una máquina superescalar es aquella que:

Usuario Profesor
o es

- ✓ •
- a) basa su funcionamiento en la segmentación software como forma de incrementar el paralelismo.
 - b) las instrucciones tienen un campo por cada unidad funcional al realizarse varias operaciones por instrucción.
 - c) emite simultáneamente múltiples instrucciones por ciclo de reloj, por ejemplo, una entera y otra de coma flotante.
 - d) ninguna respuesta de las anteriores es correcta.

Puntuación: 1,00

4

Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario Profesores

- ✓ •
- a) 2,5
 - b) 80
 - c) 4
 - d) 5

Puntuación: 1,00

5 [T3.3CtrlUp]
 Elección única En una unidad de control microprogramada con formato de microinstrucciones vertical, un subcampo que deba especificar 16 señales de control codificadas de tal forma que pueda activarse sólo una o ninguna habrá de tener una anchura mínima de

Usuario Profesores

- ✓ •
- a) 17 bits
 - b) 5 bits
 - c) 4 bits
 - d) 16 bits

Puntuación: 1,00

6 [T3.3]
 Elección única ¿Cómo actúa el indicador N del registro de indicadores de estado?

Usu Profes
 ario ores

- X •
- a Se pone a 1 cuando el
) resultado es positivo.
 - b Se pone a 1 cuando el
) resultado de una operación es 0.
 - c Se pone a 0 cuando el
) resultado es negativo.
 - d Se pone a 1 cuando el
) resultado es negativo.

Puntuación: -0,33

7
Elección
única

Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción, tiene una memoria de control con 35 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits en total para los campos de control y de tipo y condición de salto, el número máximo de palabras de la memoria de control de esta unidad de control microprogramada es de:

Usuario Profesores

- X •
- a) 2^{20}
 - b) 10
 - c) 20
 - d) 2^{10}

Puntuación: -0,33

8
Elección
única

Los riesgos de datos consisten en que...

Us Prof
uar esor
io es

- ✓ •
- a dos instrucciones
) acceden a la vez al mismo dato
 - b una instrucción
) necesita un dato calculado por otra anterior
 - c dos instrucciones
) necesitan leer el mismo dato
 - d todas las respuestas
) anteriores son correctas

Puntuación: 1,00

9 Elección única Para conectar las salidas de dos registros hacia un bus común en el datapath...

Usua
rio

Profesor
es

- ☐ a se puede usar un demultiplexor.
- ☒ b se pueden usar dos buffers triestado.
- ☐ c se puede realizar una conexión directa.
- ☐ d no se puede usar un multiplexor.

Puntuación: -0,33

10 Elección única [T3.3CtrlUp] La microprogramación vertical se caracteriza por tener:

Usua
rio

Profesor
es

- ☐ a escaso o ningún solapamiento entre campos
- ☐ b microinstrucciones largas
- ☒ c mucha codificación
- ☐ d capacidad para expresar un alto grado de paralelismo en las microoperaciones a ejecutar

1 La segmentación de cauce...

Elección
única

Usuario Profesores

- a) permite ejecutar varias instrucciones concurrentemente
- b) acelerar la ejecución de un programa
- c) provoca riesgos debido a datos
- d) todas las respuestas son ciertas

✓

•

Puntuación: 1,00

2 En la captación de la instrucción:

Elección
única

Usuari
o Profesore
s

- a) en MAR indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.
- b) en MAR indicamos la dirección donde está la instrucción y en MBR recogemos la instrucción.
- c) en MBR indicamos la dirección donde está la instrucción y en MAR recogemos la instrucción.
- d) en MBR indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.

✓

•

Puntuación: 1,00

3 Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción, tiene una memoria de control con 35 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits en total para los campos de control y de tipo y condición de salto, el número máximo de palabras de la memoria de control de esta unidad de control microprogramada es de:

Usuario Profesores

✓

•

- a) 2^{10}
- b) 2^{20}
- c) 10

d) 20

Puntuación: 1,00

4
Elección
única

El registro MDR/MBR...

Usua
rio

Profeso
res

- X
- a) especifica la dirección en memoria de la palabra que va a ser escrita o leída
 - b) contiene la dirección de la próxima instrucción que va a ser captada de memoria
 - c) contiene el código de operación de la instrucción que se está ejecutando
 - d) contiene el valor que va a ser almacenado en la memoria, o bien se usa para recibir un valor procedente de la memoria

Puntuación: -0,33

5
Elección
única

[T3.3]

Un computador usa el formato vertical de codificación de instrucciones para parte de las señales de control y el formato horizontal para k señales de control. El formato vertical posee n campos codificados de m bits cada uno. ¿Cuál es el máximo número de señales de control que pueden usarse en este computador?

Usuari
o

Profesore
s

- ✓
- a) $k + n \cdot 2^m$
 - b) $k + n^m$
 - c) $k + n \cdot (2^m - 1)$
 - d) Ninguno de los anteriores

Puntuación: 1,00

6 [T3.1]
Elección única La conexión de las salidas de tres registros hacia un bus común en el camino de datos puede realizarse usando...

Usuario Profesores

- a dos multiplexores de 2 a 1)
- b tres conexiones directas al bus común)
- c tres demultiplexores)
- X d dos buffers triestado)

Puntuación: -0,33

7 Un procesador con una unidad de control microprogramada tiene una memoria de control de 256 palabras de 16 bits, de las que 128 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación?

Usuario Profesor

- a 4096 bits)
- b 3840 bits)
- c) No se produce ahorro
- ✓ • d 256 bits)

Puntuación: 1,00

8 No en todas las instrucciones máquina

Elección única Usuario Profesores

- a hay una fase de) decodificación
- b hay una fase de

) ejecución

c hay una fase de

) captación

- ✓ • d hay una fase de
) captura de operandos

Puntuación: 1,00

9

Elección
única

[T3.3]

¿Cómo actúa el indicador N del registro de indicadores de estado?

Us Prof
ua esor
rio es

a Se pone a 1 cuando

) el resultado de una
operación es 0.

- ✓ • b Se pone a 1 cuando
) el resultado es
negativo.

c Se pone a 0 cuando

) el resultado es
negativo.

d Se pone a 1 cuando

) el resultado es
positivo.

Puntuación: 1,00

10

Elección
única

Para conectar las salidas de dos registros hacia un bus común en el datapath...

U Prof
su eso
ari res
o

a no se puede usar

) un multiplexor.

- ✓ • b se pueden usar
) dos buffers
tristado.

c se puede usar un

) demultiplexor.

- d) se puede realizar
-) una conexión directa.

Puntuación: 1,00

1
Elección
única

¿En qué registro está contenido el último dato (o instrucción) leído de memoria, o el dato que se va a escribir en memoria?

Usuario

Profesores

✓

•

a) MBR.

b) PC.

c) MAR.

d) Acumulador.

Puntuación: 1,00

2
Elección
única

Los riesgos de datos consisten en que...

Usuari
o

Profesore
s

✓

•

a) dos instrucciones acceden a la vez al mismo dato

b) una instrucción necesita un dato calculado por otra anterior

c) dos instrucciones necesitan leer el mismo dato

d) todas las respuestas anteriores son correctas

Puntuación: 1,00

3
Elección
única

Suponga que la micropalabra de una máquina microprogramada tiene 8 bits de ancho y se usan 16 micropalabras diferentes en un microprograma de 256 micropalabras. Si se usa nanoprogramación...

Usuario Profesores

- - a se ahorran bits pero el funcionamiento es más lento.
 - b se ahorran bits y el funcionamiento es más rápido.
 - c) no se ahorran bits y además el funcionamiento es más lento.
 - d no se ahorran bits pero el funcionamiento es más rápido.

X

Puntuación: -0,33

4
Elección
única

[T3.3]
Respecto a las unidades de control nanoprogramadas:

Usuario Profesores

- - a Suponiendo una memoria de microprograma con n microinstrucciones de w bits cada una, de las cuales 2^m son distintas, el ahorro en bits si se utiliza nanoprogramación es $(n \cdot m + 2^m \cdot w) - n \cdot w$.
 - b La anchura de la memoria de nanoprograma es la misma que la de memoria de microprograma en un diseño de la misma unidad de control que no usara nanoprogramación.
 - c El diseño de las unidades de control nanoprogramadas debe ser vertical.
 - d La realización nanoprogramada de una unidad de control es más rápida que la microprogramada.

X

Puntuación: -0,33

5

Elección
única

En una arquitectura RISC típica:

Usua rio Profes
ores

- X
- a no puede usarse
) segmentación.
 - b la programación resulta mucho
) más simple que en una
arquitectura CISC.
 - c la UC es más compleja que en
) una arquitectura CISC.
 - d se usan muchas instrucciones
) de las disponibles en el
conjunto de instrucciones.

Puntuación: -0,33

6

Elección
única

[T3.3]

Sea un formato de microinstrucción que incluye dos campos independientes de 8 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario Profesores

- X
- a) 9
 - b) 1
 - c) 7
 - d) 8

Puntuación: -0,33

7

Elección
única

[T3.1]

Para conectar las salidas de dos registros hacia un bus común en el datapath...

Usu ario Profe
sres

- ✓
- a no se puede usar un
) multiplexor.
 - b se puede usar un
) demultiplexor.
 - c se pueden usar dos
) buffers triestado.

d se puede realizar una
) conexión directa.

Puntuación: 1,00

8
Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario Profesores

- ✓ •
- a) 80
 - b) 4
 - c) 2,5
 - d) 5

Puntuación: 1,00

9
Elección
única

En cuanto al control microprogramado:

Us Prof
ua esor
rio es

- ✓ •
- a la UC se construye
) con puertas lógicas, biestables, etc.
 - b se usa en CISC
) para facilitar el diseño de la UC tan compleja.
 - c se guardan en una
) ROM las instrucciones máquina del conjunto de instrucciones.
 - d la lentitud en la
) ejecución de las instrucciones máquina la impone directamente la tecnología hardware usada.

Puntuación: 1,00

10
Elección
única

No en todas las instrucciones máquina

Usua-
rio Profesores

a) hay una fase de
ejecución

b) hay una fase de
captación

c) hay una fase de
decodificación

✓ • d) hay una fase de
captura de
operandos

1
Elección
única

¿Qué circuito suele utilizarse para traducir el código de operación de una instrucción máquina a dirección de comienzo en la memoria de control del microprograma correspondiente?

Usuario Profesores

a) Un multiplexor.

✓ • b) Una memoria.

c) Un contador.

d) Un registro.

Puntuación: 1,00

2 Elección única [T3.3] Sea un formato de microinstrucción que incluye dos campos independientes de 9 bits cada uno. Si se rediseña de modo que se solapen los dos campos, ¿cuántos bits se ahorran en cada microinstrucción?

Usuario

Profesores

✓

•

a) 8

b) 9

c) 4

d) 1

Puntuación: 1,00

3 Elección única [T3.1] Para conectar las salidas de dos registros hacia un bus común en el datapath...

Usuario

Profesores

✓

•

a) se puede usar un demultiplexor.

b) se puede realizar una conexión directa.

c) no se puede usar un multiplexor.

d) se pueden usar dos buffers triestado.

Puntuación: 1,00

4 Elección única Para conectar las salidas de dos registros hacia un bus común en el datapath...

Usuario

Profesores

✓

•

a) se puede realizar una conexión directa.

b) se puede usar un demultiplexor.

c) se pueden usar dos buffers triestado.

- d no se puede usar un
) multiplexor.

Puntuación: 1,00

5
Elección
única

El control residual se utiliza para:

Usuar Profeso
io res

- ✓ •
- a reducir el tiempo de
) ejecución de las
instrucciones máquina
- b eliminar los bits residuales
) de la ejecución de las
microinstrucciones
- c reducir el tamaño de la
) memoria de control
- d ninguna de las anteriores
) es cierta

Puntuación: 1,00

6
Elección
única

[T3.3]

Un computador tiene una memoria de control de 16 Kpalabras de 250 bits, de las que 447 son diferentes. ¿Cuántos bits ahorramos usando nanoprogramación en lugar de microprogramación?

Usua Profes
rio ores

- X •
- a 3928652
)
- b 259206
)
- c 287935
)
- d ninguno de los
) resultados anteriores es
exacto

Puntuación: -0,33

7

Elección
única

Sobre la segmentación:

Usu
ario Profes
ores

- a La frecuencia de reloj
) viene impuesta por la etapa más corta.
- b Un procesador
) superescalar no puede estar segmentado.
- c Es una técnica para
) comenzar simultáneamente la ejecución de varias instrucciones con el fin de reducir el tiempo de ejecución.
- d Existen limitaciones al
) rendimiento provocadas por las instrucciones de salto y por las dependencias de datos.

✓ •

Puntuación: 1,00

8

Elección
única

Una máquina superescalar es aquella que:

Usu ario Profe
sores

X

a basa su
) funcionamiento en la
segmentación
software como
forma de
incrementar el
paralelismo.

b las instrucciones
) tienen un campo por
cada unidad
funcional al
realizarse varias
operaciones por
instrucción.

• c emite
) simultáneamente
múltiples
instrucciones por
ciclo de reloj, por
ejemplo, una entera
y otra de coma
flotante.

d ninguna respuesta
) de las anteriores es
correcta.

Puntuación: -0,33

9

Elección
única

[T3.2]

¿Cuál de los siguientes grupos de señales son entradas a la unidad de control?

Us Prof
uar esor
io es

a Las señales de
) carga/incremento/
desplazamiento
de registros

b Las señales de
) selección de
entradas de
multiplexores del
datapath

✓ • c Los bits del
) registro de
indicadores (flags)

d Los bits de las
) opciones b y c

Puntuación: 1,00

10

Elección
única

¿Cómo actúa el indicador N del registro de indicadores de estado?

Us Prof
ua esor
rio es

✓ • a Se pone a 1
) cuando el
resultado es
negativo.

b Se pone a 0
) cuando el
resultado es
negativo.

c Se pone a 1
) cuando el
resultado de
una operación
es 0.

d Se pone a 1
) cuando el
resultado es
positivo.

Puntuación: 1,00

La microprogramación vertical se caracteriza por tener:

Usuari Profesore

a

s

✓

- a) mucha codificación
- b) escaso o ningún solapamiento entre campos
- c) microinstrucciones largas
- d) capacidad para expresar un alto grado de paralelismo en las microoperaciones a ejecuta

No en todas las
instrucciones máquina

Us Prof

ua eso

ria res

- a hay
) una
fase
de
captu
ra de
opera
ndos

X

b hay
) una
fase
de
deco
difica
ción

c hay
) una
fase
de

captación
d hay
) una
fase
de
ejecución

Puntuación: **-0,33**

3

Elección única

Un computador tiene una memoria de control de 640 palabras de 70 bits, de las que 280 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación en lugar de microprogramación?

Us Prof
uar esor
ia es

- a 19440
)
b 42280
)
c 9840
)
d ninguno de los
) anteriores resultados es exacto.

Puntuación: **0,00**

En la captación de la instrucción:

Usuari Profesore

a

s

✓

- a) en MAR indicamos la dirección donde está la instrucción y en MBR recogemos la instrucción.
- b) en MBR indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.
- c) en MBR indicamos la dirección donde está la instrucción y en MAR recogemos la instrucción.

- d) en MAR indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.

En los sistemas con una jerarquía de memoria dividida en varios niveles se da el problema de la consistencia o coherencia de los datos entre los distintos niveles. Si una palabra se modifica en un nivel, en algún momento habrá que traspasar ese cambio a los niveles inferiores (más lejanos al procesador). Para ello hay varias políticas:

Usuar Profesor
io es

- a) Post-escritura: se retrasa la actualización en los niveles inferiores hasta que el bloque modificado tenga que ser reemplazado
- b) Escritura indirecta: si se modifica una palabra, inmediatamente se modifican los niveles superiores
- X c) Las respuestas a y b son ciertas
- d) Las respuestas a y b son falsas

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 6 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuar Profesor
io es

- a) 5
- b) 3,3
- 3
- c) 0,3
- X d) 4

¿Qué tipo de localidad de las referencias se define como: "si se referencia un elemento, volverá a ser referenciado pronto"?

Usuar Profesor
io es

- a) Localidad espacial
- b) Localidad iterativa
- ✓ • c) Localidad temporal
- d) Localidad secuencial

Un programa crea en memoria una larga secuencia de números de forma consecutiva. ¿Qué tipo de estrategia de mantenimiento de coherencia es más eficiente para ejecutar este programa en un sistema con jerarquía de memoria?

Usuar Profesor

io es

X

- a) Escritura directa ("write-through")
- b) Post-escritura ("write-back")
- c) Tanto a) como b) son igual de eficientes
- d) No puede saberse qué técnica es mejor

En 8086, los parámetros a las subrutinas se pueden pasar:

Usuar Profesor

io es

✓

- a) a través de variables globales
- b) a través de los registros
- c) a través de la pila
- d) todas las anteriores son ciertas

Cada celda de un chip de memoria DRAM de 1M x 1, organizada en una matriz de 512 filas x 2048 columnas, necesita ser refrescada cada 16 ms. ¿Cada cuánto tiempo ha de realizarse una operación de refresco en el chip?

Usuar Profesor

io es

✓

- a) 32,768 segundos
- b) 7,8125 microsegundos
- c) 8192 milisegundos
- d) 31,25 microsegundos

¿Cuál de las siguientes listas está correctamente ordenada temporalmente?

Usuar Profesor

io es

✓

- a) 8086, 486, Pentium MMX, Pentium III, Pentium 4, Core

- b) 8086, 486, Pentium III, Pentium MMX, Core 2, Pentium 4
- c) 486, 8086, Core 2, Pentium III, Pentium 4, Pentium MMX
- d) 486, 8086, Pentium MMX, Core 2, Pentium III, Pentium 4

¿Qué necesitamos para construir una memoria de 1K x 8 bits?

Usuario Profesor

- a) 64 memorias de 128 x 1 bits
- b) 8 memorias de 512 x 2 bits
- ✓ • c) 8 memorias de 256 x 4 bits y un decodificador de 2 a 4
- d) Ninguna de las anteriores respuestas es cierta

¿Cuál de las siguientes secuencias de tipos de memoria está ordenada de menores a mayores prestaciones?

Usuario Profesor

- a) DDR, SDRAM, FPM
- ✗ b) EDO, SRAM, FPM
- c) SDRAM, DDR, EDO
- d) FPM, EDO, RDRAM

Si AX = FA50h y ejecutamos XOR AX, 00FFh

Usuario Profesor

- ✓ • a) Se realiza el complemento a 1 de AL.
- b) El registro AH se pone a 0.
- c) Se realiza el complemento a 1 de AH.
- d) El registro AL se pone a 0.

¿Qué política de colocación en cache necesita más comparadores, la correspondencia asociativa por conjuntos o la correspondencia por sectores?

Usuario Profesor

- ✓
- a) Correspondencia por sectores
 - b) Correspondencia asociativa por conjuntos
 - c) Depende de si es mayor el número de bloques por conjunto o el número de sectores
 - d) Depende de si es mayor el número de conjuntos o el número de sectores

1
Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 6 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuario Profesores

- ✓
- a) 5
 - b) 0,3
 - c) 4
 - d) 3,33

Puntuación: 1,00

2
Elección
única

Un sistema no segmentado tarda 200 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce segmentado de 20 etapas con un ciclo de reloj de 12 ns. Cuando se procesan muchas tareas, la máxima ganancia de velocidad que podría obtenerse se acerca a:

Usuario Profesores

- ✓
- a) 1,2
 - b) 16,67
 - c) 1,667
 - d) 20

Puntuación: 1,00

3

Elección
única

[T4.4]

Sobre la segmentación:

Usuari
o Profesore
s

- a) Es una técnica para comenzar simultáneamente la ejecución de varias instrucciones con el fin de reducir el tiempo de ejecución.
- b) La frecuencia de reloj viene impuesta por la etapa más corta.
- c) Existen limitaciones al rendimiento provocadas por las instrucciones de salto y por las dependencias de datos.
- d) Un procesador superescalar no puede estar segmentado.

✓

•

Puntuación: 1,00

4

Elección
única

La segmentación de cauce...

Usuari
o Profesor
es

- a) permite ejecutar varias instrucciones concurrentemente
- b) acelerar la ejecución de un programa
- c) provoca riesgos debido a datos
- d) todas las respuestas son ciertas

✓

•

Puntuación: 1,00

5 [T4.3]
Elección única Un sistema no segmentado tarda 10 ns en procesar una instrucción. Las instrucciones pueden ser procesadas en un cauce (pipeline) de 5 segmentos con un ciclo de reloj de 4 ns. Cuando se procesan muchas instrucciones, la ganancia máxima de velocidad que se obtiene se acerca a:

- | Usuario | Profesores | |
|---------|------------|--------|
| ✓ | • | a) 2,5 |
| | | b) 50 |
| | | c) 4 |
| | | d) 5 |

Puntuación: 1,00

6 Las instrucciones de salto...

- | Elección única | Usuario | Profesores | |
|----------------|---------|------------|---|
| | | | a son uno de los tipos de instrucciones máquina con menor frecuencia dinámica de uso. |
| ✓ | • | | b complican el diseño eficiente de los procesadores segmentados. |
| | | | c siempre utilizan direccionamiento absoluto. |
| | | | d Todas las afirmaciones anteriores son ciertas. |

Puntuación: 1,00

7 No en todas las instrucciones máquina

Elección
única

Usu
ario Profes
ores

- ✓ •
- a hay una fase de
) captura de operandos
 - b hay una fase de
) ejecución
 - c hay una fase de
) decodificación
 - d hay una fase de
) captación

Puntuación: 1,00

8
Elección
única

[T4.3]

Un sistema no segmentado tarda 20 ns en procesar una instrucción. Las instrucciones pueden ser procesadas en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas instrucciones, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuario Profesores

- ✓ •
- a) 5
 - b) 20
 - c) 0,25
 - d) 4

Puntuación: 1,00

9

Elección
única

[T4.4]

Las instrucciones de salto...

Us Prof
uar esor
io es

a son las causantes
) de los riesgos de
tipo RAW y WAW.

✓ • b complican el
) diseño eficiente
de los
procesadores
segmentados.

c siempre utilizan
) direccionamiento
absoluto.

d Todas las
) afirmaciones
anteriores son
ciertas.

Puntuación: 1,00

10

Elección
única

Una máquina superescalar es aquella que:

Us Prof
ua esor
rio es

a basa su
) funcionamiento
en la
segmentación
software como
forma de
incrementar el
paralelismo.

b las instrucciones
) tienen un campo
por cada unidad
funcional al
realizarse varias
operaciones por
instrucción.

- ✓ • c) emite
) simultáneamente múltiples instrucciones por ciclo de reloj, por ejemplo, una entera y otra de coma flotante.
- d) ninguna
) respuesta de las anteriores es correcta.

Puntuación: 1,00

1
Elección
única

Una máquina superescalar es aquella que:

Usuario Profesores

- a) basa su funcionamiento en la segmentación software como forma de incrementar el paralelismo.
- b) las instrucciones tienen un campo por cada unidad funcional al realizarse varias operaciones por instrucción.

- ✓ • c) emite simultáneamente múltiples instrucciones por ciclo de reloj, por ejemplo, una entera y otra de coma flotante.
- d) ninguna respuesta de las anteriores es correcta.

Puntuación: 1,00

2

Elección
única

[T4.4]

Los riesgos de datos consisten en que...

Usuario Profesores

- ✓ •
- a) dos instrucciones acceden a la vez al mismo dato
 - b) una instrucción necesita un dato calculado por otra anterior
 - c) dos instrucciones necesitan leer el mismo dato
 - d) todas las respuestas anteriores son correctas

Puntuación: 1,00

3

Elección
única

Un sistema no segmentado tarda 200 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce segmentado de 20 etapas con un ciclo de reloj de 12 ns. Cuando se procesan muchas tareas, la máxima ganancia de velocidad que podría obtenerse se acerca a:

Usuario Profesores

- ✓ •
- a) 1,2
 - b) 16,67
 - c) 20
 - d) 1,667

Puntuación: 1,00

4

Elección
única

[T4.3]

Un sistema no segmentado tarda 10 ns en procesar una instrucción. Las instrucciones pueden ser procesadas en un cauce (pipeline) de 5 segmentos con un ciclo de reloj de 4 ns. Cuando se procesan muchas instrucciones, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario

Profesores

✓

•

a) 4

b) 2,5

c) 50

d) 5

Puntuación: 1,00

5

Elección
única

[T4.3]

Un sistema no segmentado tarda 20 ns en procesar una instrucción. Las instrucciones pueden ser procesadas en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas instrucciones, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuario

Profesores

✓

•

a) 4

b) 0,25

c) 5

d) 20

Puntuación: 1,00

6
Elección
única

Un sistema no segmentado tarda 10 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 5 segmentos con un ciclo de reloj de 4 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario

Profesores

✓

•

a) 50

b) 2,5

c) 5

d) 4

Puntuación: 1,00

7
Elección
única

En una arquitectura RISC típica:

Usu
ario

Profes
ores

✓

•

a no puede usarse
) segmentación.

b la UC es más compleja
) que en una
arquitectura CISC.

c se usan muchas
) instrucciones de las
disponibles en el
conjunto de
instrucciones.

d la programación
) resulta mucho más
simple que en una
arquitectura CISC.

Puntuación: 1,00

8

Elección
única

[T4.3]

Un sistema no segmentado tarda 200 ns en procesar una instrucción. Las instrucciones pueden ser procesadas en un cauce segmentado de 20 etapas con un ciclo de reloj de 12 ns. Cuando se procesan muchas instrucciones, la máxima ganancia de velocidad que podría obtenerse se acerca a:

Usuario Profesores

- | | | |
|---|---|----------|
| ✓ | • | a) 16,67 |
| | | b) 20 |
| | | c) 1,667 |
| | | d) 1,2 |

Puntuación: 1,00

9

Elección
única

No en todas las instrucciones máquina

Us Prof
uar esor
io es

- | | | |
|---|---|--|
| | | a hay una fase de
) ejecución |
| | | b hay una fase de
) captación |
| ✓ | • | c hay una fase de
) captura de
operandos |
| | | d hay una fase de
) decodificación |

Puntuación: 1,00

10
Elección
única

Un sistema no segmentado tarda 20 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 4 segmentos con un ciclo de reloj de 5 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se aproxima a:

Usuari
o

Profesore
s

✓

•

- a) 4
- b) 20
- c) 0,2
5
- d) 5

Puntuación: 1,00

1
Elección
única

Sobre la segmentación:

Usuario

Profesores

- a) Un procesador superescalar no puede estar segmentado.
- b) Es una técnica para comenzar simultáneamente la ejecución de varias instrucciones con el fin de reducir el tiempo de ejecución.
- c) Existen limitaciones al rendimiento provocadas por las instrucciones de salto y por las dependencias de datos.
- d) La frecuencia de reloj viene impuesta por la etapa más corta.

Puntuación: 0,00

2

Elección
única

[T4.3]

Si un procesador no segmentado necesita 5 ns para leer una instrucción de memoria, 2 ns para decodificar la instrucción, 3 ns para leer del banco de registros, 3 ns para realizar el cálculo requerido por la instrucción, y 2 ns para escribir el resultado en el banco de registros, ¿cuál es la frecuencia de reloj máxima del procesador?

Usuario

Profesores

✓

•

a) 66,67 MHz

b) 40 MHz

c) 500 MHz

d) 200 MHz

Puntuación: 1,00

3

Elección
única

Una máquina superescalar es aquella que:

Usuari
o

Profesore
s

a) basa su funcionamiento en la segmentación software como forma de incrementar el paralelismo.

b) las instrucciones tienen un campo por cada unidad funcional al realizarse varias operaciones por instrucción.

•

c) emite simultáneamente múltiples instrucciones por ciclo de reloj, por ejemplo, una entera y otra de coma flotante.

d) ninguna respuesta de las anteriores es correcta.

Puntuación: 0,00

4

Elección
única

En una arquitectura RISC típica:

Usuario Profesor
o es

- - a) se usan muchas instrucciones de las disponibles en el conjunto de instrucciones.
 - b) no puede usarse segmentación.
 - c) la programación resulta mucho más simple que en una arquitectura CISC.
 - d) la UC es más compleja que en una arquitectura CISC.

Puntuación: 0,00

5

Elección
única

Un Pentium 4 a 3,2 GHz dispone de 7 unidades de ejecución en paralelo, con 20 etapas de segmentación, y es capaz de emitir (comenzar a ejecutar) 3 instrucciones en cada ciclo de reloj. ¿Qué velocidad aproximada de ejecución de instrucciones será capaz de alcanzar (MIPS = millones de instrucciones por segundo)?

Usuario Profesores

- - a) 21000 MIPS
 - b) 1000 MIPS
 - c) 150 MIPS
 - d) 9000 MIPS

✓

Puntuación: 1,00

6

Elección
única

[T4.4]

Las instrucciones de salto...

Usua Profes
rio ores

- ☐ a son las causantes de los
) riesgos de tipo RAW y
 WAW.
- ☒ • b complican el diseño
) eficiente de los
 procesadores
 segmentados.
- ☐ c siempre utilizan
) direccionamiento
 absoluto.
- ☐ d Todas las afirmaciones
) anteriores son ciertas.

Puntuación: 1,00

7

Elección
única

La segmentación de cauce...

Usu Profes
ario ores

- ☐ a permite ejecutar varias
) instrucciones
 concurrentemente
- ☐ b acelerar la ejecución
) de un programa
- ☐ c provoca riesgos debido
) a datos
- ☒ • d todas las respuestas
) son ciertas

Puntuación: 1,00

8 Elección única Un sistema no segmentado tarda 10 ns en procesar una tarea. La misma tarea puede ser procesada en un cauce (pipeline) de 5 segmentos con un ciclo de reloj de 4 ns. Cuando se procesan muchas tareas, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuario Profesores

- ✓ •
- a) 50
 - b) 4
 - c) 2,5
 - d) 5

Puntuación: 1,00

9 Elección única Si un procesador no segmentado necesita 5 ns para leer una instrucción de memoria, 2 ns para decodificar la instrucción, 3 ns para leer del banco de registros, 3 ns para realizar el cálculo requerido por la instrucción, y 2 ns para escribir el resultado en el banco de registros, ¿cuál es la frecuencia de reloj máxima del procesador?

Usuario Profesor

- ✓ •
- a) 40 MHz
 - b) 500 MHz
 - c) 66,67 MHz
 - d) 200 MHz

Puntuación: 1,00

10

Elección
única

[T4.4]

La segmentación de cauce...

Usua-
rio Profesor
es

a) permite ejecutar
) varias
instrucciones
concurrentemen-
te

b) acelera la
) ejecución de un
programa

c) provoca riesgos
) debido a datos

✓ • d) todas las
) respuestas son
ciertas

Puntuación: 1,00

La "postescritura (write-back) marcada"

Usuar-
io Profesor
es

a) provoca una menor tasa de faltas que la "postescritura
siempre"

X b) requiere más bits de modificación ("bits sucios") cuando
aumenta el número de vías

• c) es más eficiente que la "postescritura siempre"

d) requiere menos hardware que la "postescritura siempre"

En una caché con 64 bytes de longitud de línea, ¿cuál es la dirección de memoria
de la primera palabra de la línea de caché que contenga la posición de memoria
0xBEE3DE72?

Usuar-
io Profesor
es

a) 0xBEE3DE6
E

X b) 0xBEE3DE70

• c) 0xBEE3DE40

d) 0x0EE3DE72

¿Cuántas líneas de dirección son necesarias en un memoria RAM de 64 K palabras dinámica? ¿Y estática?

Usuar Profesor

io es

- a) 16 / 16
- b) 8 / 8
- c) 8 / 16
- d) 16 / 8

X

¿Cuál de las siguientes afirmaciones es falsa?

Usuar Profesor

io es

- a) Las memorias DRAM presentan generalmente una capacidad de almacenamiento mucho mayor que las SRAM
- b) Las memorias DRAM son en general mucho más rápidas que las SRAM
- c) Una celda DRAM sólo necesita un transistor y un condensador
- d) La operación de lectura de una celda DRAM es destructiva

✓

¿Qué tipo de información no contiene una entrada de la tabla de páginas cuando utilizamos memoria virtual paginada?

Usuar Profesor

io es

- a) Bit indicador de si la página es valida
- b) Tipo de acceso permitido
- c) Dirección del marco de página que ocupa
- d) Longitud de la página

X

Respecto al entrelazado de memoria:

Usuar Profesor

io es

- a) Empleando entrelazado de orden superior las direcciones de memoria se reparten de forma consecutiva dentro de un módulo

- b) El entrelazado de orden inferior permite el acceso simultáneo a palabras consecutivas
- c) La cantidad de conflictos en el acceso a la memoria suele ser menor en los sistemas que emplean entrelazado de orden inferior

✓

- d) Todas las respuestas anteriores son ciertas

¿Cuántas líneas de dirección son necesarias en un memoria RAM dinámica de 256 K palabras? ¿Y en una estática?

Usuar Profesor

io es

X

- a) 18/9
- b) 18/18
- c) 9/18
- d) 9/9

¿En qué tipo de refresco de memoria DRAM CAS# permanece a 0 después del ciclo de lectura o escritura precedente?

Usuar Profesor

io es

X

- a) RAS# antes de CAS#
- b) Sólo RAS#
- c) Refresco transparente
- d) Ninguna de las anteriores respuestas es correcta

Se tiene una memoria que emplea entrelazado. Si fallan varias celdas contiguas de uno de sus chips de memoria, ¿con qué tipo de entrelazado de memoria sería más fácil poder utilizarla?

Usuar Profesor

io es

X

- a) Entrelazado de orden superior
- b) Entrelazado de orden inferior
- c) En ningún caso podremos reutilizar la memoria
- d) Es igual de difícil en ambos casos

El direccionamiento directo a memoria utiliza...

Usuario Profesor

io es

- ✓
 - a) dos desplazamientos contenidos en la propia instrucción.
 - b) un registro.
 - c) un desplazamiento.
 - d) un registro y un desplazamiento contenidos en la propia instrucción.

Una memoria que está estructurada en palabras de 16 bits tiene una capacidad de 64 Kbits. ¿Cuántas palabras tiene?

Usuario Profesor

io es

- ✗
 - a) 4096
 - b) 4000
 - c) 6400
 - 0
 - d) 6553
 - 6

¿Cuál de las siguientes afirmaciones es falsa?

Usuario Profesor

io es

- ✓
 - a) la anchura del bus de datos es siempre de 16 bytes
 - b) el bus de datos es bidireccional
 - c) el bus de direcciones es unidireccional
 - d) el bus de control puede transportar señales de estado

Un sistema de memoria tiene un tiempo medio de acceso de 10 ns por operación de lectura o escritura y un ancho de datos de 32 bits. ¿Cuál es el ancho de banda del sistema de memoria?

Usuario Profesor

io es

- a) 2,5 ns
- b) 32 Mbytes por segundo
- c) 400 millones de bytes por segundo
- d) 32 bits

¿Cuál de las siguientes afirmaciones acerca de las memorias RAM estáticas es falsa?

Usuar Profesor

io es

- ✓ a) Las operaciones de lectura no son destructivas
- b) El número de transistores necesario para implementar cada celda es menor que en las memorias RAM dinámicas
- c) Los datos almacenados se mantienen por un tiempo indefinido
- d) Son más veloces que las memorias RAM dinámicas

En las políticas anticipativas de extracción de caché, ¿cuál de ellas se caracteriza por preextraer el bloque $i+1$ si se referencia al bloque i y se produce falta de bloque?

Usuar Profesor

io es

- a) Preextracción indexada
- b) Preextracción por falta
- ✗ c) Preextracción siempre
- d) Preextracción marcada

¿Cuál de las siguientes afirmaciones respecto a la memoria RDRAM no es cierta?

Usuar Profesor

io es

- ✓ a) Funciona de forma síncrona y a muy alta velocidad
- b) El bus de datos suele ser muy ancho.
- c) Las direcciones de fila y columna son enviadas en el mismo ciclo de reloj por buses separados
- d) La interfaz entre el procesador y la memoria es muy diferente a la de las memorias DDR

Se dispone de un computador cuyo tiempo medio de acceso al sistema de memoria cache y memoria principal es de 18 ns. Si la tasa de fallo de la cache es de 0,2 y el tiempo de acceso a la memoria principal es 50 ns. ¿Cuál es el tiempo de acceso a la cache?

Usuar Profesor

io es

- a) 6 ns
- b) 10 ns
- c) 8 ns

d) 24,4
ns

En un sistema con memoria de bytes y líneas de cache de 64 bytes, ¿dónde empieza el bloque de memoria que contiene la posición 0xBEE3DE72?

Usuar Profesor
io es

- a) 0xBEE3DE6E
- b) 0xBEE3DE70
- ✓ • c) 0xBEE3DE40
- d) 0x0EE3DE72

Una memoria que está estructurada en palabras de 8 bits tiene una capacidad de 32 Kbits. ¿Cuántas líneas de dirección tiene dicha memoria?

Usuar Profesor
io es

- a) 8
- b) 12
- c) 32
- ✗ d) 4

Las celdas de memoria estática...

Usuar Profesor
io es

- a) son más pequeñas y lentas que las celdas de memoria dinámica
- b) almacenan la información en un condensador
- ✓ • c) mantienen la información almacenada por tiempo indefinido mientras se mantenga la alimentación
- d) Ninguna de las respuestas anteriores es cierta

Las señales BHE# y A0(=BLE#) son necesarias para seleccionar direcciones pares e impares en el procesador

Usuar Profesor
io es

- a) 8088
- b) 8086

- c) 80386
- d) Pentium

En un sistema con memoria de bytes y líneas de cache de 32 bytes, ¿dónde empieza el bloque de memoria que contiene la posición 0xAC72?

Usuario Profesor

io es

- a) 0xAC60
- X b) 0xAC6E
- c) 0xAC70
- d) 0xAC72

En una cache asociativa por conjuntos, la vía i está constituida por:

Usuario Profesor

io es

- a) todos los bloques i-ésimos de cada conjunto
- b) todos los bloques del conjunto i
- X c) todos los conjuntos del bloque i
- d) ninguna de las anteriores es cierta

Una placa madre de un 486 con un único SIMM de 30 contactos con 8 chips de 1M x 1...

Usuario Profesor

io es

- a) tiene 8 M palabras de memoria principal
- b) no funciona correctamente
- X c) tiene 1 M palabras de memoria principal
- d) tiene 256 K palabras de memoria principal

¿En qué tipo de ciclo de refresco se hace RAS# = 0?

Usuario Profesor

io es

- X a) Sólo RAS#

- b) CAS# antes de RAS#
- c) Refresco transparente
- d) En todos los anteriores

1
Elección
única

La "postescritura (write-back) marcada"

Usuario Profesores

- | | | |
|---|---|--|
| ✓ | • | <ul style="list-style-type: none"> a) requiere menos hardware que la "postescritura siempre" b) es más eficiente que la "postescritura siempre" c) provoca una menor tasa de faltas que la "postescritura siempre" d) requiere más bits de modificación ("bits sucios") cuando aumenta el número de vías |
|---|---|--|

Puntuación: 1,00

2
Elección
única

Si se necesitan 60 ns para escribir una palabra de datos de caché en memoria principal y cada bloque de caché tiene 8 palabras, ¿cuántas veces seguidas se tiene que escribir en un mismo bloque para que una caché de postescritura sea más eficiente que una de escritura inmediata?

Usuario Profesores

- | | | |
|---|---|--|
| X | • | <ul style="list-style-type: none"> a) Más de 8 veces. b) Depende de la tasa de aciertos. c) La caché de postescritura no puede ser más eficiente que la de escritura inmediata. d) La caché de postescritura siempre será más eficiente que la de escritura inmediata. |
|---|---|--|

Puntuación: -0,33

3
Elección
única

El espacio direccionable de memoria de un computador depende del diseño del:

Usuario Profesores

- ✓ •
- a) Bus de direcciones
 - b) Bus de datos
 - c) Ninguna de las otras es correcta
 - d) a) y b) son correctas

Puntuación: 1,00

4
Elección
única

Un sistema de memoria utiliza una caché con bloques de 8 palabras y memorias DRAM trabajando en modo página. ¿Cuántos ciclos se necesitan para copiar un bloque de memoria en la caché?

Usuario Profesores

- X
- a) 4 ciclos completos RAS-CAS y 4 ciclos CAS
 - b) 7 ciclos completos RAS-CAS y 1 ciclo CAS
 - c) 8 ciclos completos RAS-CAS)
 - d) 1 ciclo completo RAS-CAS y 7 ciclos CAS

Puntuación: -0,33

5
Elección
única

¿Cuál es el tamaño de la marca de caché en un ordenador capaz de direccionar 1 MB de memoria principal y 32 KB de memoria caché, que emplea un tamaño de palabra de 32 bits y correspondencia asociativa por conjuntos con 16 palabras por bloque y 8 bloques por conjunto, suponiendo que las direcciones de memoria utilizan 20 bits?

Usuario

Profesores

✓

•

a) 8 bits

b) 7 bits

c) 6 bits

d) 10 bits

Puntuación: 1,00

6
Elección
única

Las señales BHE# y A0(=BLE#) son necesarias para seleccionar direcciones pares e impares en el procesador

Usuario

Profesores

a) 8088

✓

•

b) 8086

c) 80386

d) Pentium

Puntuación: 1,00

7
Elección
única

En una caché con 64 bytes de longitud de línea, ¿qué bits de una dirección de memoria se utilizan para determinar a qué byte dentro de la línea se refiere dicha dirección?

Usu
ario

Profes
ores

•

a Los 6 bits menos
) significativos

b Los 6 bits más
) significativos

X

c Los 4 bits menos
) significativos

d Los 4 bits más
) significativos

Puntuación: -0,33

8

Elección
única

[T6.2]

Una memoria que está organizada en palabras de 16 bits tiene una capacidad de 64 Kbits. ¿Cuántas palabras tiene?

Usuario Profesores

a) 4000

• b) 4096

c) 65536

X d) 64000

Puntuación: -0,33

9

Elección
única

[T6.1]

¿Qué dice la ley de Moore?

Us Prof
uar esor
io es

X a Que el tamaño de
) los transistores se
duplica cada 18
meses.

b Que la memoria
) de los
ordenadores se
duplica cada 18
meses.

• c Que las
) prestaciones de
los transistores en
un chip se
duplican cada 18
meses.

d Todas las
) respuestas son
ciertas.

Puntuación: -0,33

10 Elección única A medida que nos acercamos a la CPU en una memoria organizada en forma jerárquica, ¿qué suele ocurrir con respecto al tamaño de las unidades de transferencia entre niveles?

Usua-
rio Profesor

- X
- a Aumenta)
 - b Disminuye)
 - c Permanece) constante
 - d Todas las) posibilidades anteriores suelen darse

Puntuación: -0,33

Con 8 circuitos de memoria RAM de 1K x 8 se puede crear un memoria de:

Usuar-
io Profesor

- a) 1K x 64
- b) 8K x 8
- c) 2K x 32
- ✓ • d) Todas las combinaciones anteriores son posibles

Una memoria que está estructurada en palabras de 8 bits tiene una capacidad de 32 Kbits. ¿Cuántas líneas de dirección tiene dicha memoria?

Usuar-
io Profesor

- a) 4
- b) 3
- 2
- ✓ • c) 1
- 2
- d) 8

En una jerarquía de memoria, a medida que nos alejamos del procesador...

Usuario Profesor

io es

- ✓
 - a) El tamaño de la memoria disminuye.
 - b) La velocidad de transferencia aumenta.
 - c) El coste por byte aumenta.
 - d) El tamaño de la unidad de transferencia entre dos niveles aumenta

Cuál de los siguientes métodos para incrementar el ancho de banda de memoria es más económico?

Usuario Profesor

io es

- ✓
 - a) Organizar la memoria jerárquicamente
 - b) Utilizar memorias asociativas
 - c) Utilizar memorias de alta velocidad
 - d) Duplicar el tamaño de la memoria

Un TLB suele tener:

Usuario Profesor

io es

- ✓
 - a) tantas entradas como número de páginas la memoria física
 - b) un número de entradas o elementos mucho menor que el número de páginas de la memoria virtual
 - c) más entradas que el número de páginas de la memoria virtual
 - d) una única entrada correspondiente a la última página accedida

Supongamos una memoria asociativa con un registro indicador de x bits y otro de máscara de y bits. ¿Cuántas palabras puede almacenar dicha memoria?

Usuario Profesor

io es

- ✓
 - a) x
 - b) y
 - c) $x + y$
 - d) Ninguna de las anteriores respuesta es

cierta

Un computador emplea un sistema de memoria principal de 128 palabras y una memoria caché de 32 palabras. La organización de la memoria caché es totalmente asociativa y el tamaño de bloque es de 8 palabras. Se emplea el algoritmo de reemplazo FIFO. Si inicialmente la memoria caché está totalmente vacía, calcule el número de fallos cuando se lee la secuencia de direcciones de la memoria principal: 0000100, 1000001, 0000101, 0010011, 0100010, 1000100, 0000111.

Usuar Profesor

io es

- a) 4 fallos
- b) 6 fallos
- c) 5 fallos
- d) 3 fallos

¿Qué tipo de localidad de las referencias a memoria se define como: "si se referencia un elemento, volverá a ser referenciado pronto"?

Usuar Profesor

io es

- ✓ • a) Localidad temporal
- b) Localidad secuencial
- c) Localidad iterativa
- d) Localidad espacial

1
Elección
única

¿Cuál de los siguientes métodos para incrementar el ancho de banda de memoria es más económico?

Usuario Profesores

- a) Duplicar el tamaño de la memoria
- b) Utilizar memorias asociativas
- c) Utilizar memorias de alta velocidad
- ✓ • d) Organizar la memoria jerárquicamente

Puntuación: 1,00

2
Elección
única

Un sistema de memoria tiene un tiempo medio de acceso de 10 ns por operación de lectura o escritura y un ancho de datos de 32 bits. ¿Cuál es el ancho de banda del sistema de memoria?

Usuario Profesores

- a) 2,5 ns
- b) 32 Mbytes por segundo
- ✓ • c) 400 millones de bytes por segundo
- d) 32 bits

Puntuación: 1,00

3
Elección
única

Un programa crea en memoria una larga secuencia de números de forma consecutiva. ¿Qué tipo de estrategia de mantenimiento de coherencia es más eficiente para ejecutar este programa en un sistema con jerarquía de memoria?

Usuari
o

Profesore
s

- ✓ •
- a) Escritura directa ("write-through")
 - b) Post-escritura ("write-back")
 - c) Tanto a) como b) son igual de eficientes
 - d) No puede saberse qué técnica es mejor

Puntuación: 1,00

4
Elección
única

Un Pentium funcionando en modo protegido...

Usuari
o

Profesor
es

- ✓ •
- a) siempre tiene activa la unidad de segmentación
 - b) siempre tiene activa la unidad de paginación
 - c) siempre tiene activas la segmentación y la paginación
 - d) puede tener desactivadas la segmentación o la paginación

Puntuación: 1,00

5
Elección
única

¿Cuál de las siguientes afirmaciones acerca de una jerarquía de memoria es cierta?

Usuar
io

Profeso
res

- - a Para aumentar la eficiencia
) se transfieren bloques completos
 - b Todas las otras
) afirmaciones son falsas
 - c Toda la información que la
) CPU necesita está en el nivel 1
 - d Si una palabra no se
) encuentra en el tercer nivel entonces se busca en el segundo nivel

X

Puntuación: -0,33

6
Elección
única

Un computador emplea un sistema de memoria principal de 128 palabras y una memoria caché de 32 palabras. La organización de la memoria caché es totalmente asociativa y el tamaño de bloque es de 8 palabras. Se emplea el algoritmo de reemplazo FIFO. Si inicialmente la memoria caché está totalmente vacía, calcule el número de fallos cuando se lee la secuencia de direcciones de la memoria principal: 0000100, 1000001, 0000101, 0010011, 0100010, 1000100, 0000111.

Usuario

Profesores

- - a) 3 fallos
 - b) 4 fallos
 - c) 5 fallos
 - d) 6 fallos

✓

Puntuación: 1,00

7 [T6.5]
Elección única En un sistema con memoria de bytes y líneas de cache de 32 bytes, ¿dónde empieza el bloque de memoria que contiene la posición 0xAC72?

Usuario Profesores

- ✓ •
- a) 0xAC60
 - b) 0xAC6E
 - c) 0xAC70
 - d) 0xAC72

Puntuación: 1,00

8 Para direccionar una memoria de 16K x 16 necesitamos un bus de direcciones de:

Elección única Usuario Profesores

-
- a) 14 bits
 - b) 16 bits
 - c) 4 bits
 - d) Otro valor
- X

Puntuación: -0,33

9 El direccionamiento directo a memoria utiliza...

Elección única Usuario Profesores

- ✓ •
- a un) desplazamiento.
 - b un registro.
)
 - c un registro y un) desplazamiento contenidos en la propia instrucción.
 - d dos) desplazamientos contenidos en la propia instrucción.

Puntuación: 1,00

10
Elección
única

El tamaño del registro indicador de una memoria asociativa de n palabras de m bits es...

Usuario Profesor

X

- a) 1 bit
-)
- b) n/m
-) bits
- c) m bits
-)
-
- d) n bits
-)

Puntuación: -0,33

Cuando un operando se encuentra almacenado en un registro, se trata de un direccionamiento...

Usuario Profesor

X

- a) directo a registro
- b) a registro inmediato
- c) a registro literal
- d) ninguno de los anteriores

En las instrucciones aritméticas con dos operandos de un procesador con arquitectura de pila, los dos operandos...

Usuario Profesor

✓

- a) son la cima de la pila y el elemento siguiente de la cima de la pila.
- b) pueden estar en cualquier posición de la pila.
- c) se introducen en la pila tras realizar la operación.
- d) son dos registros del procesador.

Sobre la segmentación:

Usuar Profesor
io es

- ✓
- a) Existen limitaciones al rendimiento provocadas por las instrucciones de salto y por las dependencias de datos.
 - b) La frecuencia de reloj viene impuesta por la etapa más corta.
 - c) Un procesador superescalar no puede estar segmentado.
 - d) Es una técnica para comenzar simultáneamente la ejecución de varias instrucciones con el fin de reducir el tiempo de ejecución.

¿Cuál de las siguientes afirmaciones es falsa?

Usuar Profesor
io es

- ✓
- a) el bus de datos es bidireccional
 - b) la anchura del bus de datos es de 16 bits
 - c) el bus de direcciones es unidireccional
 - d) el bus de control transporta señales de estado

¿Cuál de las siguientes instrucciones de IA32 (en sintaxis Intel) no es una instrucción de transferencia?

Usuar Profesor
io es

- ✓
- a) lea eax, etiqueta
 - b) cmp eax, 15h
 - c) push eax
 - d) mov eax, 15h

¿Cuál es la característica tecnológica principal de la segunda generación de computadores?

Usuar Profesor
io es

- ✓
- a) Las válvulas
 - b) La gran integración de los circuitos (VLSI)
 - c) Los transistores
 - d) Los circuitos integrados

¿En qué generación, dentro de la historia de los computadores digitales, aparece la segmentación de cauce?

Usuar Profesor

io es

X

- a) primera
- b) segund
a
- c) tercera
- d) cuarta

1
Elección
única

El tamaño del registro indicador de una memoria asociativa de n palabras de m bits es...

Usuario

Profesores

✓

•

- a) n/m bits
- b) n bits
- c) m bits
- d) 1 bit

Puntuación: 1,00

2
Elección
única

[T6.2]
¿Cuántas líneas de dirección son necesarias en un memoria RAM dinámica de 256 K palabras? ¿Y en una estática?

Usuario

Profesores

✓

•

- a) 18/9
- b) 9/18
- c) 18/18
- d) 9/9

Puntuación: 1,00

3

Elección
única

¿Cuál de las siguientes afirmaciones es falsa?

Usuari
o

Profesore
s

✓

•

- a) el bus de datos es bidireccional
- b) el bus de control puede transportar señales de estado
- c) la anchura del bus de datos es siempre de 16 bytes
- d) el bus de direcciones es unidireccional

Puntuación: 1,00

4

Elección
única

Si queremos almacenar la palabra de 16 bits 0x8965 en memoria según "big-endian", quedará almacenada a partir de la posición 0x1000 como:

Usuari
o

Profesor
es

X

•

- a) en el byte 0x1000 se guarda 0x91 y en el 0x1001 0xA6
- b) en el byte 0x1000 se guarda 0x89 y en el 0x1001 0x65
- c) en el byte 0x1000 se guarda 0xA6 y en el 0x1001 0x91
- d) en el byte 0x1000 se guarda 0x65 y en el 0x1001 0x89

Puntuación: -0,33

5 Elección única El primer nivel de una jerarquía de memoria tiene una tasa de aciertos del 75% y las peticiones de memoria tardan 12 ns en completarse si dicha posición se encuentra en ese nivel y 100 ns si no es así. ¿Cuál es el tiempo medio de acceso de la jerarquía?

Usuario

Profesores

X

a) 25 ns

•

b) 34 ns

c) 88 ns

d) 112 ns

Puntuación: -0,33

6 Elección única Una memoria que está estructurada en palabras de 8 bits tiene una capacidad de 32 Kbits. ¿Cuántas líneas de dirección tiene dicha memoria?

Usuario

Profesores

✓

•

a) 12

b) 4

c) 32

d) 8

Puntuación: 1,00

7 Elección única ¿Qué política de colocación en caché necesita más comparadores, la correspondencia asociativa por conjuntos o la correspondencia por sectores?

Usuario

Profesores

✓

•

a) Depende de si es mayor el número de bloques por conjunto o el número de sectores

b) Depende de si es mayor el número de conjuntos o el número de sectores

c) Correspondencia por sectores

- d Correspondencia
-) asociativa por conjuntos

Puntuación: 1,00

8
Elección
única

En una caché con bloques de 32 bytes, ¿cuál es la dirección de memoria del primer byte del marco de bloque que contiene la dirección AC72 (en hexadecimal)?

Usuario Profesores

- a) AC60
- X b) AC6E
- c) AC70
- d) AC72

Puntuación: -0,33

9
Elección
única

[T6.5]
En las políticas anticipativas de extracción de cache, ¿cuál de ellas se caracteriza por preextraer el bloque i+1 si se referencia al bloque i y se produce falta de bloque?

Usu ario Profesores

- a Preextracción
-) indexada
- b Preextracción
-) siempre
- c Preextracción
-) marcada
- ✓ • d Preextracción
-) por falta

Puntuación: 1,00

10
Elección
única

Con 8 circuitos de memoria RAM de 1K x 8 se puede crear un memoria de:

Us
ua
rio

Prof
esor
es

a 1K x 64
)

b 8K x 8
)

c 2K x 32
)

✓ • d Todas las
) combinaciones
anteriores son
posibles

Puntuación: 1,00

1
Elección
única

[T6.3]

Un computador con 10 bits en el bus de direcciones puede direccionar como máximo:

Usuario

Profesores

a) 1000 palabras

b) 65536 palabras

✓ • c) 1024 palabras

d) 65535 palabras

Puntuación: 1,00

2
Elección
única

Con respecto a la memoria virtual, ¿cómo deben ser las páginas para evitar tener tablas de páginas de gran tamaño?

Usuario Profesores

- a) Medianas
- b) Pequeñas
- X c) Las tablas de páginas tiene un tamaño fijo e independiente del tamaño de las páginas
- d) Grandes

Puntuación: -0,33

3
Elección
única

Los valores de los registros Argumento y Máscara de una memoria asociativa son los siguientes:
Argumento: 010010
Máscara: 101011
Si en la primera posición de la memoria está almacenado el valor 0, y las siguientes celdas de memoria tienen el valor de la celda inmediatamente anterior incrementado en 1, siendo el valor de la última celda el 7, ¿cuál sería el valor del registro indicador o de marca?

Usuario Profesores

- a) 00100010
- b) 01001011
- c) 10101100
- X d) Ninguno de los anteriores

Puntuación: -0,33

4
Elección
única

Una caché de 64 palabras y correspondencia por sectores utiliza bloques de una palabra. Si las direcciones de memoria principal son de 24 bits y cada sector está constituido por 32 bloques, el campo etiqueta debe tener:

Usuario

Profesores

•

a) 19 bits

b) 18 bits

c) 20 bits

X

d) 21 bits

Puntuación: -0,33

5
Elección
única

El tamaño del registro de salida de una memoria asociativa de n palabras y m bits/palabra es:

Usuario

Profesores

a) n+m bits

b) n bits

•

c) m bits

X

d) n*m bits

Puntuación: -0,33

6
Elección
única

A medida que nos acercamos a la CPU en una memoria organizada en forma jerárquica, ¿qué suele ocurrir con respecto al tamaño de las unidades de transferencia entre niveles?

Usua
rio

Profes
ores

a Aumenta
)

✓

•

b Disminuye
)

c Permanece constante
)

d Todas las posibilidades
) anteriores suelen darse

Puntuación: 1,00

7

Elección
única

¿Cuál de las siguientes afirmaciones es falsa?

Usu
ario Profes
ores

a Las memorias DRAM
) presentan
generalmente una
capacidad de
almacenamiento
mucho mayor que las
SRAM

✓ •

b Las memorias DRAM
) son en general mucho
más rápidas que las
SRAM

c La operación de
) lectura de una celda
DRAM es destructiva

d Una celda DRAM sólo
) necesita un transistor y
un condensador

Puntuación: 1,00

8

Elección
única

[T6.1]

En una memoria organizada en forma jerárquica, ¿qué suele ocurrir con respecto al tamaño de las unidades de transferencia entre niveles, conforme se baja de nivel hacia el procesador?

Usu Profe
ario sores

a Aumenta
)

✓ •

b Disminuye
)

c Aumenta en algunos
) niveles y disminuye
en otros

d Todas las
) posibilidades
anteriores suelen
darse

Puntuación: 1,00

9

Elección
única

En el contexto de las DRAM, RAS significa:

Usuar
io

Profesor
es

- ☐ a Refresh After
Select (refresco
después de
selección de la
memoria)
- ☒ b Row Access
Strobe (impulso
de acceso a filas)
- ☐ c Random Access
Strobe (impulso
de acceso
aleatorio)
- ☐ d Random Access
Shot (disparo de
acceso aleatorio)

Puntuación: 1,00

10

Elección
única

La caché es gestionada por:

Usuario

Profesores

- ☐ a el
programador
- ☐ b el sistema
operativo
- ☒ c algoritmos
hardware
- ☐ d ninguna es
cierta

Puntuación: -0,33

1 Elección única El tamaño del registro indicador de una memoria asociativa de n palabras x m bits/palabra es:

Usuario

Profesores

•

a) n bits

b) un bit

c) m bits

X

d) n/m bits

Puntuación: -0,33

2 Elección única [T6.5]
¿Qué política de colocación en cache necesita más comparadores, la correspondencia asociativa por conjuntos o la correspondencia por sectores?

Usuario

Profesores

•

a) Depende de si es mayor el número de bloques por conjunto o el número de sectores

b) Correspondencia asociativa por conjuntos

X

c) Depende de si es mayor el número de conjuntos o el número de sectores

d) Correspondencia por sectores

Puntuación: -0,33

3 Elección única ¿Cuál de las siguientes secuencias de tipos de memoria está ordenada de menores a mayores prestaciones?

Usuario

Profesores

✓

•

a) FPM, EDO, RDRAM

b) EDO, SRAM, FPM

c) SDRAM, DDR, EDO

d) DDR, SDRAM, FPM

Puntuación: 1,00

4
Elección
única

¿A qué tipo de localidad de memoria hace referencia la siguiente afirmación: "si se referencia un elemento, los elementos cercanos a él serán referenciados pronto"?

Usuario Profesor
o es

X

a Ninguna de las otras
) respuestas es correcta

b Localidad temporal
)

c Localidad secuencial
)

• d Localidad espacial
)

Puntuación: -0,33

5
Elección
única

¿Cuál de las siguientes afirmaciones acerca de las memorias RAM estáticas es falsa?

Usuario Profesores
io es

✓

•

a El número de transistores
) necesario para implementar cada celda es menor que en las memorias RAM dinámicas

b Los datos almacenados se
) mantienen por un tiempo indefinido

c Las operaciones de lectura
) no son destructivas

d Son más veloces que las
) memorias RAM dinámicas

Puntuación: 1,00

6
Elección
única

En una caché con 64 bytes de longitud de línea, ¿cuál es la dirección de memoria de la primera palabra de la línea de caché que contenga la posición de memoria 0xBEE3DE72?

Usuario Profesores

- ✓ •
- a) 0xBEE3DE6E
 - b) 0xBEE3DE70
 - c) 0xBEE3DE40
 - d) 0x0EE3DE72

Puntuación: 1,00

7
Elección
única

En una caché con 64 bytes de longitud de línea, ¿qué bits de una dirección de memoria se utilizan para determinar a qué byte dentro de la línea se refiere dicha dirección?

Usu Profes
ario ores

- ✓ •
- a) Los 6 bits menos significativos
 - b) Los 6 bits más significativos
 - c) Los 4 bits menos significativos
 - d) Los 4 bits más significativos

Puntuación: 1,00

8
Elección
única

¿Cuántas líneas de dirección son necesarias en una memoria RAM de 64 K palabras dinámicas? ¿Y estática?

Usuario Profesores

- ✓ •
- a) 8 / 8
 - b) 16 / 8
 - c) 16 / 16
 - d) 8 / 16

Puntuación: 1,00

9

Elección
única

[T6.1]

La memoria cache en un sistema computador es:

Us
uar
io Prof
esor
es

a Más rápida que la
) memoria principal

b De menor
) capacidad que la
memoria principal

✓ • c a) y b) son
) correctas

d Ninguna de las
) anteriores es
correcta

Puntuación: 1,00

10

Elección
única

Para direccionar una memoria de 16K x 16 necesitamos un bus de direcciones de:

Usua
rio Profeso
res

✓ • a 14 bits
)

b 16 bits
)

c 4 bits
)

d Otro
) valor

Puntuación: 1,00

10

Elección única

[T6.2]

Una memoria SRAM tiene una capacidad de 64 Kbits y utiliza 12 líneas para direccionamiento. Indique cuál es el tamaño de palabra de dicha memoria:

Usuario Profesores

✓ • a) 16 bits

- b) 32 bits
- c) 8 bits
- d) 64 bits

Puntuación: 1,00

7
Elección
única

Sobre un sistema que utiliza un esquema de memoria virtual con segmentación paginada podemos decir que:

Usuario Profesores

X

- a) Es un sistema de correspondencia entre direcciones virtuales y direcciones en memoria caché
- b) Entre disco y memoria principal se transfieren segmentos completos
- c) Las respuestas a y b son ciertas
- d) Las respuestas a y b son falsas

•

Puntuación: -0,33

8
Elección
única

A medida que aumenta el tamaño de página en un sistema de memoria virtual, ¿qué ocurre con el tamaño de las tablas de páginas?

Usuario Profesores

✓

•

- a) Aumenta
- b) Disminuye
- c) Permanece constante
- d) Ninguna de las anteriores

Puntuación: 1,00

¿En cuál de los siguientes casos es más adecuado utilizar DRAM que SRAM?

Usuar Profesor

io es

- a) Un sistema de memoria en el que el precio es el factor más importante.
- X b) Una memoria caché.
- c) Un diseño en el que es importante que los datos se puedan almacenar durante una gran cantidad de tiempo sin que se realice ninguna acción por parte del procesador.
- d) Un sistema de memoria en el que las prestaciones son el objetivo más importante

En una jerarquía de memoria, a medida que nos alejamos de la CPU:

Usuar Profesor

io es

- ✓ • a) el tiempo de transferencia disminuye
- b) el tamaño de la unidad de transferencia entre dos niveles aumenta
- c) el tamaño de la memoria disminuye
- d) el coste por byte aumenta

¿En qué tipo de traducción de memoria virtual se utilizan los campos base y límite?

Usuar Profesor

io es

- a) Segmentación
- X b) Paginación
- c) Tanto en a) como en b)
- d) Ni en a) ni en b)

3

Elección única

[T6.1]

El ancho de banda de memoria es:

Usuario Profesores

X

- a) el número de bits que se pueden transferir entre ésta y la CPU en paralelo en una sola operación de lectura o escritura
- b) el tiempo que se tarda en transferir una palabra entre memoria y CPU
- c) el intervalo de frecuencias de reloj permitidas entre memoria y CPU
- d) ninguna de las anteriores es cierta

Puntuación: -0,33

¿En qué tipo de ciclo de refresco RAS# permanece a 1?

Usuar Profesor

io es

X

- a) Sólo RAS#
- b) CAS# antes de RAS#
- c) Refresco transparente
- d) En ninguno de los anteriores

¿Cuántas líneas de dirección son necesarias en un memoria RAM de 256 K palabras dinámica? ¿Y estática?

Usuario Profesores

X

- a) 18/9
- b) 18/18
- c) 9/9
- d) 9/18

¿Cuál de las siguientes afirmaciones acerca de las memorias RAM dinámicas es cierta?

Usuario Profesores

- X
- a) Las operaciones de lectura no son destructivas
 - b) Las operaciones de escritura sirven como operaciones de refresco
 - c) Las celdas de almacenamiento son complejas
 - d) Los datos permanecen en cada celda indefinidamente

El objetivo de un diseño CISC es...

Usuar Profesor
io es

- X
- a) disminuir el tamaño medio de instrucción.
 - b) disminuir el número medio de ciclos por instrucción.
 - c) disminuir la frecuencia de reloj.
 - d) disminuir el número de instrucciones a ejecutar por un programa.

¿En qué tipo de memoria virtual es un problema la fragmentación externa?

Usuario Profesores

- X
- a) Memoria paginada
 - b) Memoria segmentada
 - c) Memoria con segmentación paginada
 - d) En ninguno de ellos

La memoria virtual del computador es:

Usuario Profesores

- a) Más rápida que la memoria principal.
- b) De menor capacidad que la memoria principal.
- c) a) y b) son correctas.
- ✓ • d) Ninguna de las anteriores es correcta.

¿En qué pareja de registros están el dato/instrucción que se leerá o escribirá en memoria, y la dirección de memoria?

Usuar Profesor
io es

- ✓ • a) MBR y PC
- b) MBR y MAR
- c) MAR y ACUMULADOR
- d) IR y ACUMULADOR

El ancho de palabra de una memoria corresponde a:

Usuar Profesor
io es

- a) El número que identifica unívocamente cada posición de la memoria.
- b) El número de posiciones que la componen.
- ✗ • c) La longitud del registro de direcciones de la memoria.
- d) La longitud del registro de datos de la memoria.

Un programa crea en memoria una larga secuencia de números de forma consecutiva. ¿Qué tipo de estrategia de mantenimiento de coherencia es más eficiente para ejecutar este programa en un sistema con jerarquía de memoria?

Usuar Profesor
io es

- ✓ • a) Escritura directa ("write-through")
- b) Post-escritura ("write-back")
- c) Tanto a) como b) son igual de eficientes
- d) No puede saberse qué técnica es mejor

Una sentencia en C del tipo “while (test) body;” puede transformarse en código “goto” como:

Usuar Profesor

io es

X

- a) if (test) goto true; goto done; true: body; done:
- b) if (!test) goto done; loop: body; if (test) goto loop; done:
- c) loop: body; if (test) goto loop;
- d) loop: if (test) goto done; body; goto loop; done:

Si un byte puede agrupar píxeles consecutivos, un modo de vídeo de 512 x 256 píxeles y 16 colores por píxel ocupa una memoria de:

Usuario Profesores

✓

•

- a) 64 KB
- b) 8 KB
- c) 128 KB
- d) 2 MB

¿Cuál de los siguientes microprocesadores no es de 64 bits?

Usuari Profesor

o es

X

- a) Pentium III
- b) Core i7
- c) Core 2
- d) Itanium

Si usamos una estructura de bus con DMA:

Usuar Profesor

io es

X

- a) podemos prescindir de controladores de E/S ya que el controlador de DMA se ocupa de controlar las transferencias hacia/desde los periféricos.
- b) la CPU puede dejar las transferencias entre MP y periféricos en manos de este controlador (DMA) y seguir ejecutando otras instrucciones.
- c) la velocidad de este controlador establece la velocidad del bus

del sistema.

- d) al bus del sistema sólo se conecta la CPU y la MP, ya que el DMA se conecta directamente a MP para realizar las transferencias de datos.

En IA32, el registro contador de programa se denomina:

Usuar Profesor
io es

- a) EIP
b) PC
X c) RIP
d) PC
R

La memoria virtual del computador es:

Usuar Profesor
io es

- a) Más rápida que la memoria principal.
b) De menor capacidad que la memoria principal.
c) a) y b) son correctas.
✓ • d) Ninguna de las anteriores es correcta.

La memoria caché del computador es:

Usuario Profesores

- a) Más rápida que la memoria principal
b) De menor capacidad que la memoria principal
✓ • c) a) y b) son correctas
d) Ninguna de las anteriores es correcta

¿Qué política de memoria virtual para colocar nuevos segmentos en los huecos libres de la memoria principal evita el que se generen huecos pequeños?

Usuario Profesores

- X
- - a) Mejor ajuste
 - b) Peor ajuste
 - c) Primer ajuste
 - d) Ninguna de las anteriores

En el Pentium, el TLB permite buscar rápidamente...

Usuario Profesores

- X
- - a) El descriptor de un segmento a partir de un selector
 - b) La dirección lineal a partir de la dirección virtual
 - c) El contenido de un registro caché a partir de un selector
 - d) La dirección física a partir de la dirección lineal

4 [T6.5]
Elección ¿En qué se diferencian las estrategias de mantenimiento de coherencia en
única memoria "escritura directa" y "post-escritura"?

Usuario Profesores

- - a) En cuándo tiene lugar la actualización
 - b) En cómo tiene lugar la actualización
 - c) Tanto en a) como en b)
 - d) Ni en a) ni en b)
- X

Puntuación: -0,33

5 [T6.5]
Elección única En un sistema con memoria de bytes y líneas de cache de 64 bytes, ¿qué bits de una dirección de memoria se utilizan para determinar a qué byte dentro de la línea se refiere dicha dirección?

Usuario Profesores

- ✓ •
- a) Los 6 bits menos significativos
 - b) Los 6 bits más significativos
 - c) Los 4 bits menos significativos
 - d) Los 4 bits más significativos

Puntuación: 1,00

¿Cuántas líneas de dirección son necesarias en un memoria RAM dinámica de 64 K palabras? ¿Y en una estática?

Usuario Profesores

- X •
- a) 8 / 8
 - b) 8 / 16
 - c) 16 / 8
 - d) 16 / 16

Una memoria SRAM tiene una capacidad de 64 Kbits y precisa 12 líneas de dirección para su manejo. Indique cuál es el tamaño de palabra de dicha memoria:

Usuario Profesores

- X •
- a) 8 bits
 - b) 16 bits
 - c) 32 bits
 - d) 64 bits

¿Cuál de las siguientes afirmaciones es falsa?

Usuario Profesores

- X
- a) La lectura de un bit de la matriz de almacenamiento de una memoria DRAM proporciona una señal mucho más débil que la suministrada por los inversores de una celda de memoria SRAM.
 - b) Una celda DRAM sólo necesita un transistor y un condensador.
 - c) Las memorias DRAM presentan generalmente una capacidad de almacenamiento mucho mayor que las SRAM.
 - d) Las memorias DRAM son en general mucho más rápidas que las SRAM

¿Cuál es el tamaño de la marca de cache en un microprocesador con 32 KB de memoria cache asociativa por conjuntos con 16 palabras de 32 bits por bloque y 8 bloques por conjunto, si el microprocesador es capaz de direccionar 1 MB de memoria principal (memoria de bytes)?

Usuario Profesores

- X
- a) 10 bits
 - b) 6 bits
 - c) 8 bits
 - d) 7 bits

¿En qué se diferencian las estrategias de mantenimiento de coherencia en memoria escritura directa y post-escritura?

Usuar Profesor
io es

-
- X
- a) En cuándo tiene lugar la actualización
 - b) En cómo tiene lugar la actualización
 - c) Tanto en a) como en b)
 - d) Ni en a) ni en b)

¿Cuál de los siguientes grupos de señales son entradas a la unidad de control?

Usuar Profesor

io es

X

- a) Las señales de carga/incremento/desplazamiento de registros
- b) Las señales de selección de entradas de multiplexores del datapath
- c) Los bits del registro de indicadores (flags)
- d) Los bits de las opciones b y c

Son funciones de la unidad de control:

Usuar Profesor

io es

X

- a) la codificación de las instrucciones máquina
- b) la lectura de memoria principal de la instrucción apuntada por el μ PC
- c) el secuenciamiento de las instrucciones máquina
- d) todas las respuestas son ciertas

Un sistema no segmentado tarda 10 ns en procesar una instrucción. Las instrucciones pueden ser procesadas en un cauce (pipeline) de 5 segmentos con un ciclo de reloj de 4 ns. Cuando se procesan muchas instrucciones, la ganancia máxima de velocidad que se obtiene se acerca a:

Usuar Profesor

io es

X

- a) 2,5
- b) 5
- c) 50
- d) 4

Una memoria que está organizada en palabras de 8 bits tiene una capacidad de 32 Kbits. ¿Cuántas líneas de dirección tiene dicha memoria?

Usuar Profesor

io es

✓

- a) 8
- b) 4
- c) 12
- d) 32

Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción, tiene una memoria de control con 35 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits en total para los campos de control y de tipo y condición de salto, el número máximo de palabras de la memoria de control de esta unidad de control microprogramada es de:

Usuar Profesor
io es

X

- a) 10
- b) 2^{10}
- c) 2^{20}
- d) 20

La microprogramación vertical se caracteriza por tener:

Usuar Profesor
io es

✓

- a) microinstrucciones largas
- b) capacidad para expresar un alto grado de paralelismo en las microoperaciones a ejecutar
- c) escaso o ningún solapamiento entre campos
- d) mucha codificación

¿De qué depende el tamaño del contador de programa?

Usuar Profesor
io es

✓

- a) de la longitud del código de operación
- b) del ancho del bus de datos
- c) el tamaño no importa
- d) ninguna de las anteriores es cierta

Si queremos almacenar la palabra de 16 bits 9660h en memoria según "little-endian", quedará almacenada a partir de la posición 1000h como:

Usuar Profesor
io es

X

- a) en el byte 1000h se guarda 60h y en el 1001h se guarda 96h
- b) en el byte 1000h se guarda 96h y en el 1001h se guarda 60h

- c) en el byte 1000h se guarda 69h y en el 1001h se guarda 06h
- d) en el byte 1000h se guarda 06h y en el 1001h se guarda 69h

El direccionamiento relativo a registro base utiliza...

Usuar Profesor

io es

X

- a) un registro.
- b) dos registros.
- c) dos desplazamientos contenidos en la propia instrucción.
- d) un registro y un desplazamiento.

Con 8 circuitos de memoria RAM de 1K x 8 se puede crear un memoria de:

Usuar Profesor

io es

X

- a) 1K x 64
- b) 8K x 8
- c) 2K x 32
- d) Todas las combinaciones anteriores son posibles

8. Si el registro EAX contiene X, la sentencia en C

x &= 0x1;

se traducirá a ensamblador como:

Usuar Profesor

io es

✓

- a) sarl %eax
- b) orl \$0x1, %eax
- c) andl \$1, %eax
- d) shrl %eax

Una unidad de control microprogramada con secuenciamiento explícito con dos direcciones por microinstrucción, tiene una memoria de control con 35 bits de longitud de palabra. Si las microinstrucciones emplean 15 bits en total para los campos de control y de tipo y condición de salto, el número máximo de palabras de la memoria de control de esta unidad de control microprogramada es de:

Usuario Profesores

- ✓ •
- a) 20
 - b) 2^{10}
 - c) 2^{20}
 - d) 10

El sufijo l de la instrucción movl significa:

Usuar Profesor
io es

- X •
- a) Que la instrucción usa ordenación de bytes little-endian en lugar de big-endian.
 - b) Que la instrucción afecta a la parte de 16 bits más a la izquierda de los operandos (left word).
 - c) Que la instrucción trabaja con operandos de 32 bits (long word).
 - d) Que la instrucción afecta a los 16 bits menos significativos de los operandos (low word).

En una arquitectura RISC típica:

Usuar Profesor
io es

- X •
- a) no puede usarse segmentación.
 - b) la programación resulta mucho más simple que en una arquitectura CISC.
 - c) se usa un porcentaje elevado de las instrucciones del repertorio.
 - d) la UC es más compleja que en una arquitectura CISC.

Son funciones de la unidad de control:

Usuar Profesor
io es

- a) la codificación de las instrucciones máquina
- b) la lectura de memoria principal de la instrucción apuntada por el μ PC

✓

- c) el secuenciamiento de las instrucciones máquina
- d) todas las respuestas son ciertas

Un computador tiene una memoria de control de 640 palabras de 70 bits, de las que 280 son diferentes. ¿Qué ahorro en número de bits obtendríamos si usáramos nanoprogramación en lugar de microprogramación?

Usuar Profesor

io es

- a) 19440
- b) 42280
- c) 9840
- d) ninguno de los anteriores resultados es exacto.

X

La idea de desarrollar máquinas CISC surgió para:

Usuar Profesor

io es

X

- a) simplificar el diseño hardware de la UC.
- b) tener instrucciones cercanas al lenguaje de alto nivel.
- c) conseguir un conjunto de instrucciones cortas y sencillas de decodificar.
- d) ninguna de las respuestas anteriores es cierta.

En el RISC-I, una ventana de registros contiene, entre otros registros,...

Usuar Profesor

io es

- a) registros para recibir parámetros del procedimiento llamador
- b) registros para almacenar matrices de enteros
- c) registros para enviar parámetros a otros procesos
- d) todas las respuestas son falsas

X

En 8086, los parámetros a las subrutinas se pueden pasar:

Usuar Profesor

io es

- a) a través de variables globales
- b) a través de los registros
- c) a través de la pila
- d) todas las anteriores son ciertas

X

En el direccionamiento indirecto a través de registro, la dirección efectiva...

Usuar Profesor

io es

X

- a) se encuentra en una dirección de memoria.
- b) se encuentra en un registro general del procesador.
- c) se calcula como la suma del contenido de dos registros.
- d) se encuentra en el registro de instrucción.

Una dirección de memoria se refiere siempre a:

Usuar Profesor

io es

✓

- a) una palabra
- b) 16 bits
- c) un byte
- d) ninguna de las anteriores

Aunque en general el entrelazado de memoria de orden inferior provoca menos conflictos en el acceso a memoria, ¿en cuál de los siguientes casos un entrelazado de orden superior provocaría menos conflictos?

$N = 2^n$ palabras, $M = 2^m$ módulos, módulo i , $0 \leq i \leq M$

Usuari Professore

a s

- a) Información distribuida en posiciones $i * 2^{(n-m)}$
- b) En cualquier caso
- c) En ningún caso
- d) Información distribuida en posiciones consecutivas

¿Cuál de las siguientes parejas de microprocesadores representa mejor los conceptos RISC?

Usuar Profesor

io es

✓

- a) Pentium, Athlon
- b) MIPS, SPARC
- c) Itanium, Alpha
- d) PA-RISC, PowerPC

Para direccionar una memoria de bytes en la que quepan 2G palabras de 32 bits se necesitarán:

Usuar Profesor
io es

X

- a) 31 bits como mínimo
- b) 32 bits exactamente
- c) 21 bits como máximo
- d) 33 bits como mínimo

¿Cuántas entradas suele tener un TLB?

Usuario Profesores

X

- a) Más que el número de páginas de la memoria virtual
- b) Una única entrada correspondiente a la última página accedida
- c) Tantas como número de páginas tenga la memoria física
- d) Muchas menos que el número de página de la memoria virtual

El microprocesador de la familia x86 usado en los primeros IBM PC originales fue el:

Usuar Profesor

io es

a) Pentiu
m

b) 80486

X

c) 8085

• d) 8088

1

Elección
única

[T1.2]

En la captación de la instrucción:

Usuario

Profesores

- a) en MAR indicamos la dirección donde está la instrucción y en MBR recogemos la instrucción.
- b) en MAR indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.
- c) en MBR indicamos la dirección donde está la instrucción y en MAR recogemos la instrucción.
- d) en MBR indicamos la dirección donde está la instrucción y en la ALU recogemos la instrucción.

Puntuación: 0,00

2
Elección
única

¿Cuál de las siguientes no es una característica de los computadores RISC?

Usuario Profesores

- a) Un computador RISC no debe emplear microprogramación.
- b) Las funciones que realizan los computadores RISC deben ser lo más complejas y potentes que sea posible.
- X c) La decodificación de las instrucciones debe ser simple: un computador RISC debería emplear un único formato de instrucción
- d) Para acelerar el computador RISC se emplean técnicas de pipelining.

Puntuación: -0,33

3
Elección
única

[T1.2]
¿Qué arquitectura se caracteriza por presentar una gran variación en la longitud de las instrucciones?

Usuari
o

Profesore
s

- X
- a) registro-registro
 - b) registro-memoria
 - c) memoria-memoria
 - d) ninguna de las anteriores es cierta

Puntuación: -0,33

4

Elección
única

[T1.3]

Un computador con 13 líneas de direcciones utiliza E/S mapeada a memoria. Si se supone que cada uno de los periféricos ocupa 4 direcciones y que el número de periféricos que se planea conectar es de 2^{10} , ¿qué tamaño de memoria admite el computador?

Usuario Profesores

X

•

- a) 2^{10} palabras
- b) 2^{12} palabras
- c) 2^{13} palabras
- d) Ninguna de las anteriores

Puntuación: -0,33

5

Elección
única

¿De qué depende el tamaño del contador de programa?

Usuar Profeso
io res

X

•

- a De la longitud del código de
) operación de las
instrucciones.
- b Del número de
) instrucciones diferentes y
de los tipos de
direccionamiento posibles.
- c Del número de direcciones
) de memoria.
- d Del ancho del bus de datos.
)

Puntuación: -0,33

6

Elección
única

Si queremos almacenar la palabra de 16 bits 0x8965 en memoria según "big-endian", quedará almacenada a partir de la posición 0x1000 como:

Usua rio Profes
ores

a en el byte 0x1000 se
) guarda 0x91 y en el
0x1001 0xA6

b en el byte 0x1000 se
) guarda 0xA6 y en el
0x1001 0x91

c en el byte 0x1000 se
) guarda 0x65 y en el
0x1001 0x89

✓

•

d en el byte 0x1000 se
) guarda 0x89 y en el
0x1001 0x65

Puntuación: 1,00

7

Elección
única

¿En qué registro está contenido el último dato (o instrucción) leído de memoria, o el dato que se va a escribir en memoria?

Usuario Profesores

a) Acumulador.

b) PC.

✓

•

c) MBR.

d) MAR.

Puntuación: 1,00

8

Elección
única

[T1]

En una arquitectura RISC típica:

Usu Profe
ario sores

- ✓ • a se usa un porcentaje
) elevado de las
 instrucciones del
 repertorio.
- b la UC es más
) compleja que en una
 arquitectura CISC.
- c no puede usarse
) segmentación.
- d la programación
) resulta mucho más
 simple que en una
 arquitectura CISC.

Puntuación: 1,00

9

Elección
única

[T1.2]

¿Cuál de las siguientes afirmaciones es incorrecta?

Us Prof
uar esor
io es

- a El modo de
) direccionamiento
 permite
 determinar un
 operando o la
 ubicación del
 operando.
- b El repertorio de
) instrucciones es el
 conjunto de
 operaciones que
 es capaz de
 interpretar la
 unidad de control.
- ✓ • c Los operandos
) siempre están
 almacenados en

memoria.

- d El repertorio de
) instrucciones
debe ser capaz de
realizar una tarea
en un tiempo
finito.

Puntuación: 1,00

10
Elección
única

¿En qué generación, dentro de la historia de los computadores digitales, aparecen las memorias de semiconductores?

Usu Profe
ario sores

- - a Cuarta
) generación.
 - X b Segunda
) generación.
 - c Quinta
) generación.
 - d Tercera
) generación.

Puntuación: -0,33

1	Elección única	El registro MDR/MBR...	Usuario	Profesores	
		✓	•	<ul style="list-style-type: none"> a) contiene el valor que va a ser almacenado en la memoria, o bien se usa para recibir un valor procedente de la memoria b) contiene el código de operación de la instrucción que se está ejecutando c) especifica la dirección en memoria de la palabra que va a ser escrita o leída d) contiene la dirección de la próxima instrucción que va a ser captada de memoria 	
		Puntuación: 1,00			
2	Elección única	El programador de lenguaje ensamblador necesita conocer:	Usuario	Profesores	
		✓	•	<ul style="list-style-type: none"> a) la arquitectura del ordenador. b) el diseño RTL del procesador. c) la microarquitectura del procesador. d) todas las respuestas son ciertas. 	
		Puntuación: 1,00			
3	Elección única	El espacio direccionable de memoria de un computador depende del diseño del:	Usuario	Profesores	
			o	s	
		X		<ul style="list-style-type: none"> a) Ninguna de las otras es correcta b) Bus de datos c) a) y b) son correctas 	

- d) Bus de direcciones

Puntuación: -0,33

4
Elección
única

En una arquitectura RISC típica:

Usuari
o Profesor
es

- a la programación resulta
) mucho más simple que en una arquitectura CISC.
- b la UC es más compleja que en
) una arquitectura CISC.
- c no puede usarse
) segmentación.
- ✓ • d se usan muchas instrucciones
) de las disponibles en el conjunto de instrucciones.

Puntuación: 1,00

5
Elección
única

[T1.2]

En el direccionamiento inmediato, tras captarse completamente la instrucción:

Usuar
io Profesores

- a se accede al operando, que
) se encuentra almacenado en uno de los registros programables.
- b se accede al operando, que
) está contenido en una posición de memoria principal.
- c el código de operación
) contiene el operando.
- ✓ • d se accede al operando, que
) es una constante contenida en la propia instrucción.

Puntuación: 1,00

6 Elección única [T1.4]
Si un computador X ejecuta un programa de 450 millones de instrucciones en 26 segundos y un computador Y tarda 14 segundos en ejecutar ese mismo programa, ¿cuántas veces es más rápido el computador Y que el X?

Usuario

Profesores

- a) 1,857
- b) 1,538
- c) 0,538
- d) 12

Puntuación: 0,00

7 Elección única [T1.5]
La primera generación de computadores se caracteriza por el uso de:

Usuario

Profesores

- ✓ • a) Tubos de vacío.
)
- b) Transistores.
)
- c) Fibra óptica.
)
- d) Microprocesador
) es.

Puntuación: 1,00

8 Elección única [T1.3]
El espacio direccionable de memoria de un computador depende del diseño del:

Usuario

Profesores

- a) Bus de direcciones
)
- b) Bus de datos
)
- X c) a) y b) son correctas
)

- d Ninguna de las
) anteriores es
correcta

Puntuación: -0,33

9
Elección
única

[T1.3]

En un sistema con dos buses separados, uno para el subsistema de memoria y otro para la E/S...

Us Prof
uar esor
io es

- a el bus que une la
) memoria y el
procesador suele
funcionar a la
velocidad de la
memoria

X

- b el bus de E/S
) funciona a la
velocidad del
periférico más
rápido
- c ambos buses
) tienen que tener el
mismo ancho de
banda
- d Ninguna de las
) respuesta
anteriores es
cierta

Puntuación: -0,33

10

Elección
única

[T1.2]

En la captación de la instrucción:

Us Prof
ua esor
rio es

- ✓ • a en MAR
) indicamos la
 dirección donde
 está la
 instrucción y en
 MBR
 recogemos la
 instrucción.
- b en MBR
) indicamos la
 dirección donde
 está la
 instrucción y en
 la ALU
 recogemos la
 instrucción.
- c en MBR
) indicamos la
 dirección donde
 está la
 instrucción y en
 MAR
 recogemos la
 instrucción.
- d en MAR
) indicamos la
 dirección donde
 está la
 instrucción y en
 la ALU
 recogemos la
 instrucción.

Puntuación: 1,00

1
Elección
única

¿Qué modelo de programa se ejecuta en las arquitecturas Von Neumann?

Usuario Profesores

- a) Externo.
- b) Cableado.
- c) Microprogramado.
- d) Almacenado.

X

•

Puntuación: -0,33

2
Elección
única

[T1.3]
En una estructura de computador de bus único (bus del sistema):

Usuario Profesores

- a) la UC concede el acceso al bus, por lo que éste funciona a la velocidad de la CPU
- b) sólo una unidad funcional puede tener el control del bus en cada momento
- c) es necesario el arbitraje entre los maestros potenciales, no es suficiente la técnica de robo de ciclo ni otras similares.
- d) es la estructura más usada en los PC actuales

✓

•

Puntuación: 1,00

3 [T1.1]
Elección Un computador que utilice el sistema big-endian, almacena el número
única 0x2143 a partir de la dirección 0 como:

Usuario Profesores

- ✓ •
- a) M[0]=0x12 y M[1]=0x34
 - b) M[0]=0x43 y M[1]=0x21
 - c) M[0]=0x21 y M[1]=0x43
 - d) M[0]=0x34 y M[1]=0x12

Puntuación: 1,00

4 En la captación de la instrucción:

Elección Usuario Profesor
única o es

- ✓ •
- a en MBR indicamos la
) dirección donde está la
instrucción y en MAR
recogemos la instrucción.
 - b en MBR indicamos la
) dirección donde está la
instrucción y en la ALU
recogemos la instrucción.
 - c en MAR indicamos la
) dirección donde está la
instrucción y en la ALU
recogemos la instrucción.
 - d en MAR indicamos la
) dirección donde está la
instrucción y en MBR
recogemos la instrucción.

Puntuación: 1,00

5
Elección
única

[T1.4]
¿Cuál de las siguientes no es una característica de los computadores RISC?

Usuar
io

Profeso
res

- - a Las funciones que realizan los computadores RISC deben ser lo más complejas y potentes que sea posible.
 - b Un computador RISC no debe emplear microprogramación.
 - c Para acelerar el computador RISC se emplean técnicas de pipelining.
 - d La decodificación de las instrucciones debe ser simple: un computador RISC debería emplear un único formato de instrucción

X

Puntuación: -0,33

6
Elección
única

[T1.3]
Un computador con 8 bits en el bus de direcciones puede direccionar como máximo:

Usuario

Profesores

X

- - a) 1024 palabras
 - b) 8192 palabras
 - c) 16384 palabras
 - d) 256 palabras

Puntuación: -0,33

7	[T1.1]		
Elección única	El programador de lenguaje ensamblador necesita conocer:	Usu ario	Profes ores
	a la microarquitectura) del procesador.		
✓	• b la arquitectura del) ordenador.		
	c el diseño RTL del) procesador.		
	d todas las anteriores) son ciertas.		
	Puntuación: 1,00		
8	[T1.2]		
Elección única	Para direccionar una memoria de bytes en la que quepan 1G palabras de 32 bits se necesitarán:	Usuario	Profesores
	a) 21 bits		
X	b) 33 bits		
	c) 31 bits		
	• d) 32 bits		
	Puntuación: -0,33		
9	La primera generación de computadores se caracteriza por el uso de:		
Elección única		Usu ario	Profes ores
	a Transistores.)		
✓	• b Tubos de) vacío.		
	c Microprocesa) dores.		
	d Fibra óptica.)		

Puntuación: 1,00

10
Elección
única

[T1.4]

Una máquina superescalar es aquella que:

Usa Prof
un procesor
rio es

a basa su
) funcionamiento
en la
segmentación
software como
forma de
incrementar el
paralelismo.

b las
) instrucciones
tienen un
campo por cada
unidad funcional
al realizarse
varias
operaciones por
instrucción.

✓ • c emite
) simultáneamente
e múltiples
instrucciones
por ciclo de
reloj, por
ejemplo, una
entera y otra de
coma flotante.

d ninguna
) respuesta de
las anteriores
es correcta.

Puntuación: 1,0

1
Elección
única

[T1.1]

La idea de desarrollar máquinas CISC surgió para:

Usuario Profesores

- ✓ •
- a) simplificar el diseño hardware de la UC.
 - b) tener instrucciones cercanas al lenguaje de alto nivel.
 - c) conseguir un conjunto de instrucciones cortas y sencillas de decodificar.
 - d) ninguna de las respuestas anteriores es cierta.

Puntuación: 1,00

2
Elección
única

[T1.4]

El objetivo de un diseño CISC es...

Usuario Profesores

- ✓ •
- a) disminuir la frecuencia de reloj.
 - b) disminuir el tamaño medio de instrucción.
 - c) disminuir el número de instrucciones a ejecutar por un programa.
 - d) disminuir el número medio de ciclos por instrucción.

Puntuación: 1,00

3

Elección
única

[T1.3]

En un sistema con dos buses separados, uno para el subsistema de memoria y otro para la E/S...

Usuario

Profesores

- - a) el bus que une la memoria y el procesador suele funcionar a la velocidad de la memoria
 - b) el bus de E/S funciona a la velocidad del periférico más rápido
 - c) ambos buses tienen que tener el mismo ancho de banda
 - d) Ninguna de las respuesta anteriores es cierta

X

Puntuación: -0,33

4

Elección
única

[T1.4]

Una máquina superescalar es aquella que:

Usuario

Profesores

- a) basa su funcionamiento en la segmentación software como forma de incrementar el paralelismo.
- b) las instrucciones tienen un campo por cada unidad funcional al realizarse varias operaciones por instrucción.
- c) emite simultáneamente múltiples instrucciones por ciclo de reloj, por ejemplo, una entera y otra de coma flotante.
- d) ninguna respuesta de las anteriores es correcta.

✓

•

Puntuación: 1,00

5

Elección
única

[T1.2]

¿Qué tipo de direccionamiento se usa para el registro destino en la instrucción IA32 `add array(,%ebx,4), %edx`?

Usuar Profeso
io res

- ☐ a Direccionamiento inmediato
)
- ☐ b Direccionamiento relativo a
) registro base
- ☒ X c Direccionamiento indexado
)
- ☐ • d Direccionamiento a registro
)

Puntuación: -0,33

6

Elección
única

¿De qué depende el tamaño del contador de programa?

Usua Profes
rio ores

- ☐ a el tamaño no importa
)
- ☐ • b ninguna de las otras
) respuestas es cierta
- ☒ X c de la longitud del código
) de operación
- ☐ d del ancho del bus de
) datos

Puntuación: -0,33

7
Elección
única

[T1.1]
En el contexto del lenguaje máquina, el acrónimo ISA suele referirse a:

Usu ario Profes ores

- ✓ •
- a Intel Standard
) Architecture
 - b Instruction Set
) Architecture
 - c Information Security
) Architecture
 - d Industry Standard
) Architecture

Puntuación: 1,00

8
Elección
única

[T1.2]
¿De qué depende el tamaño del contador de programa?

Usu ario Profe sores

- X
- a de la longitud del
) código de operación
 - b del ancho del bus
) de datos
 - c el tamaño no
) importa
 - d ninguna de las
) anteriores es cierta

Puntuación: -0,33

9
Elección
única

La primera generación de computadores se caracteriza por el uso de:

Usu ario Profes ores

- ✓ •
- a Tubos de
) vacío.
 - b Transistores.
)
 - c Fibra óptica.

-)
- d Microprocesa
) dores.

Puntuación: 1,00

10
Elección
única

[T1.5]
¿En qué generación, dentro de la historia de los computadores digitales, aparece la memoria cache?

Usuar Profesor
io es

- a primer
) a
- b segun
) da
- c tercer
) a
- d cuarta
)

✓ •

Puntuación: 1,00

¿Cuál de las siguientes afirmaciones es incorrecta?

Usuario Profesores

- a) En las arquitecturas CISC hay más instrucciones que en las RISC.
- b) Las arquitecturas RISC simplifican la decodificación.
- c) Las arquitecturas RISC son del tipo registro-registro.
- d) El tamaño de una instrucción en lenguaje máquina siempre ocupa dos bytes en los procesadores RISC.

✓ •

Si un procesador no segmentado necesita 5 ns para leer una instrucción de memoria, 2 ns para decodificar la instrucción, 3 ns para leer del banco de registros, 3 ns para realizar el cálculo requerido por la instrucción, y 2 ns para escribir el resultado en el banco de registros, ¿cuál es la frecuencia de reloj máxima del procesador?

Usuario Profesores

- a) 500 MHz
- b) 200 MHz
- c) 40 MHz
- d) 66,67 MHz

Una computadora puede funcionar prescindiendo de:

Usuario Profesores

- ✓ • a) de un acumulador
- b) del PC
- c) del IR
- d) de los biestables de condición

¿Qué parámetro es más importante para comparar la velocidad de dos ordenadores diferentes?

Usuario Profesores

- ✓ • a) El resultado de la ejecución de un conjunto de programas de prueba.
- b) El número medio de ciclos de reloj por instrucción.
- c) La frecuencia de reloj del procesador.
- d) La arquitectura del procesador.

¿Cuál de las siguientes características es posterior a la segunda generación de computadores?

Usuario Profesores

- a) Memoria de núcleos de ferrita.

- | | | |
|---|---|--------------------------|
| | | b) Lenguaje ensamblador. |
| | • | c) RISC. |
| X | | d) Transistor. |

Un modo de direccionamiento en el que se especifica un registro y una dirección de memoria cuyo contenido se suma al contenido del registro base para obtener la dirección efectiva, se conoce como:

Usuario Profesores

- | | | |
|---|---|---|
| | | a) base con desplazamiento |
| | | b) directo o absoluto |
| X | | c) indirecto a registro través de memoria |
| | • | d) ninguno de los anteriores |

¿Cuál de las siguientes afirmaciones acerca de las memorias RAM estáticas es falsa?

Usuario Profesores

- | | | |
|---|---|---|
| | | a) Las operaciones de lectura no son destructivas |
| X | | b) Los datos almacenados se mantienen por un tiempo indefinido |
| | | c) Son más veloces que las memorias RAM dinámicas |
| | • | d) El número de transistores necesario para implementar cada celda es menor que en las memorias RAM dinámicas |

¿En qué tipo de ciclo de refresco RAS# permanece a 1?

Usuario Profesores

- | | | |
|--|---|---------------------------------|
| | | a) Sólo RAS# |
| | | b) CAS# antes de RAS# |
| | | c) Refresco transparente |
| | • | d) En ninguno de los anteriores |

En una cache asociativa por conjuntos, la vía i está constituida por:

Usuario Profesores

- - a) todos los bloques i-ésimos de cada conjunto
 - b) todos los bloques del conjunto i
 - c) todos los conjuntos del bloque i
 - d) ninguna de las anteriores es cierta

La "postescritura (write-back) marcada"

Usuario Profesores

- - a) es más eficiente que la "postescritura siempre"
 - b) requiere más bits de modificación ("bits sucios") cuando aumenta el número de vías
 - c) requiere menos hardware que la "postescritura siempre"
 - d) provoca una menor tasa de faltas que la "postescritura siempre"

En un sistema con memoria de bytes y líneas de caché de 64 bytes, ¿qué bits de una dirección de memoria se utilizan para determinar a qué byte dentro de la línea se refiere dicha dirección?

Usuario Profesores

- - a) Los 6 bits menos significativos
 - b) Los 6 bits más significativos
 - c) Los 4 bits menos significativos
 - d) Los 4 bits más significativos

En una arquitectura de registros de propósito general (a nivel de lenguaje máquina):

Usuario Profesores

- X
- a) operar usando registros es más rápido.
 - b) la generación de código resulta más simple que en arquitecturas de pila o acumulador.

c) se evita el cuello de botella (por ejemplo, pila, o acumulador) que otras arquitecturas presentan al evaluar expresiones aritméticas complejas

• d) todas las respuestas anteriores son ciertas.

El ancho de palabra de una memoria corresponde a:

Usuario Profesores

a) La longitud del registro de direcciones de la memoria.

b) El número que identifica unívocamente cada posición de la memoria.

• c) La cantidad de bits que caben en una sola posición

X d) El número de posiciones que la componen.

¿Cuál es el contenido de la pila al terminar de ejecutarse la siguiente secuencia de instrucciones de una arquitectura de pila?:

push #4
push #7
push #8
add
push #10
sub
mul

Usuario Profesores

a) 4, 7, 48

✓ • b) 20

c) 4, 7, 8, 10

d) 4

¿En qué se diferencian las estrategias de mantenimiento de coherencia en memoria "escritura directa" y "post-escritura"?

Usuario Profesores

- - a) En cuándo tiene lugar la actualización
 - b) En cómo tiene lugar la actualización
 - c) Tanto en a) como en b)
 - d) Ni en a) ni en b)

En las últimas generaciones de computadores la mejora de prestaciones viene dada por:

Usuario Profesores

- - a) avances en la estructura y arquitectura del computador.
 - b) avances en las tecnologías de fabricación.
 - c) avances en tecnología y avances en la estructura y arquitectura del computador.
 - d) avances en los sistemas operativos y aplicaciones.
- ✓

Si queremos almacenar la palabra de 16 bits 0x9660 en una memoria de bytes según "little-endian", quedará almacenada a partir de la posición 0x1000 como:

Usuario Profesores

- - a) M[0x1000]=0x06 y M[0x1001]=0x69
 - b) M[0x1000]=0x60 y M[0x1001]=0x96
 - c) M[0x1000]=0x69 y M[0x1001]=0x06
 - d) M[0x1000]=0x96 y M[0x1001]
- ✓

¿Qué medida de prestaciones es la más fiable de todas las posibles?

Usuario Profesores

- - a) MFLOPS
 - b) MIPS
- X

- c) ninguna de las otras respuestas es correcta
- d) MIPS equivalentes

[T1.5]

¿Cuál es la característica tecnológica principal de la tercera generación de computadores?

Usuario Profesores

- X
- a) La gran integración de los circuitos (VLSI)
 - b) Las válvulas
 - c) Los transistores
 - d) Los circuitos integrados

¿Qué tipo de instrucciones se emplean más en una arquitectura de acumulador?

Usuario Profesores

- ✓
- a) de transferencia de datos entre registros
 - b) aritmético-lógicas
 - c) de transferencia de datos con memoria
 - d) de desplazamiento y rotación

¿En qué generación, dentro de la historia de los computadores digitales, aparecen los sistemas operativos multiusuario?

Usuario Profesores

- X
- a) primera
 - b) segunda
 - c) tercera
 - d) cuarta

¿Cuál de las siguientes afirmaciones acerca de la arquitectura Von Neumann es cierta?

Usuario Profesores

- | | | | |
|---|---|----|--|
| | | a) | Existe un consenso general en considerar justo el término "arquitectura von Neumann", ya que las ideas de esta arquitectura fueron completamente originales de John Von Neumann y no influenciadas por sus colaboradores o predecesores. |
| | | b) | La arquitectura Von Neumann es un diseño que sitúa el programa en un almacenamiento distinto al de los datos. |
| ✓ | • | c) | La separación entre almacenamiento y unidad de procesamiento es una de las ideas contempladas en la arquitectura Von Neumann. |
| | | d) | Para ejecutar un programa en una máquina Von Neumann, es necesario volver a cablear o incluso rediseñar la máquina. |

Respecto a los dispositivos activos y pasivos en un bus podemos decir que:

Usuario Profesores

- | | | | |
|---|---|----|--|
| | | a) | Los dispositivos pasivos sólo pueden convertirse en esclavos |
| | | b) | Sólo los dispositivos activos pueden convertirse en maestros |
| ✓ | • | c) | Las respuestas a y b son ciertas |
| | | d) | Las respuestas a y b son fals |

¿En qué generación, dentro de la historia de los computadores digitales, aparece la microprogramación?

Usuario Profesores

- | | |
|----|---------|
| a) | primera |
| b) | segunda |

- ✓ • c) tercera
- d) cuart

No en todas las instrucciones máquina hay una fase de

Usuario Profesores

- ✓ • a) captura de operandos
- b) captación
- c) decodificación
- d) ejecución

El registro MBR...

Usuario Profesores

- ✓ • a) contiene el valor que va a ser almacenado en la memoria, o bien se usa para recibir un valor procedente de la memoria
- b) contiene la dirección de la próxima instrucción que va a ser captada de memoria
- c) especifica la dirección en memoria de la palabra que va a ser escrita o leída
- d) contiene el código de operación de la instrucción que se está ejecu

¿Cuál es el contenido de una pila al terminar de ejecutarse la siguiente secuencia de operaciones push y pop?:

push #1
push #2
push #3
pop a
push #4
pop a
pop a

Usuario Profesores

- a) 1 y 2
- b) 1

- | | |
|---|----------------|
| | c) 1, 2, 3 y 4 |
| X | d) 10 |

Indique cuál de las siguientes afirmaciones sobre el ENIAC no es correcta:

Usuario	Profesores
---------	------------

- | | |
|---|--|
| X | a) La idea del programa almacenado surgió durante el desarrollo del ENIAC, pero no fue implementada en este computador. |
| • | b) Como los computadores actuales, era una máquina binaria, es decir, los números estaban representados en forma binaria y los cálculos aritméticos se realizaban también en el sistema binario. |
| | c) Contaba con más de 17000 tubos de vacío. |
| | d) Un inconveniente era que tenía que ser programado manualmente mediante conmutadores, y conectando y desconectando cables. |

En un sistema con un único bus...

Usuario	Profesores
---------	------------

- | | |
|---|--|
| X | a) sólo un dispositivo puede escribir en un instante dado en el bus |
| | b) se utilizan las mismas líneas de control para conectar todos los dispositivos |
| | c) el procesador y los periféricos pueden funcionar a diferentes velocidades si el funcionamiento del bus es asíncrono |
| • | d) Todas las respuestas anteriores son ciertas |

En el arbitraje de un bus...

Usuario Profesores

- ✓ •
- a) los dispositivos pasivos pueden requerir el uso del bus para iniciar una transferencia
 - b) si hay un único dispositivo pasivo, siempre funciona como esclavo
 - c) si hay varios dispositivos activos, siempre funcionan como maestros
 - d) todas las respuestas anteriores son ciertas

2

[T2.1.3]

Elección
única

Respecto a registros de propósito general (RPG), el 80386 tiene:

Us Prof
uar esor
io es

- a 16 registros
) de 64 bits
- b 16 registros
) de 16 bits
- c 8 registros de
) 32 bits
- d 8 registros de
) 8 bits

¿Qué tipo de instrucciones se emplean más en una arquitectura de acumulador?

Usuar Profesor
io es

- ✓ •
- a) de transferencia de datos entre registros
 - b) aritmético-lógicas
 - c) de desplazamiento y rotación
 - d) de transferencia de datos con memoria

[T2.2.2]

Si AX = 0xFA50 y ejecutamos AND \$0xFF, %AX

Usuar
io

Profesor
es

X

- a) El registro AL se pone a FF
- b) El registro AH se pone a FF
- c) El registro AH se pone a 0
- d) El registro AL se pone a 0

¿Cuál de las siguientes afirmaciones acerca de una jerarquía de memoria es cierta?

Usuar
io

Profesor
es

X

- a) Si una palabra no se encuentra en el tercer nivel entonces se busca en el segundo nivel
- b) Toda la información que la CPU necesita está en el nivel 1
- c) Todas las otras afirmaciones son falsas
- d) Para aumentar la eficiencia se transfieren bloques completos

[T1.3]

El espacio direccionable de memoria de un computador depende del diseño del:

Usuar
io

Profesor
es

✓

- a) Bus de direcciones
- b) Bus de datos
- c) a) y b) son correctas
- d) Ninguna de las anteriores es correcta

Si queremos almacenar la palabra de 16 bits 8965h en memoria según "big-endian", quedará almacenada a partir de la posición 1000h como:

Usuar
io

Profesor
es

✓

- a) en el byte 1000h se guarda 91h y en el 1001h A6h
- b) en el byte 1000h se guarda 89h y en el 1001h 65h
- c) en el byte 1000h se guarda A6h y en el 1001h 91h
- d) en el byte 1000h se guarda 65h y en el 1001h 89h

En el RISC-I, una ventana de registros contiene:

Usuar Profesor

io es

- a) registros para recibir parámetros del procedimiento llamador.
- ☒ b) registros para almacenar variables locales.
- c) registros para enviar parámetros a procedimientos.
- d) todas las respuestas son ciertas.

Las celdas de memoria estática...

Usuar Profesor

io es

- a) son más pequeñas y lentas que las celdas de memoria dinámica
- b) almacenan la información en un condensador
- ☒ • c) mantienen la información almacenada por tiempo indefinido mientras se mantenga la alimentación
- d) Ninguna de las respuestas anteriores es cierta

Un computador con 10 bits en el bus de direcciones puede direccionar como máximo:

Usuar Profesor

io es

- ☒ • a) 1024 palabras
- b) 65535 palabras
- c) 1000 palabras
- d) 65536 palabras

La instrucción setg %al:

Usuar Profesor

io es

- a) Complementa AL si el resultado de la comparación anterior es $A > B$.
- b) No cambia el contenido de AL
- ☒ • c) Pone AL a 1 en algunos casos.
- d) Pone siempre AL a 1.

¿En cuál de los siguientes casos es más adecuado utilizar DRAM que SRAM?

Usuario Profesor

X

- a) Una memoria caché
- b) Un sistema con la menor circuitería de control externa
- c) Un sistema de memoria en el que el precio es el factor más importante
- d) Un sistema de memoria en el que las prestaciones son el objetivo prioritario