

Nombre:	
DNI:	Grupo:

## Examen Test (3.0p)

Todas las preguntas son de elección simple sobre 4 alternativas.

Cada respuesta vale 3/30 si es correcta, 0 si está en blanco o claramente tachada, -1/30 si es errónea.

Anotar las respuestas (a, b, c o d) en la siguiente tabla.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

1. ¿Qué salida produce el siguiente código?

Asumir representación de datos de arquitectura IA32.

```
unsigned int x = 0xDEADBEEF;
unsigned short y = 0xFFFF;
signed int z = -1;
if (x > (signed short) y)
    printf("Hello");
if (x > z)
    printf("World");
```

- a. No imprime nada
- b. Imprime "Hello"
- c. Imprime "World"
- d. Imprime "HelloWorld"

2. ¿Cuál de las siguientes instrucciones convierte %eax = 5 \* %eax?

- 1) mov (%eax, %eax, 4), %eax
- 2) lea (%eax, %eax, 4), %eax

- a. Ninguna
- b. Sólo 1
- c. Sólo 2
- d. Ambas 1 y 2

3. La instrucción test es...

- a. Lo mismo que sub
- b. Lo mismo que sub, pero no guarda el resultado, sólo ajusta los flags

c. Lo mismo que and

d. Lo mismo que and, pero no guarda el resultado, sólo ajusta los flags

4. En el siguiente código, ¿qué reordenamiento de los bucles muestra mejor localidad?

```
// X, Y, Z ctes #define previo
int a[X][Y][Z]
int i, j, k, sum = 0;
for (i = 0; i < Y; i++)
    for (j = 0; j < Z; j++)
        for (k = 0; k < X; k++)
            sum += a[k][i][j];
```

- a. i externo, j central, k interno (el orden en que están ahora)
- b. j externo, k central, i interno
- c. k externo, i central, j interno
- d. El orden de los bucles no afecta a la localidad

5. ¿Cuál de las siguientes expresiones toma el valor 0x01 si x es múltiplo de 32 y 0x0 en caso contrario? Asumir que x es unsigned int.

- a. !(x & 0x1f)
- b. !(x & 0x3f)
- c. (x & 0x1f)
- d. (x | 0x3f)

6. En un sistema IA32 Linux, ¿cuál es el tamaño de un long?

- a. 2 bytes
- b. 4 bytes
- c. 6 bytes
- d. 8 bytes

7. Considerar la declaración C

```
int array[10] = {0, 1, 2, 3, 4,
                 5, 6, 7, 8, 9};
```

Suponer que el compilador tiene la dirección de array en el registro %ecx. ¿Cómo se movería el valor array[3] al registro %eax? Asumir que %ebx es 3.

- a. leal 12(%ecx),%eax
- b. leal (%ecx,%ebx,4),%eax
- c. movl (%ecx,%ebx,4),%eax
- d. movl 8(%ecx,%ebx,2),%eax

8. alguna de las siguientes afirmaciones sobre sistemas Linux x86-64 **no** es cierta

- a. %rax se usa para devolver los valores de retorno de funciones
- b. %eax y %ebx pueden usarse como en un sistema IA-32
- c. Todos los argumentos de función se pasan a través de la pila
- d. %rbp se puede usar como cualquier otro registro (no hay puntero base)

9. En un sistema x86-64, si %rsp tiene el valor 0x7fffffff0000 inmediatamente antes de ejecutar una instrucción retq, ¿cuál es su valor inmediatamente después?

- a. 0x7ffffffefff8
- b. 0x7fffffff0000
- c. 0x7fffffff0004
- d. 0x7fffffff0008

10. Indicar cuál es la dirección de la instrucción mov en el siguiente desensamblado, donde se ha borrado parte de la dirección

```
0804xxxx: 74 12          je 08048391
0804xxxx: b8 00 00 00 00  mov $0, %eax
```

- a. 08048391 + 12 = 08048403
- b. 08048391 - 12 = 08048379
- c. 0804837d
- d. 0804837f

11. En la técnica de salto retardado:

- a. El compilador puede reorganizar el código para rellenar los huecos de retardo con instrucciones útiles.
- b. El compilador no puede insertar operaciones NOP en los huecos de retardo.
- c. El salto se realiza varios ciclos antes de la instrucción de salto.
- d. Las instrucciones en los huecos de retardo se ejecutan unas veces y otras no.

12. Si el proceso de empaquetado de una tarta de 50 segundos de duración puede segmentarse en 5 etapas, cada una de 10 segundos, de modo que 5 operarios puedan trabajar cada uno en una etapa. ¿Cuál de las siguientes afirmaciones es falsa al aplicar la segmentación?

- a. La ganancia de velocidad (aceleración) con la segmentación es de 5.
- b. La preparación completa de cada tarta sigue requiriendo 50 s (igual que con una sola persona empaquetando las tartas).
- c. Cada 50 s saldrá una nueva tarta empaquetada, el mismo tiempo que cuando no había cadena de empaquetado.
- d. Una vez en funcionamiento la segmentación, se tardará 100 segundos en tener 10 tartas empaquetadas, mientras que con un solo operario se tardaría 500 segundos.

13. ¿Cuál de las siguientes funciones no corresponde a la unidad de control de un procesador?

- a. Decodificación de las instrucciones.
- b. Secuenciamiento de las instrucciones.
- c. Generación de las señales de control que provocan la ejecución de cada instrucción.
- d. Cálculo de operaciones de coma flotante.

14. Al método de interacción con los periféricos, en los que el procesador vigila periódicamente el estado de los dispositivos mediante una encuesta activa se le denomina:

- a. daisy-chain
  - b. interrupción
  - c. polling
  - d. DMA
- 

15. Se dispone de un procesador con una frecuencia de reloj de 1 GHz. Se le conecta un dispositivo que genera 100.000 interrupciones por segundo. La rutina de servicio de interrupción ejecuta 500 instrucciones. El número medio de ciclos por instrucción es 2. ¿Qué porcentaje del tiempo dedica el procesador al dispositivo?

- a. 1%
  - b. 10%
  - c. 50%
  - d. 90%
- 

16. Si el tiempo de acceso a la memoria caché es de 2 ns y el tiempo necesario para tratar un fallo de caché es de 80 ns, ¿cuál es la tasa de aciertos necesaria para que el tiempo medio de acceso al sistema de memoria sea de 10 ns?

- a. 0,75
  - b. 0,9
  - c. 0,95
  - d. 0,8
- 

17. El número -12 se almacenará en complemento a 2 en el registro %eax como:

- a. 0xFFFFFFFF0C
  - b. 0xFF0C
  - c. 0xFFFFFFFFF4
  - d. 0xFFF4
- 

18. Cuando se produce una interrupción hardware...

- a. Se salta al principio del programa actual.
- b. Se aborta la ejecución del programa actual generando un fallo de segmentación.

- c. Se salta a la dirección de memoria indicada en la instrucción actual.
  - d. Se guarda el estado y se ejecuta la rutina de interrupción asociada.
- 

19. Para realizar la microoperación  $MAR \leftarrow PC$ , habrá que activar:

- a. LdPC y EnMAR
  - b. EnPC y LdMAR
  - c. LdPC y LdMAR
  - d. EnPC y EnMAR
- 

20. Sea un computador de 32 bits que dispone de una memoria caché de 512 KB y líneas de 64 bytes. ¿Cuántas líneas tiene la caché?

- a. 64
  - b. 1024
  - c. 8192
  - d. 65536
- 

21. Sea un computador con 48 registros y 200 instrucciones máquina. ¿Cuántas direcciones de memoria permite el formato de la instrucción de 32 bits hipotética `beqz r1, r2, dir`?

- a.  $2^{12}$
  - b.  $2^{14}$
  - c.  $2^{16}$
  - d.  $2^{18}$
- 

22. ¿Cuál es el tamaño de la marca de caché para un bus de direcciones de 48 bits (256 TB de memoria principal) y 8MB de caché L3, con un tamaño de línea de 64 B y correspondencia asociativa por conjuntos con 16 vías?

- a. 6 bits
  - b. 13 bits
  - c. 29 bits
  - d. 48 bits
- 

23. Un circuito SRAM con una capacidad de 256 Kbits tiene las patillas de direcciones A14 a A0. ¿Con cuál de las siguientes expresiones indicaría las características de

capacidad en direcciones y datos del circuito?

- a. 256 K x 1
  - b. 64 K x 4
  - c. 32 K x 8
  - d. 8 K x 32
- 

24. En una caché con 64 bytes de longitud de línea, ¿qué bits de una dirección de memoria de 64 bits se utilizan para determinar a qué byte dentro de la línea se refiere dicha dirección? (Memoria direccionable por bytes)

- a. [5...0]
  - b. [11...6]
  - c. [5...3]
  - d. [8...6]
- 

25. ¿Cuál de las siguientes afirmaciones es cierta?

- a. La memoria SRAM es más lenta que la DRAM.
  - b. La lectura en la memoria SRAM es destructiva.
  - c. La memoria DRAM es más cara que la SRAM.
  - d. Ninguna de las anteriores.
- 

26. ¿Qué conjunto de componentes permite construir una memoria 256Mx32? (sin que sobren componentes)

- a. 16 chips 64Mx4.
  - b. 32 chips 64Mx4.
  - c. 16 chips 64Mx16.
  - d. Ninguna de las anteriores.
- 

27. ¿En qué tipo de memorias coincide el tiempo de acceso y el tiempo de ciclo?

- a. SRAM.
  - b. DRAM.
  - c. Tanto en a) como en b)
  - d. Ninguna de las anteriores.
- 

28. Un procesador de 1GHz tarda 4ns en realizar 4 instrucciones sin realizar segmentación de cauce. Cuanto tardaría en

realizar 9 instrucciones una versión de dicho procesador con segmentación de cauce de 4 etapas si no existiera ningún retraso en ninguna de las instrucciones.

- a. 2 ns.
  - b. 3 ns.
  - c. 4.5 ns.
  - d. 9 ns.
- 

29. ¿Cuál es el ancho del bus de direcciones para una memoria DRAM de 1G palabra, siendo la longitud de palabra de 16 bits?

- a. 20
  - b. 16
  - c. 30
  - d. 15
- 

30. ¿Cuál de las siguientes afirmaciones es cierta?

- a. Al realizar la segmentación de cauce aumenta en general el tiempo necesario para la ejecución de un programa
  - b. Debido a que pueden existir dependencia de datos, los resultados de un programa pueden ser diferentes a si el programa se ejecutara sin segmentación.
  - c. La segmentación de cauce disminuye el número de instrucciones necesarias para la ejecución de un programa.
  - d. Ninguna de las afirmaciones anteriores.
-