



Control Tema 3



Universidad de Granada - Doble Grado en Ingeniería Informática y Matemáticas
Arquitectura de Computadores



Desconocido: 45338112 Guerrero Cano, Valentín



Inicio: Hoy, miércoles, 16:05:09

Final: Hoy, miércoles, 16:31:19

Preguntas: 9

Respuestas
válidas:

Puntuación:

Nota:

1 El protocolo MSI utiliza posescritura (write-back).
V/F **V**

2 El protocolo MESI utiliza escritura con actualización (write-update).
V/F **F**

3 En un multiprocesador con protocolo MESI, un controlador de caché recibe de un procesador de su nodo una petición de lectura de un bloque que tiene en estado E en su caché (la caché de su nodo), entonces el estado siguiente del bloque en esta caché será de (ponga el nombre completo del estado, no la inicial, no se distingue entre minúsculas y mayúsculas, use "depende" si hay varias posibilidades):

Usuario Profesores

Modificado

4 En un multiprocesador con protocolo MSI, un controlador de caché recibe de un procesador de su nodo una petición de lectura de un bloque que tiene en estado M en la caché de su nodo (su caché), entonces el estado siguiente del bloque en la caché de su nodo (su caché) será de (ponga el nombre completo del estado, no la inicial, no se distingue entre minúsculas y mayúsculas):

Usuario Profesores

Modificado

5
Texto

En un placa NUMA se implementa un protocolo MSI de mantenimiento de coherencia basado en directorios sin difusión. Un nodo solicitante envía una petición de acceso a memoria a otro nodo, que es el nodo origen del bloque al que quiere acceder, aunque realmente tiene copia válida del bloque en la caché. ¿Qué paquete de petición ha recibido el nodo origen del solicitante? (use las abreviaturas que hemos usado en clase para los paquetes)

Usuario Profesores

PtLec



6
N.º entero

En un placa NUMA con 4 nodos se implementa un protocolo MSI de mantenimiento de coherencia basado en directorios sin difusión. Cada nodo tiene un trozo de memoria principal de 3 GiB y una caché de 1MiB, los bloques de memoria son de 64 bytes, se usa vector de bits de presencia y 1 bit para codificar el estado de un bloque en la memoria principal. ¿Cuántas entradas (filas) tiene el subdirectorio de memoria principal en un nodo? (el directorio está distribuido entre los nodos, directorio en un nodo=subdirectorio)

Usuario Profesores

50331648



7
V/F

Si el modelo de consistencia de memoria de un multiprocesador no garantiza el orden W->R significa que una lectura de memoria de un procesador puede adelantar a una escritura en memoria de otro procesador siempre que la lectura y la escritura no accedan a la misma dirección de memoria.

Usuario Profesores

V



8
V/F

Para implementar un `lock()` de un cerrojo simple en multiprocesadores que no garantizan el orden W->R se podría usar el siguiente código:

```
lock(k) {  
while (Fetch_and_Or(k,1)==1) {};  
}
```

Usuario Profesores

V



9
V/F

Para implementar un `unlock()` de un cerrojo simple en procesadores con arquitectura ARMv7 basta con usar una instrucción de almacenamiento en memoria.

Usuario Profesores

V

