



# Control Tema 4



Universidad de Granada - Doble Grado en Ingeniería Informática y Matemáticas  
Arquitectura de Computadores



Desconocido: 45338112 Guerrero Cano, Valentín



Inicio: Hoy, miércoles, 16:40:10

Final: Hoy, miércoles, 17:07:25

Preguntas: 10

Respuestas  
válidas:

Puntuación:

Nota:

**1**  
V/F

(A) El cauce de un superescalar tiene las siguientes 4 etapas: IF (1 ciclo=1 c para cada instrucción) capaz de procesar 4 instrucciones por ciclo (i/c), ID (1 c) capaz de procesar 4 i/c, EX (de 1c a 4 c de latencia dependiendo de la unidad) y WB (1 c) capaz de retirar del buffer de reorden (ROB) 4 i/c (no hay etapa para escribir en el ROB). Unidades: 1 para carga de memoria segmentada en dos etapas de 1 c cada una, 1 de almacenamiento en memoria (1 c), 2 unidades para *addq* y *cmpl* (1 c), 1 para *addsd* (1 c), una para *mulsd* segmentada en 4 etapas de 1 c cada una, y 1 para saltos (1 c). Tenga en cuenta que la emisión es desordenada, que no hay límite en las entradas del ROB y de la ventana de instrucciones centralizada y que se pueden emitir un máximo de 4 i/c. ¿El siguiente código tarda en procesarse 12 ciclos en el cauce descrito?

.L6:

```
(1) movsd (%r12,%rax,8), %xmm2 ; xmm2=M[r12+rax*8]
(2) movsd 0(%rbp,%rax,8), %xmm4 ; xmm4=M[rbp+rax*8]
(3) mulsd %xmm1, %xmm2 ; xmm2=xmm2*xmm1
(4) mulsd %xmm3, %xmm4 ; xmm4=xmm4*xmm3
(5) addsd %xmm4, %xmm2 ; xmm2=xmm2+xmm4
(6) movsd %xmm2, 0(%r13,%rax,8) ; M[r13+rax*8]=xmm2
(7) addq $1, %rax ; rax=rax+1
(8) cmpl %eax, %ebx ; ebx-eax
(9) jg .L6 ; Salto si ebx-eax>0
```

Usuario Profesores

V



**2**

(Igual enunciado que (A), se diferencia en la pregunta) ¿Cuántos ciclos espera la instrucción (4) en la ventana de instrucciones?

N.º entero

Espera la instrucción (7) en la ventana de instrucciones.

Usuario Profesores

3



3

N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿En qué ciclo de reloj del procesamiento del código se decodifica la instrucción (7)?

Usuario Profesores

3



4

N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿En qué ciclo de reloj del procesamiento se retira del ROB la instrucción (8)?

Usuario Profesores

5



5

N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿Cuántos ciclos de reloj supondría el procesamiento de todas las instrucciones si la unidad de carga no estuviera segmentada?

Usuario Profesores

13



6

N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿Cuántas instrucciones estarán en el buffer de reorden(ROB) en el ciclo 3?

Usuario Profesores

3



7

Texto

Teniendo en cuenta que los bits de válido de la instrucción addsd son inicialmente 00 (primer 0 para xmm4 y segundo 0 para xmm2), ¿Cuáles serán los bits de válido de esta instrucción al terminar el ciclo 8? (poner los valores de los dos bits seguidos, por ejemplo, 00)

Usuario Profesores

01



8

N.º entero

(C) Para implementar el siguiente código, que calcula el producto de una matriz triangular superior por un vector, el compilador ha utilizado saltos condicional negativos (saltos hacia atrás) en lugar de positivos, uno por cada bucle ¿Cuántas entradas de la tabla de saltos (BTC/BTAC) ocupará entonces este trozo de código?

```
for(i = 0; i < 8; i++)
    for(j = i; j < 8; j++)
        v2[i] += m[i][j] * v1[j];
```

Usuario Profesores

2



9

N.º entero

¿Cuántas veces se ejecuta la instrucción de salto condicional hacia atrás (negativo) que genera el compilador para el bucle interno del código (C) (bucle con índice j) (hay que tener en cuenta que el bucle se ejecuta varias veces al estar dentro de otro bucle)?

Usuario Profesores

28



10

N.º entero

Si el código en (C) se ejecuta en un núcleo de procesamiento en el que: (1) se usa la predicción estática vista en clase, (2) la penalización por predicción errónea es de 8 ciclos y (3) no hay pérdida de ciclos si los saltos se predicen bien, ¿cuál sería la penalización en ciclos debida a los saltos? (suponga que

una vez que se ejecuta la instrucción de salto de cada bucle por primera vez permanecen en la Tabla de Saltos hasta que termina la ejecución del programa)

Usuario Profesores

**72**

