



Estudiante:  Valentín

/ UGR / plataforma de apoyo a la docencia

2 notificaciones

junio

21

22:34

Plataforma

> España

> ugr.es

> ETSIIT


> Db.Gr.Ing.Inf./Matem.

>


AC


Arquitectura de Computadores


AC


-  Inicio
-  Asignatura
-  Evaluación
-  Archivos
-  Usuarios
-  Comunicación
-  Análisis
-  Perfil


Frecuentes


 Exámenes

 Documentos

 Calificaciones

 Timeline

 Test

 Compartidos

JUNIO 2021

L	M	M	J	V	S	D
31	1	2	3	4	5	6
7	8	9	10	11	12	13
14	15	16	17	18	19	20
21	22	23	24	25	26	27
28	29	30	1	2	3	4

5 6 7 8 9 10 11











2021-06-15
17:48En
Archivos>Docume
se ha p...

...

Mancia
Anguita López

39 de AC

1 profesor

	Juan Jo... Escoba...	3:16'50"
38 estudiantes		
	Valentín Guerrer...	10"
	Federico Cabrer...	2'48"
	Germá... Padua ...	11'33"
	Alberto Díaz C...	24'29"
	Juan A... Ruiz Ar...	31'46"
	José D... Barran...	32'47"
	Javier Garrue...	37'16"
	Juan Fernán...	54'03"
	Alejandro Cárden...	1:02'28"

...

Sistema Actividades Proyectos Convocatorias Test Exámenes Juegos Encuestas



Control Tema 4

Universidad de Granada - Doble Grado en Ingeniería Informática y Matemáticas
Arquitectura de Computadores



Desconocido: 45338112 Guerrero Cano, Valentín



Inicio: 2021-06-02, miércoles, 16:40:10

Final: 2021-06-02, miércoles, 17:07:25

Preguntas: 10

Respuestas
válidas: Puntuación: Nota: **1**
V/F

(A) El cauce de un superescalar tiene las siguientes 4 etapas: IF (1 ciclo=1 c para cada instrucción) capaz de procesar 4 instrucciones por ciclo (i/c), ID (1 c) capaz de procesar 4 i/c, EX (de 1c a 4 c de latencia dependiendo de la unidad) y WB (1 c) capaz de retirar del buffer de reorden (ROB) 4 i/c (no hay etapa para escribir en el ROB). Unidades: 1 para carga de memoria segmentada en dos etapas de 1 c cada una, 1 de almacenamiento en memoria (1 c), 2 unidades para *addq* y *cmpl* (1 c), 1 para *addsd* (1 c), una para *mulsd* segmentada en 4 etapas de 1 c cada una, y 1 para saltos (1 c). Tenga en cuenta que la emisión es desordenada, que no hay límite en las entradas del ROB y de la ventana de instrucciones centralizada y que se pueden emitir un máximo de 4 i/c. ¿El siguiente código tarda en procesarse 12 ciclos en el cauce descrito?

.L6:

```
(1) movsd (%r12,%rax,8), %xmm2 ; xmm2=M[r12+rax*8]
(2) movsd 0(%rbp,%rax,8), %xmm4 ; xmm4=M[rbp+rax*8]
(3) mulsd %xmm1, %xmm2 ; xmm2=xmm2*xmm1
(4) mulsd %xmm3, %xmm4 ; xmm4=xmm4*xmm3
(5) addsd %xmm4, %xmm2 ; xmm2=xmm2+xmm4
(6) movsd %xmm2, 0(%r13,%rax,8) ; M[r13+rax*8]=xmm2
(7) addq $1, %rax ; rax=rax+1
(8) cmpl %eax, %ebx ; ebx-eax
(9) jg .L6 ; Salto si ebx-eax>0
```

Usuario Profesores

V**V****2**
N.º entero

(Igual enunciado que (A), se diferencia en la pregunta) ¿Cuántos ciclos espera la instrucción (4) en la ventana de instrucciones?

Usuario Profesores

3**3****3**
N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿En qué ciclo de reloj del procesamiento del código se decodifica la instrucción (7)?

Usuario Profesores

3**3****4**
N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿En qué ciclo de reloj del procesamiento se retira del ROB la instrucción (8)?

Usuario Profesores

5**12****5**
N.º entero

(Igual enunciado que (A), se diferencia en la pregunta). ¿Cuántos ciclos de reloj supondría el procesamiento de todas las instrucciones si la unidad de carga no estuviera segmentada?

Usuario Profesores

13**13**

- 6** (Igual enunciado que (A), se diferencia en la pregunta). ¿Cuántas instrucciones estarán en el buffer de reorden(ROB) en el ciclo 3?
N.º entero
Usuario Profesores
3 **4**
- 7** Teniendo en cuenta que los bits de válido de la instrucción `addsd` son inicialmente 00 (primer 0 para `xmm4` y segundo 0 para `xmm2`), ¿Cuáles serán los bits de válido de esta instrucción al terminar el ciclo 8? (poner los valores de los dos bits seguidos, por ejemplo, 00)
Texto
Usuario Profesores
01 **a) 01**
- 8** (C) Para implementar el siguiente código, que calcula el producto de una matriz triangular superior por un vector, el compilador ha utilizado saltos condicional negativos (saltos hacia atrás) en lugar de positivos, uno por cada bucle ¿Cuántas entradas de la tabla de saltos (BTC/BTAC) ocupará entonces este trozo de código?
N.º entero

```
for(i = 0; i < 8; i++)
    for(j = i; j < 8; j++)
        v2[i] += m[i][j] * v1[j];
```


Usuario Profesores
2 **2**
- 9** ¿Cuántas veces se ejecuta la instrucción de salto condicional hacia atrás (negativo) que genera el compilador para el bucle interno del código (C) (bucle con índice j) (hay que tener en cuenta que el bucle se ejecuta varias veces al estar dentro de otro bucle)?
N.º entero
Usuario Profesores
28 **36**
- 10** Si el código en (C) se ejecuta en un núcleo de procesamiento en el que: (1) se usa la predicción estática vista en clase, (2) la penalización por predicción errónea es de 8 ciclos y (3) no hay pérdida de ciclos si los saltos se predicen bien, ¿cuál sería la penalización en ciclos debida a los saltos? (suponga que una vez que se ejecuta la instrucción de salto de cada bucle por primera vez permanecen en la Tabla de Saltos hasta que termina la ejecución del programa)
N.º entero
Usuario Profesores
72 **72**

Información DocumentaUGR

¿Qué es SWAD? Manual breve | Condiciones leg
What is SWAD? Brief manual [E
Publicaciones Guía usuario [IT
Funcionalidad User guide [EN
Difusión Presentación Estadísticas
Prensa Póster
Videotutoriales Servidor
Logos Encuentro

CommunitySoftware liAndroid

Source code
Download
Install
Database
Translation
API
alternative
startup
RANKI
Changelog
Capterra
Roadmap
SourceForge
Authors
GitHub
Implementación

iOS

SWADroid
Goog
iSWAD
Twitter
SWADroid
Twitter
SWAD
GitHub
SWADroid
Goog
SWADroid
GitHub
SWADroid
Open HUB



Universidad de Granada

Consultas y problemas: swad@ugr.es

Acerca de SWAD 20.88.2 (2021-06-02) Página generada en 43 ms y enviada en 303 μ s