

6 Организация памяти

Память микроконтроллера имеет предопределенное 32-разрядное адресное пространство с областями: программ, данных, периферии и внутренних ресурсов, жестко соединенных с процессором. Адресное пространство разбито на несколько областей, см. таблицу 6.1.

Таблица 6.1 – Общая организация памяти микроконтроллера

Адресное пространство	Описание
8000_0000h – 801F_FFFFh	Flash-память (FLASH) 1 Мбайт
4000_0000h – 4003_FFFFh	Внутреннее ОЗУ0 256 Кбайт
2000_0000h – 3801_FFFFh	Регистры управления периферийными блоками
1000_0000h – 1000_FFFFh	Внутреннее ОЗУ1 64 Кбайт
0C00_0000h – 0CFF_FFFFh	Регистры PLIC
0200_0000h – 0200_FFFFh	Регистры CLINT
0000_0000h – 0000_0FFFh	Регистры Debug
Примечание – младшие 128 Кбайт ОЗУ0 подключены к интерфейсу TCM-A, а старшие 128 Кбайт - к TCM-B. Для получения максимальной производительности при исполнении из ОЗУ0 рекомендуется переменные и исполняемый код располагать в регионах, подключенных к разным интерфейсам TCM.	

Внутреннее ОЗУ1 размером 64Кбайт подключено к батарейному домену питания. Регистры периферийных блоков микроконтроллера доступны в адресном пространстве 2000_0000h – 3801_FFFFh. Карта размещения блоков микроконтроллера в памяти представлена в таблице 6.2.

Таблица 6.2 – Карта регистров периферийных блоков

Адресное пространство	Обозначение блока	Описание
1	2	3
3801_2000h – 3801_2FFFh	IWDT	Сторожевой таймер
3801_1000h – 3801_1FFFh	PMURTC	Блок управления питанием RTC
3801_0000h – 3801_0FFFh	CMP	Блок аналоговых компараторов
3001_2000h – 3001_2FFFh	ADCSD	Блок сигма-дельта АЦП
3001_0000h – 3001_0FFFh	ADCSAR	Блок АЦП последовательного приближения
3000_F000h – 3000_FFFFh	PMUSYS	Блок управления питанием системы
3000_E000h – 3000_EFFFh	RCU	Блок управления сбросом и синхронизацией
3000_D000h – 3000_DFFFh	FLASH	Контроллер Flash-памяти
3000_C000h – 3000_CFFFh	DMA	Контроллер прямого доступа к памяти
3000_B000h – 3000_BFFFh	WDT	Сторожевой таймер
3000_A000h – 3000_AFFFh	UART4	Последовательный приемопередатчик UART0
3000_9000h – 3000_9FFFh	UART3	Последовательный приемопередатчик UART3
3000_8000h – 3000_8FFFh	UART2	Последовательный приемопередатчик UART2
3000_7000h – 3000_7FFFh	UART1	Последовательный приемопередатчик UART1

3000_6000h – 3000_6FFFh	UART0	Последовательный приемопередатчик UART0
-------------------------	-------	---

Окончание таблицы 6.2

1	2	3
3000_5000h – 3000_5FFFh	I2C	Последовательный интерфейс I2C
3000_4000h – 3000_4FFFh	TRNG	Блок генератора случайных чисел
3000_3000h – 3000_3FFFh	TMR2	Таймер 16-разрядный TMR2
3000_2000h – 3000_2FFFh	TMR1	Таймер 16-разрядный TMR1
3000_1000h – 3000_1FFFh	TMR0	Таймер 16-разрядный TMR0
3000_0000h – 3000_0FFFh	TMR32	Таймер 32-разрядный TMR32
2800_2000h – 2800_2FFFh	GPIOC	Порт C
2800_1000h – 2800_1FFFh	GPIOB	Порт B
2800_0000h – 2800_0FFFh	GPIOA	Порт A
2006_0000h – 2006_FFFFh	SPI1	Последовательный интерфейс SPI1
2005_0000h – 2005_FFFFh	SPI0	Последовательный интерфейс SPI0
2004_0000h – 2004_FFFFh	QSPI	Последовательный интерфейс QSPI
2003_2000h – 2003_2FFFh	HASH	Хеш процессор
2003_1000h – 2003_1FFFh	CRC1	Блок подсчета циклического избыточного кода CRC1
2003_0000h – 2003_0FFFh	CRC0	Блок подсчета циклического избыточного кода CRC0
2002_0000h – 2002_FFFFh	CRYPTO	Блок криптографии
2001_0000h – 2001_FFFFh	USB	Последовательный интерфейс USB
2000_1000h – 2000_1FFFh	CANMSG	Объекты сообщений контроллера CAN
2000_0000h – 2000_0FFFh	CAN	Контроллер CAN

7 Контроллер Flash-памяти

7.1 Flash-память

Flash-память может использоваться для хранения программ и данных пользователя. Размер основной Flash-памяти составляет 1 Мбайт (256 страниц по 4 Кбайт), и в адресном пространстве она занимает диапазон с 8000_0000h по 800F_FFFFh.

Чтение Flash-памяти осуществляется через две шины АНВ: I-code (для команд) и D-code (для данных). Чтение D-code шины имеет приоритет. На обеих шинах при попытке записи в любую область, чтении из несуществующей области, чтении во время, когда Flash занята (стирание, запись), транзакция проходит успешно с неопределенными данными на выходе.

Память доступна для чтения, записи, полного и постраничного стирания через регистры данных DATA_n (n от 0 до 3), адреса ADDR, команд CMD, статуса STAT блока FLASH. Запись необходимо производить в предварительно очищенную ячейку памяти. Стирание памяти осуществляется полностью или постранично.

Минимальное время чтения данных из Flash-памяти составляет до 60 нс (типовое значение задержки – от 30 нс). Поэтому, исходя из выбранной рабочей частоты, следует задать определенное количество дополнительных тактов ожидания, необходимое для стабильного чтения из Flash-памяти.

В таблице 7.1 представлены значения дополнительных тактов ожидания Flash памяти при значении выходного напряжения регулятора LDO1 – 1.2В. Значения дополнительных тактов ожидания Flash памяти при значении выходного напряжения регулятора LDO1 0.9В представлены в таблице 7.2. При использовании низкопотребляющего или ультра низкопотребляющего режима для регулятора LDO1 и снижении уровня выходного напряжения до 0.9В необходимо в регистре LP установить бит LPEN. В этом случае при обращении к Flash возможны только операции чтения.

Таблица 7.1 – Значения параметра (количество дополнительных тактов ожидания) в зависимости от частоты сигнала SYSCLK при напряжении 1.2В LDO1

f _{SYSCLK} , не более, МГц	Количество дополнительных тактов ожидания при чтении Flash-памяти
60	1
30	0
Примечание – Значение параметра после сброса равно 1.	

Таблица 7.2 – Значения параметра (количество дополнительных тактов ожидания) в зависимости от частоты сигнала SYSCLK при напряжении 0.9В LDO1

f _{SYSCLK} , не более, МГц	Количество дополнительных тактов ожидания при чтении Flash-памяти
60	3
45	2
30	1
15	0
Примечание – Значение параметра после сброса равно 1.	

Помимо основной области памяти (1 Мбайт), доступной как через глобальное адресное пространство, так и через регистры контроллера, существует дополнительная NVR область (две страницы по 4 Кбайт в диапазоне 0x0000 – 0x1FFF). В последней ячейке второй страницы NVR области располагается конфигурационное слово микроконтроллера CFGWORD. NVR область доступна для чтения, записи и постраничного стирания только через регистры блока FLASH.

Операция предвыборки

При запросе данных на шине по адресу, по которому не осуществлялась предвыборка, выполняются следующие действия:

- 1 Сигнал готовности на шине устанавливается в ноль и задерживает транзакцию.
- 2 По запрашиваемому адресу считываются 4 32-битных слов (128 бит) данных из Flash-памяти. Далее эти данные записываются во внутренний первый буфер.
- 3 Требуемое слово передается на внутреннюю шину, и сигнал готовности устанавливается в единицу.
- 4 Сразу после установки сигнала готовности из Flash-памяти считываются 128 бит данных по следующему адресу. Данные сохраняются во втором буфере. Если во время считывания этих данных появляются запросы по адресам, сохраненным в первом буфере, ответ возникает мгновенно, если по другим адресам, то готовность на шине устанавливается в ноль и происходит ожидание завершения считывания во второй буфер и далее возврат к действию 2.
- 5 Если приходят запросы по адресам, сохраненным в первом буфере, ответ возникает мгновенно, если по адресам, находящимся во втором буфере, ответ также возникает мгновенно. Далее переписывается первый буфер значением второго и считывается следующий адрес из Flash-памяти. Если приходят запросы по адресам не из первого и второго буферов, то возврат к действию 1.

Конфигурационное слово CFGWORD

В дополнительной области Flash-памяти расположено конфигурационное слово CFGWORD, содержащее параметры микроконтроллера. Описание битов представлено в таблице 7.3. Чтение конфигурационного слова контроллером происходит каждый раз после сброса по включению (POR).

Таблица 7.3 – Конфигурационное слово CFGWORD

CFGWORD +1FF0h (смещение относительно начального адреса CFG дополнительной области FLASH)		
Поле	Биты	Описание
JTAGEN	2	Бит разрешения работы интерфейса JTAG
		0 Откладка отключена
		1 Откладка включена (по умолчанию)
CFGWE	1	Бит включения защиты CFG области Flash-памяти
		0 Запрет записи и стирания CFG области
		1 Защита выключена (по умолчанию)
FLASHWE	0	Бит включения защиты основной области Flash-памяти
		0 Запрет записи основного блока
		1 Защита выключена (по умолчанию)
—	31-3	Зарезервировано

При установленном бите FLASHWE запрещается запись в соответствующую область памяти через регистровый интерфейс. Операция записи интерпретируется как операция чтения, при этом стандартным образом продолжают работать механизмы флагов из регистра STAT.

7.2 Сервисный сброс всей Flash-памяти

- 1 Во время сброса микроконтроллера анализируется состояние вывода SERVEN. Если вывод находится в состоянии логической единицы (подтянут к 3,3 В), то Flash-память

переводится в режим, в котором чтение запрещено (при чтении возвращаются нули). При этом игнорируется состояние бита JTAGEN.

2 Далее по отладочному интерфейсу JTAG должна быть подана команда записи значения 0000_0100h в регистр SERVCTL блока PMUSYS, после чего будет активировано полное стирание всех областей основной и загрузочной памяти. По завершении процесса стирания в этом же регистре выставится флаг DONE.

Примечание – Если полное стирание не требуется, во время сброса на выводе SERVEN должен удерживаться логический ноль.