



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA
DEPARTAMENTO DE CIENCIAS DE LA COMPUTACIÓN

IIC2343 – Arquitectura de Computadores

Guía 4 – Repaso Examen II

Profesor: Yadran Francisco Eterovic Solano

Ayudante: Germán Leandro Contreras Sagredo (glcontreras@uc.cl)

Temas a tratar

Los temas a tratar dentro de esta guía son:

- Almacenamiento de datos.
- Jerarquía de Memoria.
- Multiprogramación.
- Paralelismo a nivel de instrucción.

Preguntas

- a. (II - II/2014) ¿Qué relación existe entre el tamaño de los elementos de memoria y su velocidad? Explique claramente su respuesta.
- b. (II - I/2017) En la siguiente figura, si la frecuencia del *clock* que entra al *flip-flop* FF0 es F Hz, ¿cuál es la frecuencia del *clock* del *flip-flop* FFN?

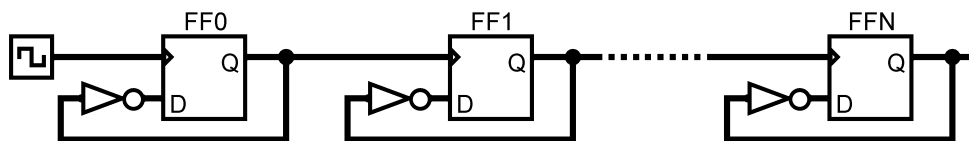


Figura 1: Secuencia de *flip-flops*, donde el *clock* de uno es la señal de estado del que lo antecede, salvo para el primero.

- c. **(I1 - I/2013)** Diseñe usando compuertas lógicas y *flip-flops* D, un *flip-flop* T. El comportamiento de este *flip-flop* consiste en invertir el valor de su salida Q si su señal de entrada T está en 1 y la señal de control C pasa de 0 a 1 (flanco de subida). En cualquier otro caso, la salida Q se mantiene igual.
- d. **(I1 - I/2013)** Diseñe, utilizando todos los elementos de circuitos lógicos vistos en clases, un contador secuencial de 2 bits que se incrementa con cada flanco de subida de la señal de control.
- e. **(I1 - II/2014)** Diseñe, utilizando todos los elementos de circuitos lógicos vistos en clases que necesite, un contador secuencial circular ascendente de 2 bits, que se incrementa cada dos flancos de subida de la señal de control.
- f. **(I1 - I/2017)** Diseñe una memoria RAM que permita acceder (lectura y escritura) de manera individual a cada uno de los bits de una palabra. Tenga en consideración que los buses de datos de entrada y salida deben mantener su tamaño de una (1) palabra.

Nota: Puede basarse en esta como referencia.

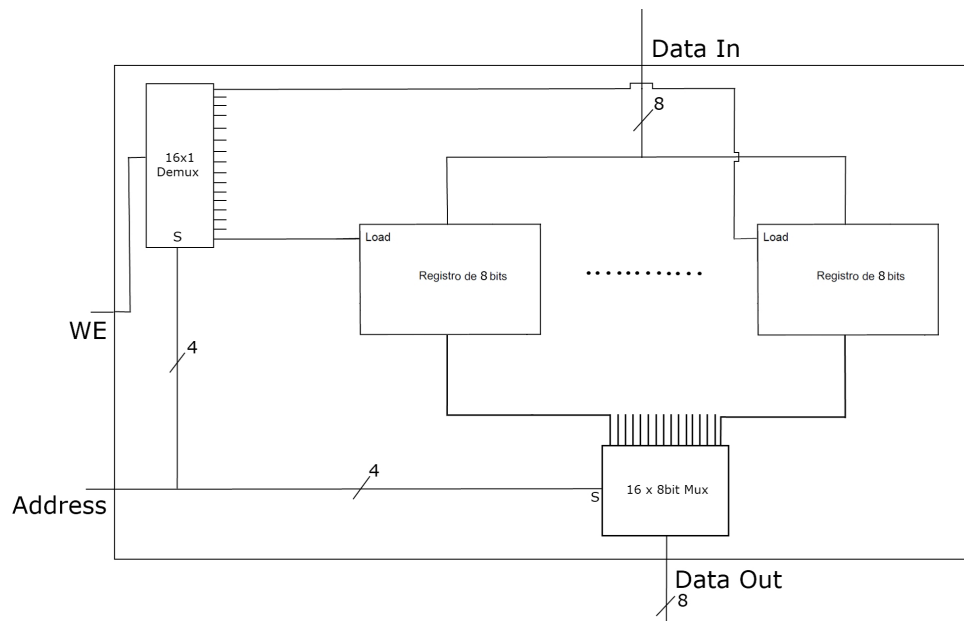


Figura 2: Diseño RAM de referencia.

2. a. **(I3 - II/2012)** Dada una memoria *caché* de 1 KB con bloques de 16 palabras de 1 byte y función de correspondencia *fully associative*, que se encuentra llena, ¿cuántas comparaciones secuenciales se deben realizar para decidir qué bloque sustituir? Describa además un esquema que permita minimizar el tiempo requerido para este proceso, usando la misma cantidad de comparaciones.
- b. **(I3 - II/2012)** Describa una posible solución al problema de consistencia entre *caché* y RAM del esquema *write-back*.
- c. **(I3 - II/2012)** Considere una jerarquía de memoria dada por memoria RAM y *caché*, donde ambas utilizan palabras de 16 bits (16 bits = 2B = W). La memoria RAM tiene 1 GW (G = 1 Giga = $1024 \times 1024 \times 1024$) de capacidad, mientras que la *caché* tiene de capacidad 1 MW (M = 1 Mega = 1024×1024) y bloques de 256W. Responda las siguientes preguntas, asumiendo que la *caché* utiliza una función de correspondencia *4-way associative*:
- Calcule el número de bloques y conjuntos de la memoria *caché*.
 - Describa la división de la direcciones de memoria, incluyendo *offset* dentro del bloque, conjunto y *tag*.
- d. **(I3 - I/2017)** La contención de bloques es un problema del esquema de mapeo directo, donde 2 o más bloques pelean por la misma línea, existiendo otras líneas no utilizadas en la *caché*. ¿Existe un problema similar en el esquema *N-way*? Si su respuesta es negativa, justifíquela, y si es positiva, indique detalladamente un caso en que esto se de.
- e. **(I3 - II/2011)** El siguiente programa se ejecutó en un computador con arquitectura x86 que tiene una *caché* de 4 bloques de 2 palabras cada uno:

Dirección	Label	
0		MOV [var2], 1
1	loop1:	MOV AL, [var2]
2		MUL [var2]
3		CMP [var1], AL
4		JL end
5		INC [var2]
6		JMP loop1
7	end:	DEC [var2]
8		RET
9	var1	db ?
10	var2	db 0

Cuadro 1: Programa con las direcciones y *labels*.

Al ejecutar el programa completo se obtuvo la siguiente secuencia de accesos a memoria:

0-10-1-10-2-10-3-9-4-5-10-6-1-10-2-10-3-9-4-5-10-6-1-10-2-10-3-9-4-7-10-8

Esta secuencia de accesos a memoria generó los siguiente estados en la *caché*:

Dir	B0	B1	B2	B3
0	0-1			
10	0-1	10-11		
1	0-1	10-11		
10	0-1	10-11		
2	0-1	10-11	2-3	
10	0-1	10-11	2-3	
3	0-1	10-11	2-3	
9	0-1	10-11	2-3	8-9
4	0-1	10-11	2-3	4-5
5	0-1	10-11	2-3	4-5
10	0-1	10-11	2-3	4-5
6	6-7	10-11	2-3	4-5
1	6-7	10-11	0-1	4-5
10	6-7	10-11	0-1	4-5
2	6-7	10-11	0-1	2-3
10	6-7	10-11	0-1	2-3

Dir	B0	B1	B2	B3
3	6-7	10-11	0-1	2-3
9	8-9	10-11	0-1	2-3
4	8-9	10-11	4-5	2-3
5	8-9	10-11	4-5	2-3
10	8-9	10-11	4-5	2-3
6	6-7	10-11	4-5	2-3
1	0-1	10-11	4-5	2-3
10	0-1	10-11	4-5	2-3
2	0-1	10-11	4-5	2-3
10	0-1	10-11	4-5	2-3
3	0-1	10-11	4-5	2-3
9	8-9	10-11	4-5	2-3
4	8-9	10-11	4-5	2-3
7	6-7	10-11	4-5	2-3
10	6-7	10-11	4-5	2-3
8	8-9	10-11	4-5	2-3

Cuadro 2: Estado de la *cache* por cada acceso.

En base a esta información, responda lo siguiente:

- I. ¿Qué valores puede tener la variable `var1` para que efectivamente se genere la secuencia de accesos detallada previamente?
- II. ¿Cuál es el *hit rate*?
- III. ¿Qué tipo de *cache* es: *unified* o *split*?
- IV. ¿Qué función de correspondencia y algoritmo de reemplazo (si corresponde) utiliza esta *cache*?
- V. ¿Es posible mejorar el desempeño de esta *cache* durante la ejecución de este programa, sin modificar la cantidad y tamaño de los bloques? Si es posible, explique una posible mejora que se podría realizar para lograr un mejor *hit rate* que el actual y demuestre que efectivamente su modificación logra mejorarlo. Si no es posible, justifique por qué.

3. a. **(Examen - II/2014)** Un computador utiliza palabras de 8 bits, tiene un espacio direccionable de 64GB y una memoria principal de 2GB dividida en marcos de 2KB. ¿Cuántos bits se necesitan para describir el número de página virtual y el número de marco físico? Si todos los *flags* de la tabla de páginas toman 12 bits por entrada, ¿cuántos bits de espacio utiliza una tabla de páginas?
- b. **(Examen - II/2014)** Complete la siguiente tabla asumiendo que por cada entrada de la tabla de páginas, se utilizan 4 bits para *flags*:

Bits Dir. Virt.	Bits Dir. Fís.	Tam. Pág.	Bits Pág.	Bits Marco	Bits por entrada
32	32	16KB			
32	26			13	
	32		21		21
		32KB	25		25
64			48		28

- c. **(I3 - II/2011)** Asuma que una CPU tiene un espacio de direccionamiento virtual de 13 bits cuyas páginas son de 1KB. Esta máquina, sin embargo, cuenta tan solo con 4KB de memoria RAM disponibles para marcos. Asuma que los marcos están inicialmente vacíos. En un momento comienza a ejecutarse un proceso (P1) el cual, durante su ejecución, utiliza las direcciones de memoria desde la 0 hasta la 1500. Luego de esto el sistema operativo hace un cambio de contexto con lo que empieza a ejecutarse un segundo proceso (P2) el cual, durante su ejecución, utiliza las direcciones de memoria desde la 0 hasta la 500, y desde la 4500 a la 5000. Los datos que el proceso P2 almacena en estas últimas direcciones (de la 4500 hasta la 5000) son compartidos por el proceso P3 (tanto para lectura como para escritura), el que accede a ellos a través de las direcciones virtuales 2452 a la 2952. Se genera otro cambio de contexto y empieza a ejecutarse este tercer proceso (P3), el cual hace uso de las direcciones de memoria desde la 0 hasta la 1000, utilizando además datos desde la dirección 2500 a la 2600. Suponga que la política de reemplazo de páginas en los marcos es FIFO.

- I. Determine, para cada marco, de qué proceso o procesos es la información y/o datos que contiene. También indique qué páginas, de haber, se encuentran en disco.
- II. Escriba las tablas de página asociadas a estos tres procesos.

Luego de un cambio de contexto el proceso P1 lee la dirección de memoria 500. Posterior a esto, el mismo proceso requiere escribir en la dirección de memoria 600.

- I. Determine en qué dirección real se escribe en la memoria principal al escribir este proceso en la dirección 600.
 - II. Determine, para cada marco, de qué proceso o procesos es la información y/o datos que contiene. También indique qué páginas, de haber, se encuentran en disco.
 - III. Escriba las tablas de página asociadas a estos tres procesos.
 - IV. Indique en qué direcciones físicas, de estar, se encuentran las direcciones virtuales:
 - 2500 del proceso P3
 - 2000 del proceso P1
 - 4548 del proceso P2
- d. **(I3 - I/2017)** ¿Tiene sentido utilizar una TLB *split*?

4. a. **(Examen - I/2015)** ¿Cómo podría solucionarse un *hazard* estructural que involucra la colisión de dos etapas que requieren la lectura de datos desde un registro?
- b. **(I3 - I/2017)** Indique por qué agregaría una complejidad adicional el tener soporte para llamado a subrutinas en el computador básico con *pipeline*.
- c. **(I3 - I/2017)** Considere un computador RISC-Harvard con un *pipeline* de 12 etapas, donde la unidad de salto se activa en la etapa 6 (40 % de las veces) o en la etapa 11 (60 % de las veces), dependiendo del origen de los parámetros necesarios para resolver el salto. Dado que la unidad de predicción de saltos de este computador acierta en el 75 % de las oportunidades, en promedio, ¿cuántos ciclos por salto pierde este computador?
- d. **(I3 - I/2017)** Indique cuándo y cómo podría implementarse la aceleración de un *pipeline*, si se sabe de antemano que una instrucción no utiliza una etapa.
- e. **(I3 - I/2016)** Diseñe un computador con *pipeline* de al menos 5 etapas, donde debido a restricciones del *hardware*, la etapa MEM debe ejecutarse antes que la etapa EX. El computador debe soportar las mismas funcionalidades que el computador básico con *pipeline*.