

5 Лабораторная работа №5

Исследование комбинационных цифровых устройств

5.1. Цель работы

Экспериментальные исследования функционирования шифраторов, дешифраторов и преобразователей кодов. Приобретение практических навыков измерения электрических параметров комбинационных устройств и регистрации временных диаграмм с помощью электро- и радиоизмерительных приборов.

5.2. Программа работы

А. Создать на рабочем поле симулятора схему исследования 4-разрядного дешифратора. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4028. Для индикации выходных сигналов использовать светодиоды LED-YELLOW, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 20 мА.

Б. Задавая на входе дешифратора все возможные комбинации, исследовать состояние его выходов.

В. Измерить с помощью вольтметра напряжение на выходах дешифратора при подключенном и отключенном светодиоде.

Г. Создать на рабочем поле симулятора схему исследования преобразователя двоично-десятичного кода в семисегментный. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4511. Для индикации выходных сигналов использовать семисегментный индикатор типа 7SEG-COM-SAT, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 15 мА. Примечание: Входы LT и BI ПК подключаются к источнику питания, а вход LE — к сигнальной земле.

Д. Задавая на входе преобразователя кода двоично-десятичные комбинации от 0 до 9, исследовать состояние выходов ПК и индикатора.

Е. Создать на рабочем поле симулятора схему исследования двоичного сумматора CMOS 4008. Для индикации выходных сигналов использовать светодиоды LED-YELLOW, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 20 мА.

Ж. Задавая на входе сумматора произвольные числа, исследовать состояние его выходов.

5.3. Ход выполнения программы

А. Была создана схема исследования 4-х разрядного дешифратора (**Ошибка! Источник ссылки не найден.**).

Б. Было проведено исследование работы дешифратора. Результаты продемонстрированы на Рисунках 5.2 и 5.3.

В. Для проведения следующего исследования схема была пересобрана (Рисунок 5.4). Рисунок 5.5 демонстрирует падение напряжения на диоде при разомкнутом ключе, Рисунок 5.6 – при сомкнутом ключе.

Г. Для проведения следующих исследований на рабочем столе было собрана новая схема (Рисунок 5.7).

Д. На вход последовательно были заданы двоично-десятичные комбинации чисел «1», «5», «8». Рисунки 5.8 – 5.10 демонстрируют результаты исследований. На основе проведённых исследований была составлена схема, изображённая на Рисунке 5.11. Схема показывает, подача тока на какой вход индикатора подсветит какой сегмент.

Е. На рабочем столе симулятора была построена схема исследования двоичного сумматора (Рисунок 5.12). Чтобы на каждый сегмент подавался ток, меньший 20мА, были использованы резисторы на 100 Ом. Итоговая сила тока на сегмент – 17,5 мА.

Ж. Были проведены исследования. Рисунок 5.12 демонстрирует состояние индикатора, если на вход подать двоично-десятичные комбинации чисел «1» и «1»; Рисунок 5.13 – числа «2» и «3»; Рисунок 5.14 – числа «3» и «3».

Вывод

ПРИЛОЖЕНИЕ А

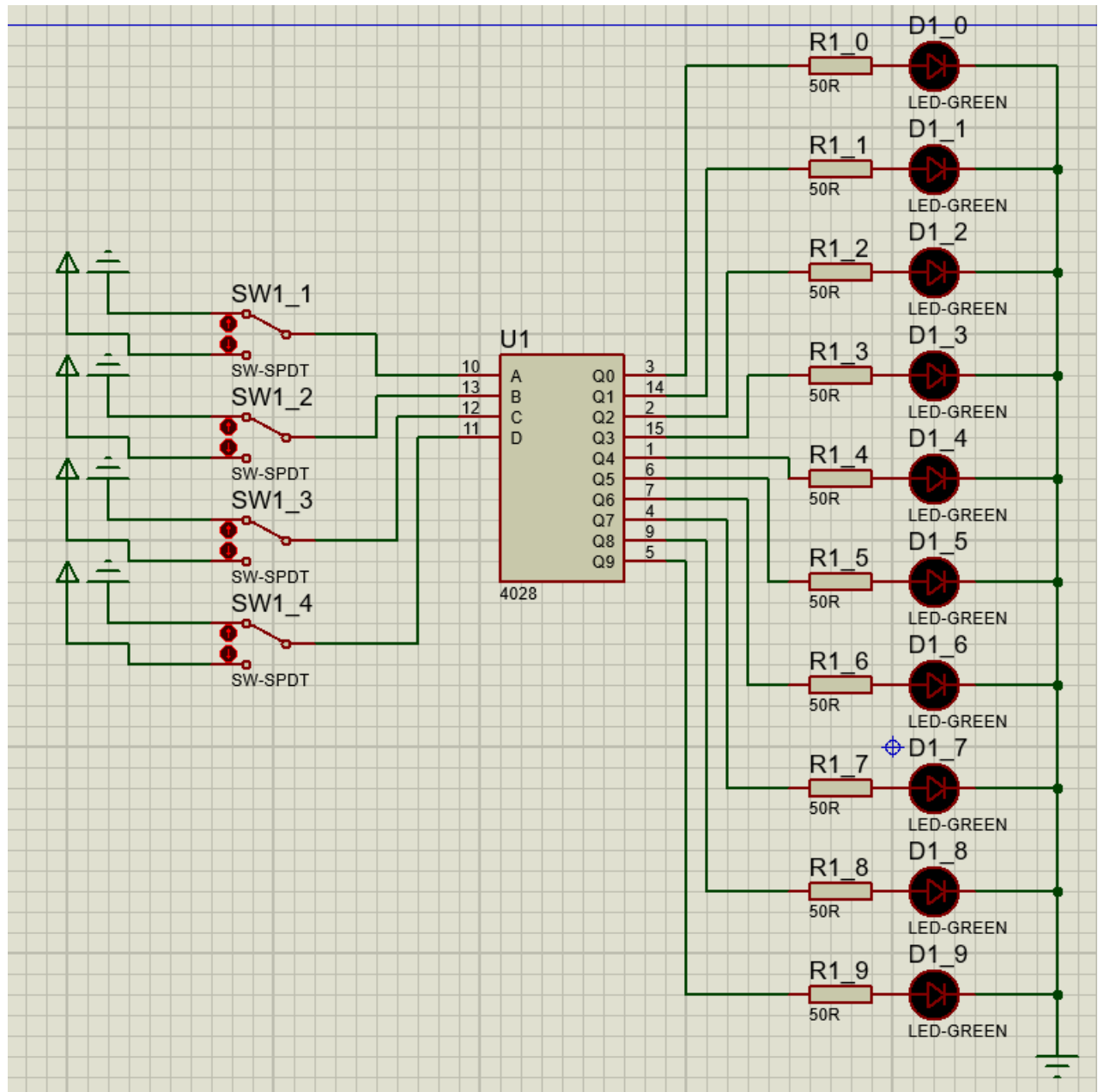


Рисунок 5.1 – Схема исследования 4-х разрядного дешифратора

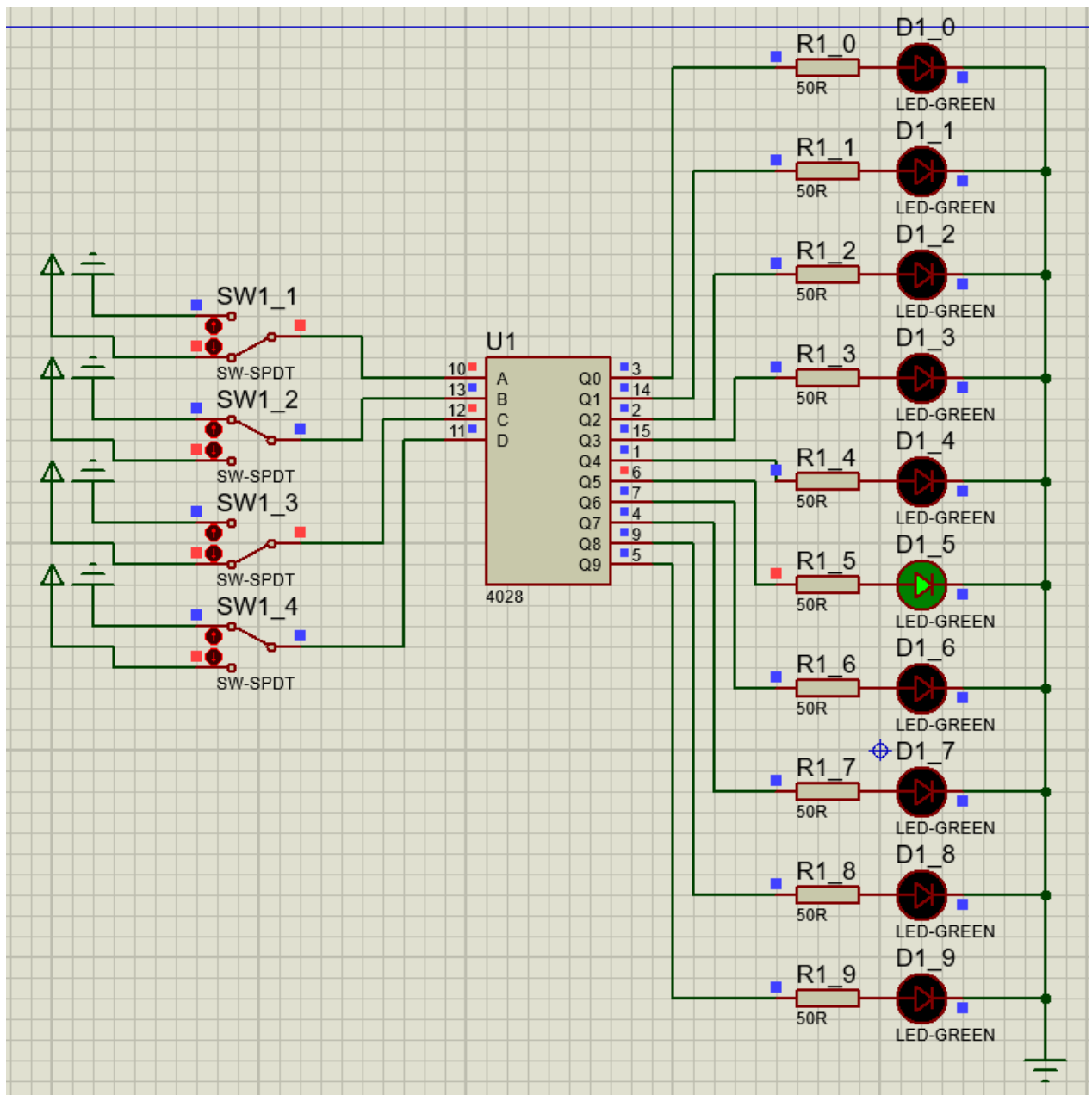


Рисунок 5.2 – Подача на дешифратор «5» в двоичном виде

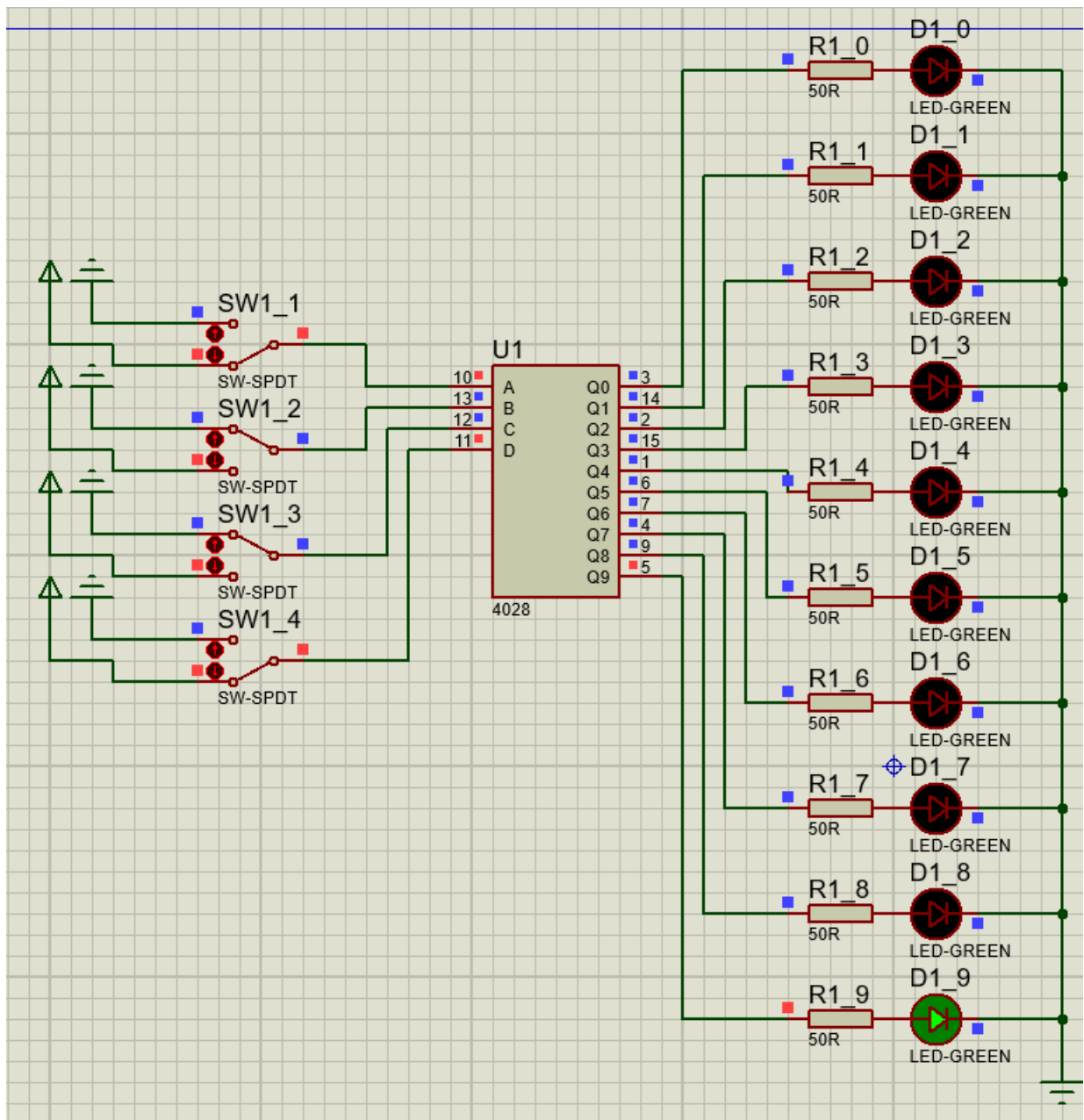


Рисунок 5.3 – Подача на дешифратор «9» в двоичном виде

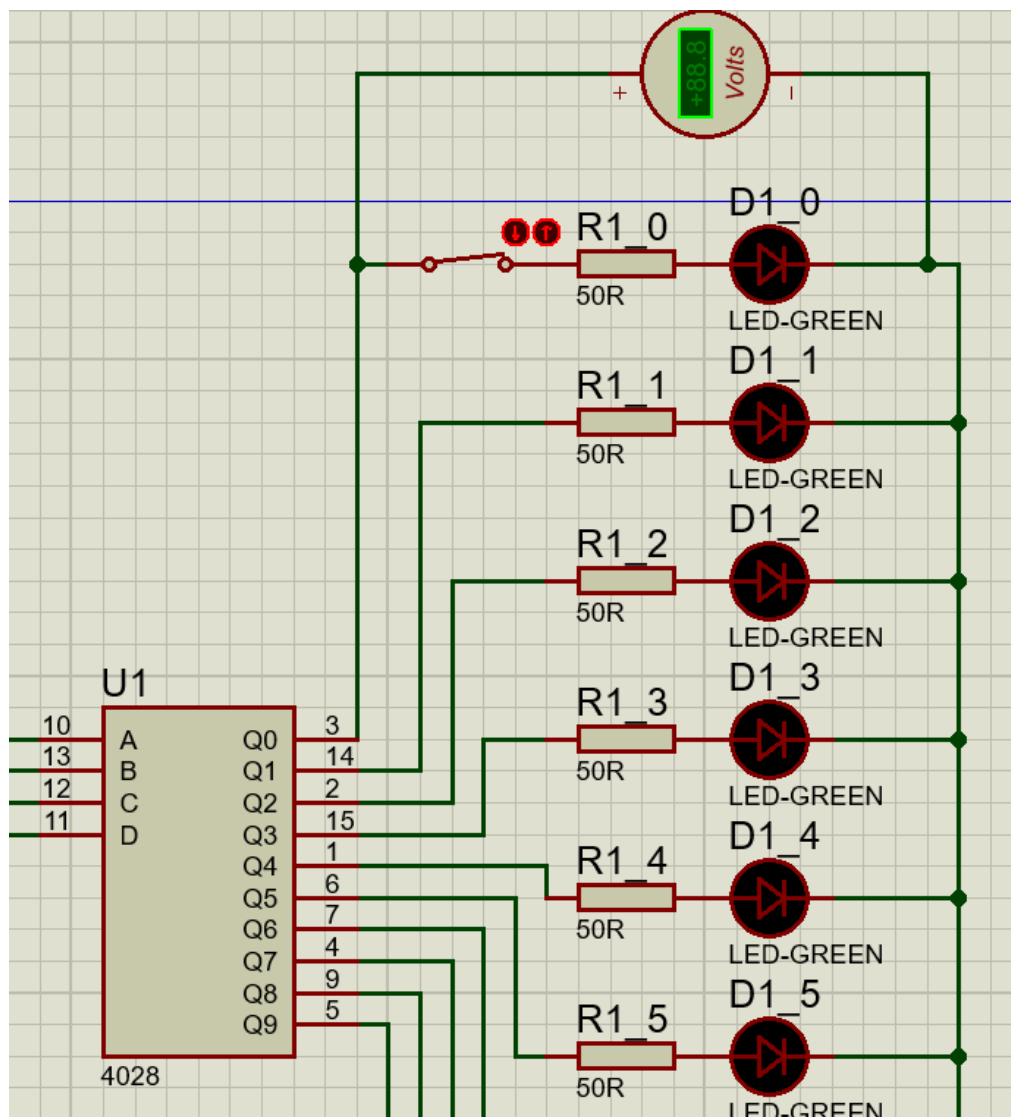


Рисунок 5.4 – Модификация исходной схемы

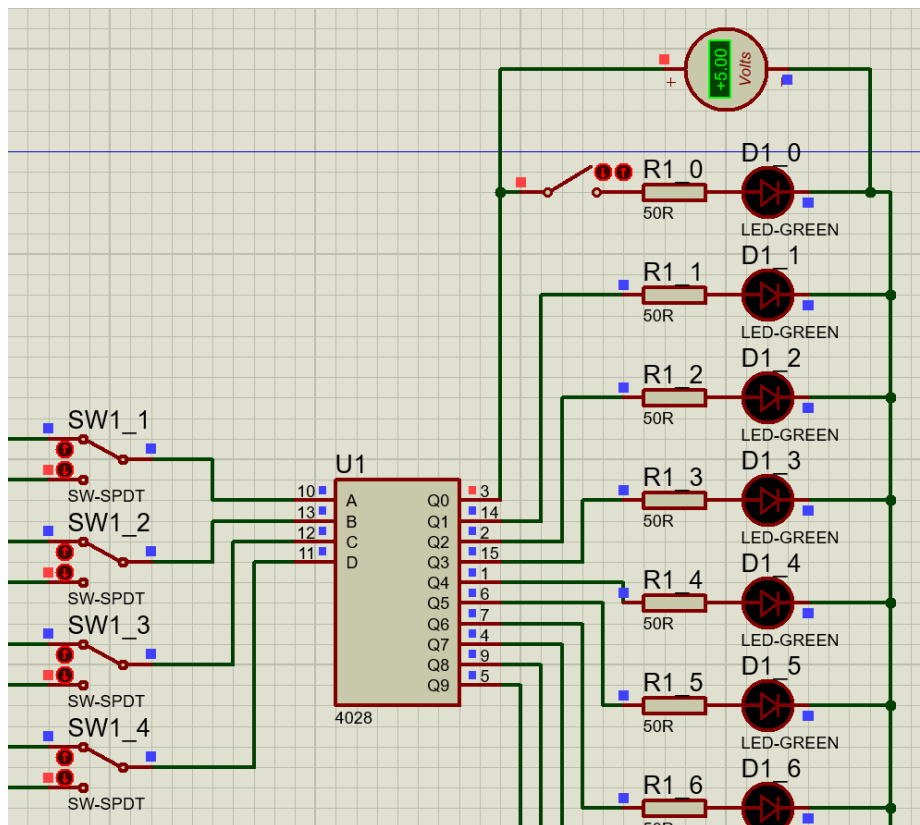


Рисунок 5.5 – Показания вольтметра на диоде при разомкнутом ключе

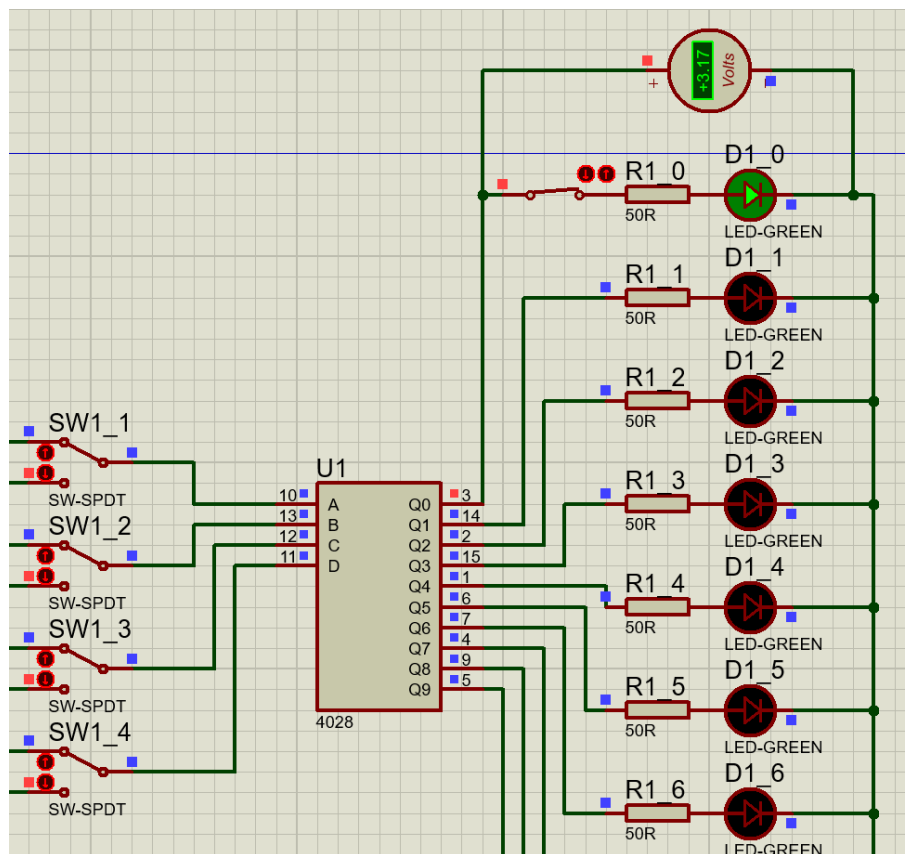


Рисунок 5.6 – Показания вольтметра на диоде при сомкнутом ключе

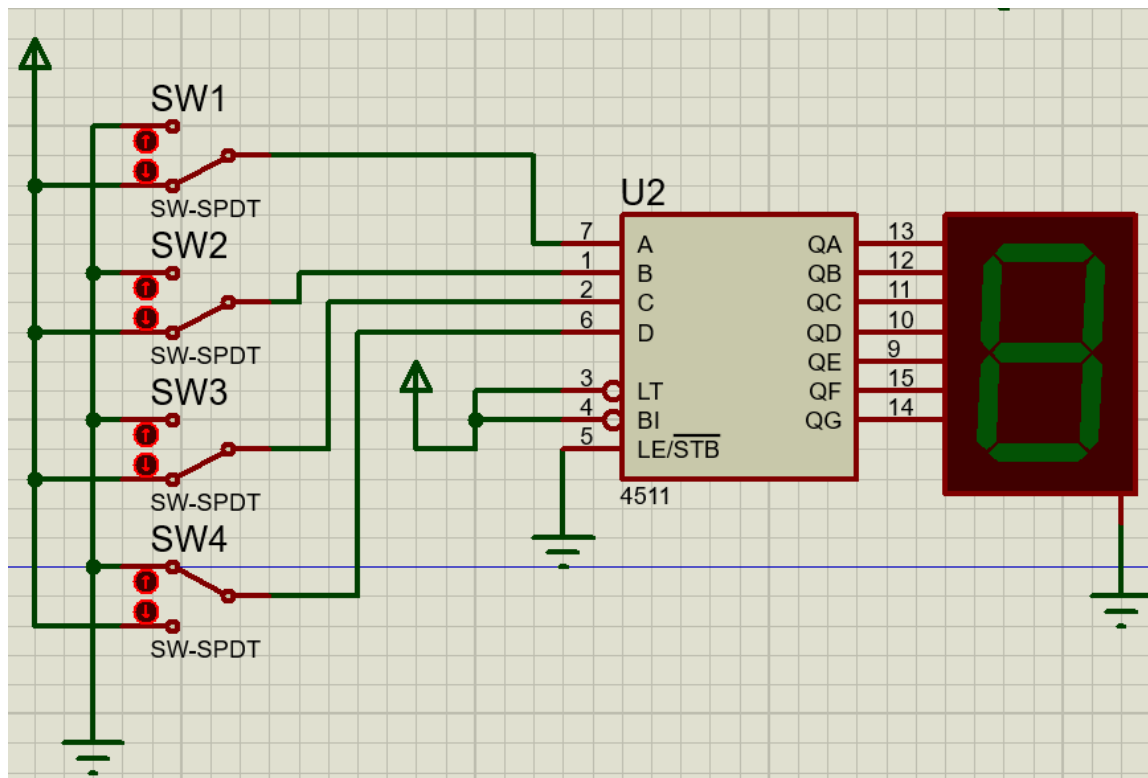


Рисунок 5.7 – Схема исследования преобразователя двоично-десятичного кода в семисегментный

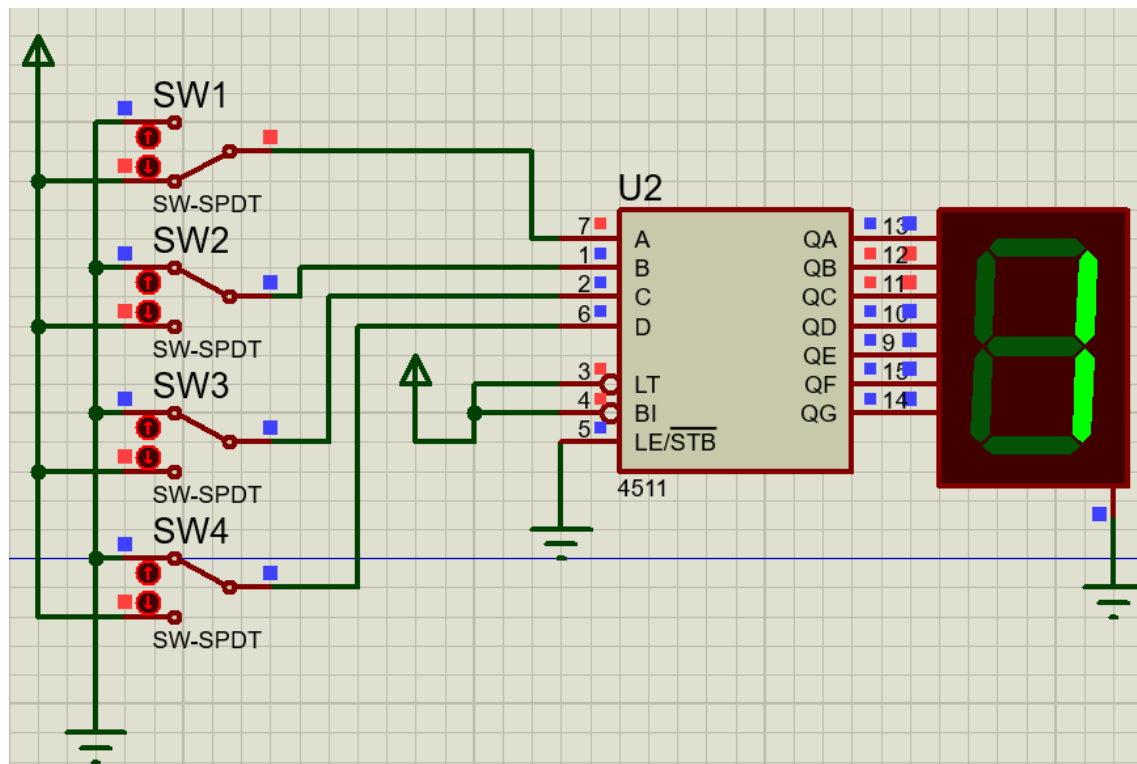


Рисунок 5.8 – Результат подачи на вход преобразователя двоич.-десятич. комбинации числа «1»

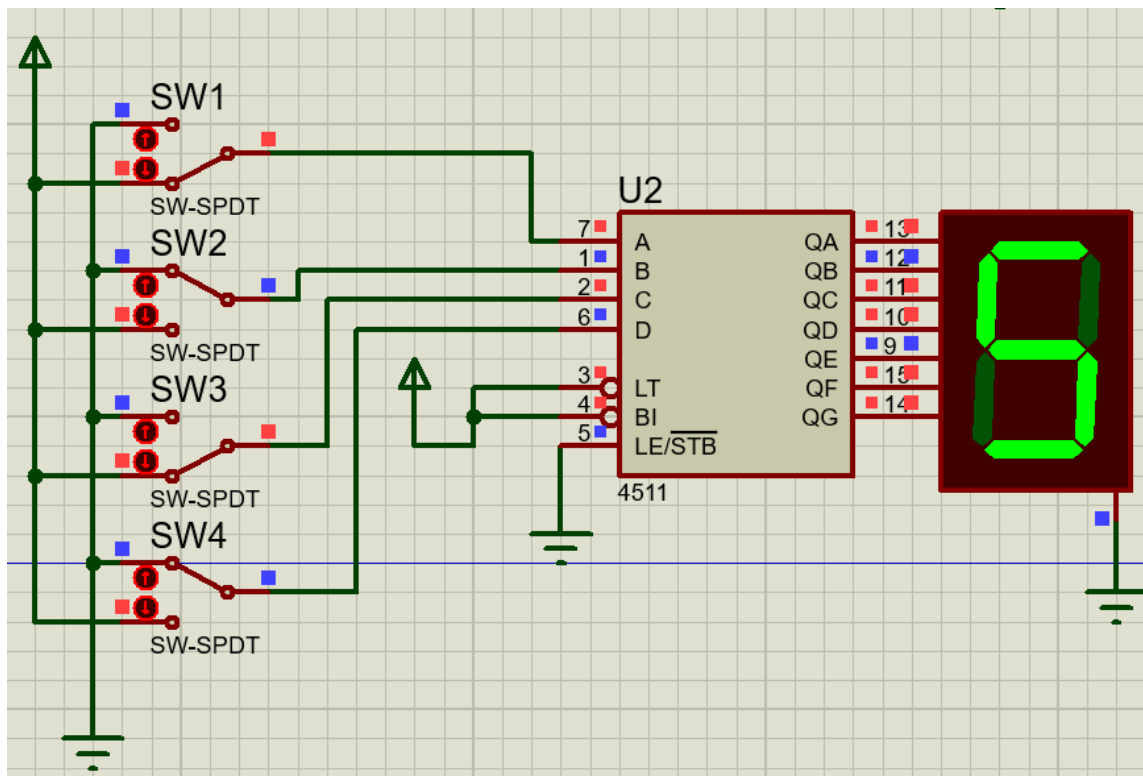


Рисунок 5.9 – Результат подачи на вход преобразователя двоич.-десятич. комбинации числа «5»

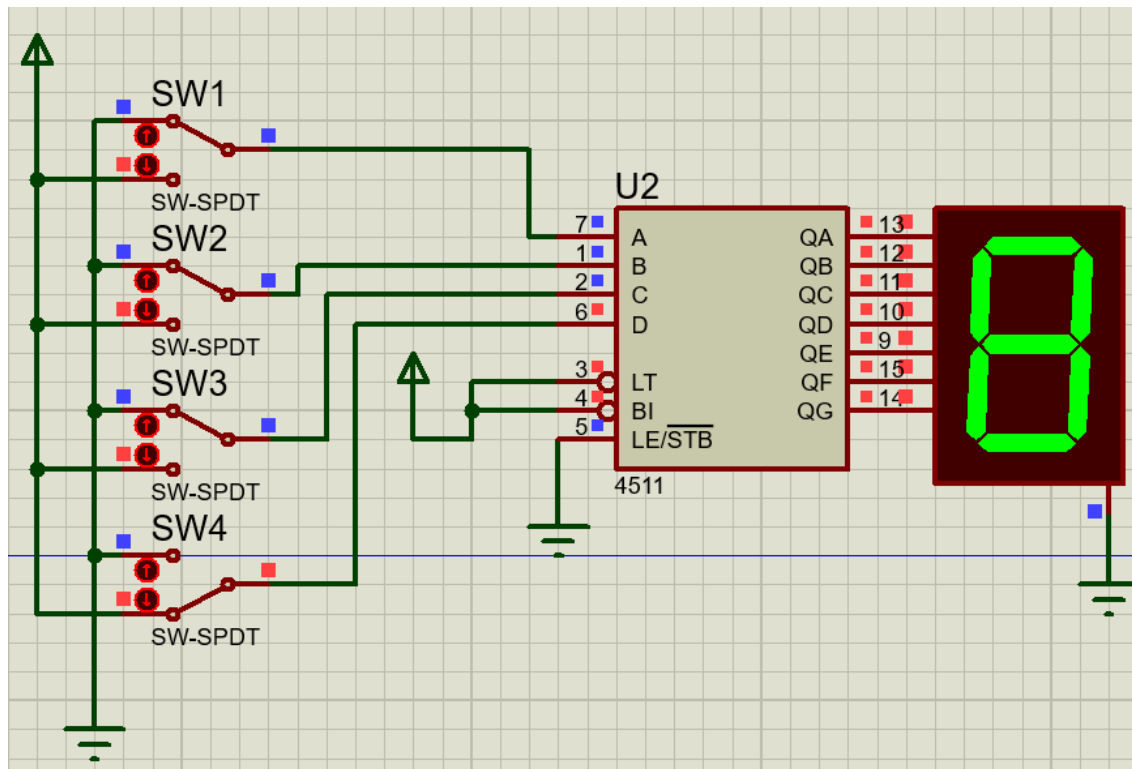


Рисунок 5.10 – Результат подачи на вход преобразователя двоич.-десятич. комбинации числа «8»

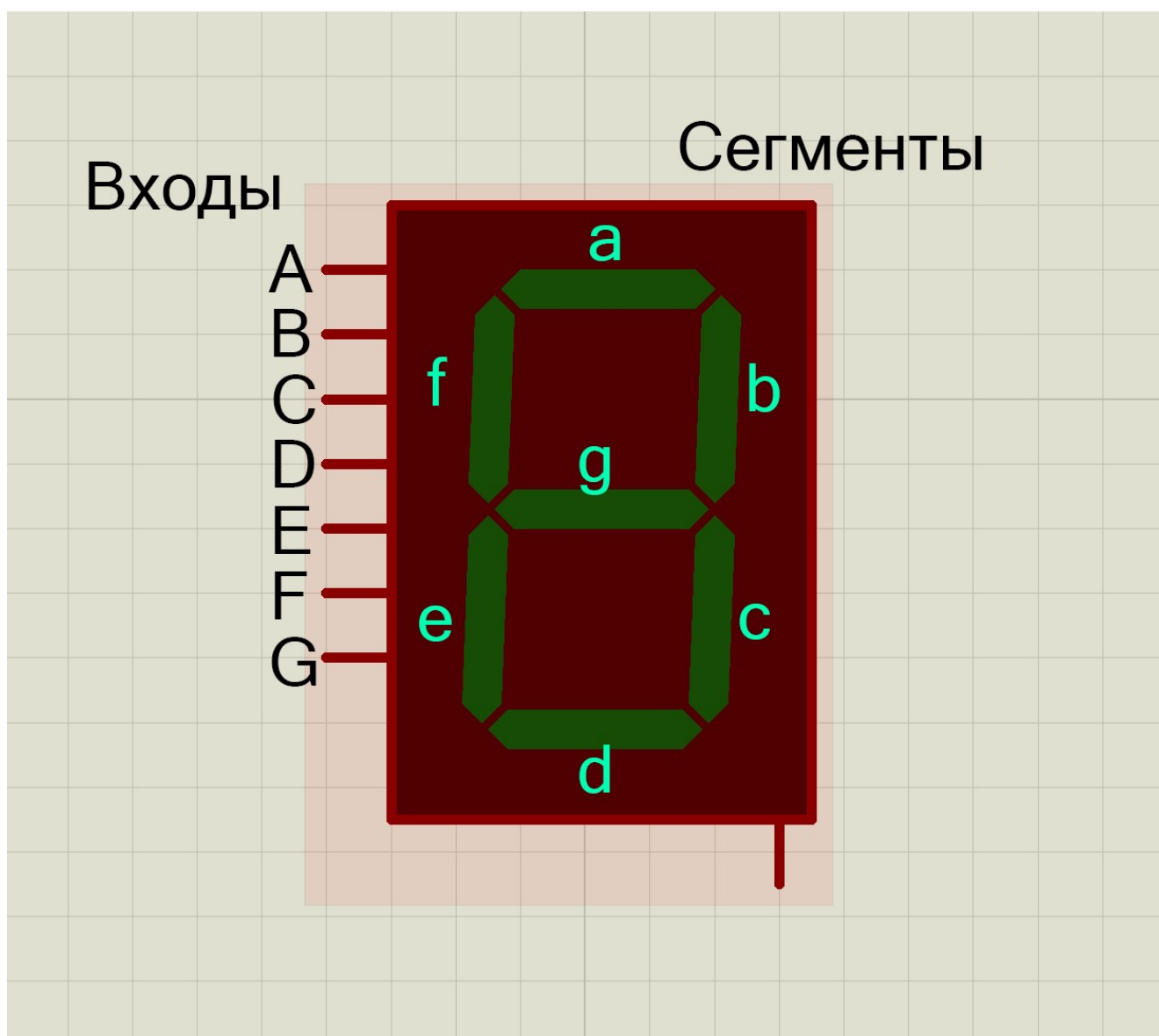


Рисунок 5.11 – Схема соответствия «Вход-Сегмент» у семисегментного индикатора

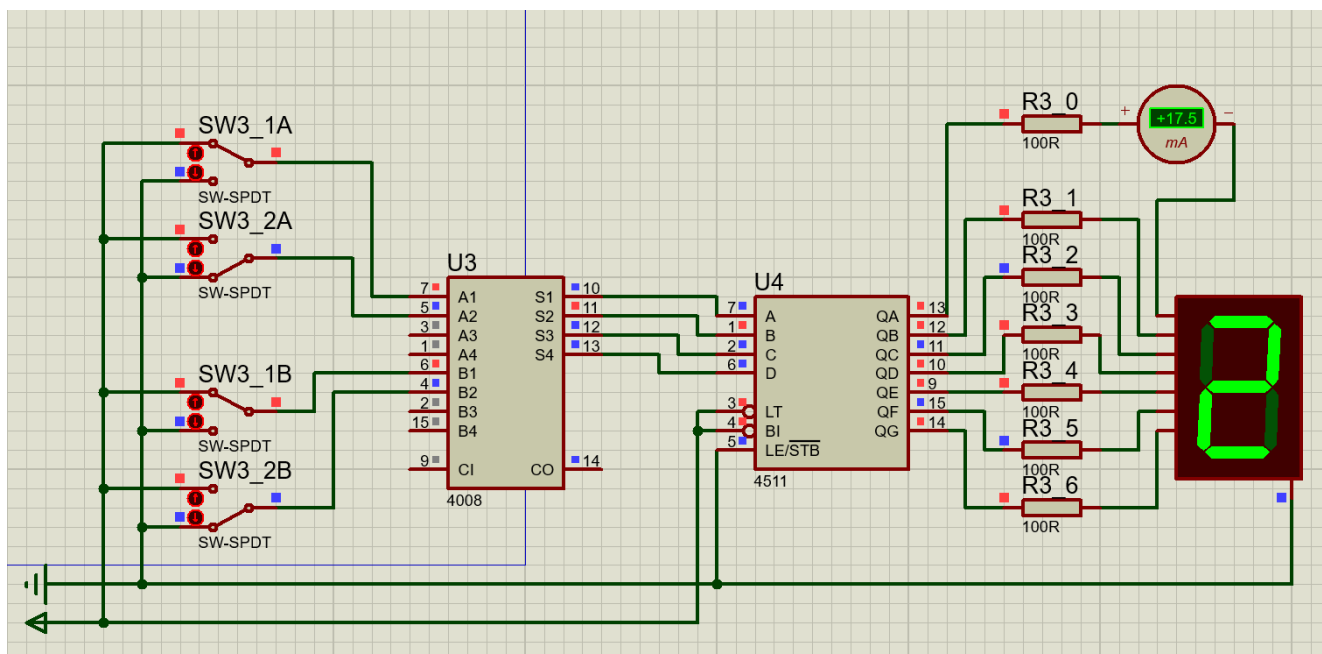


Рисунок 5.12 – Схема исследования сумматора

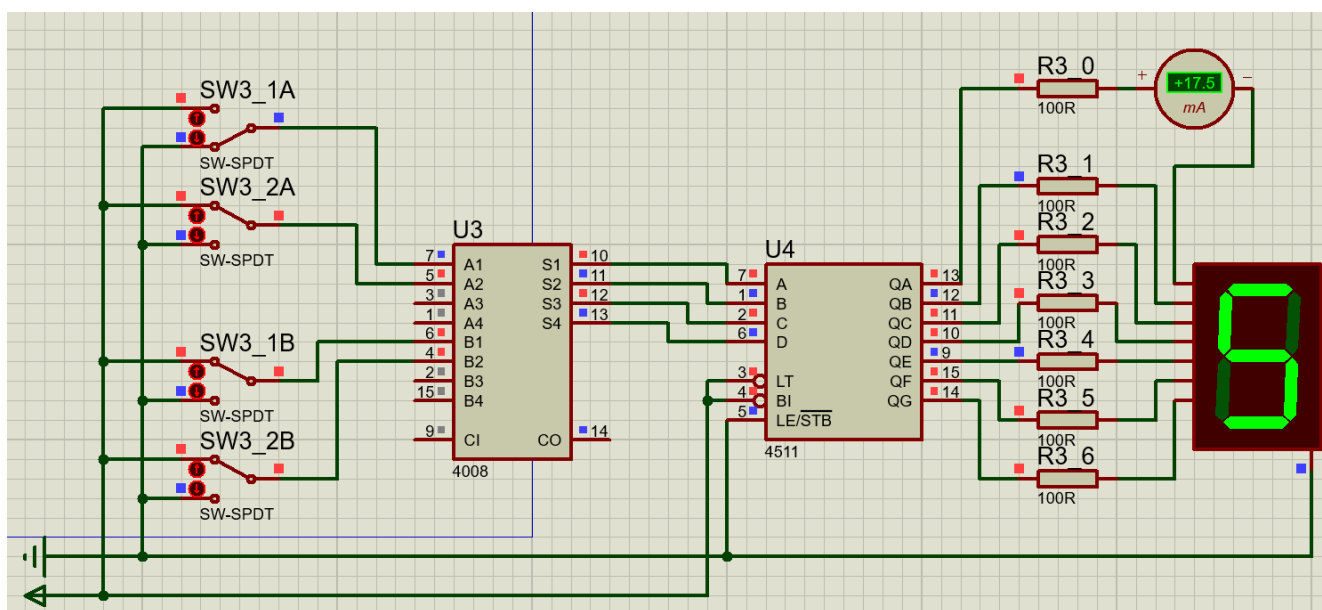


Рисунок 5.13 – Показания индикатора, если на вход сумматора подать комбинации чисел «2» и «3»

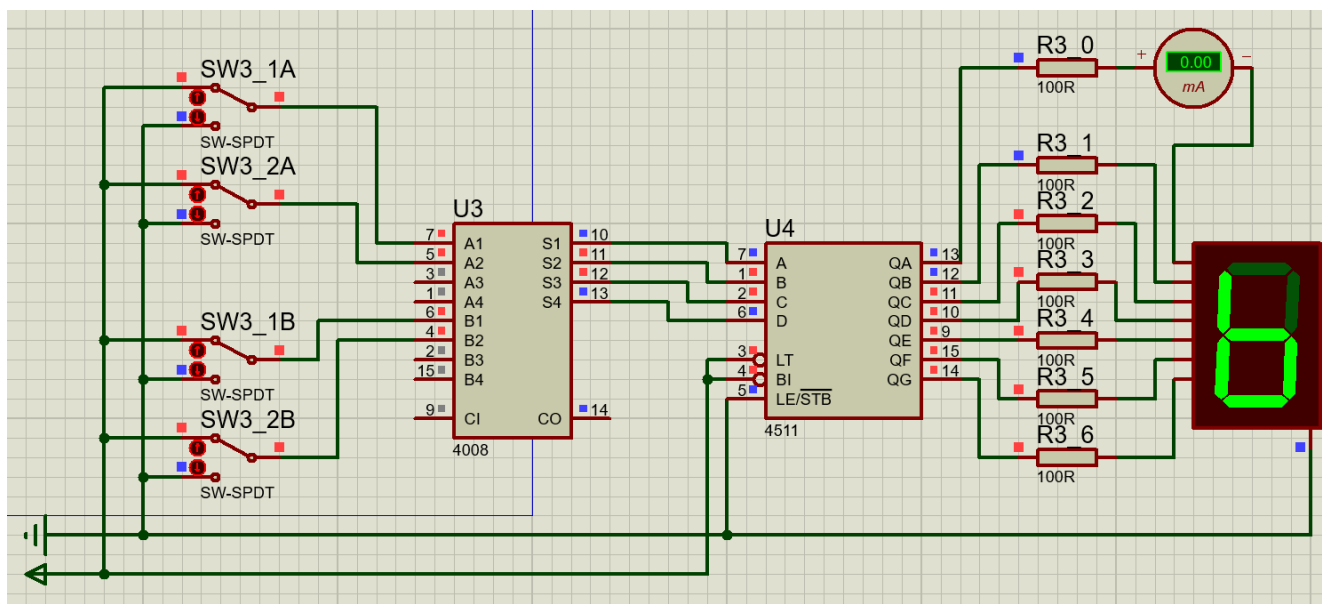


Рисунок 5.14 – Показания индикатора, если на вход сумматора подать комбинации чисел «3» и «3»