

4. Логические элементы информационных систем

Основными операциями, осуществляемыми в информационных и вычислительных системах, являются арифметические и логические операции. К арифметическим операциям относится сложение, вычитание, умножение и деление. К наиболее широко используемым логическим операциям относятся:

- инверсия (отрицание, логическое НЕ);
- конъюнкция (логическое И);
- дизъюнкция (логическое ИЛИ);
- эквивалентность (исключающее ИЛИ).

В электронных устройствах реализация арифметических операций осуществляется с помощью сумматоров, а логические – с помощью инверторов, схем ИЛИ и И. Остальные логические функции могут быть реализованы с помощью этих трех элементов. Поэтому элементы НЕ, И и ИЛИ называют базовыми элементами. К базовым относятся также элементы И-НЕ, а также ИЛИ-НЕ.

Логические элементы И и ИЛИ могут быть реализованы с помощью диодов, транзисторов, либо комбинацией диодов и транзисторов. Элементы НЕ, И-НЕ и ИЛИ-НЕ могут быть построены только с использованием транзисторов.

В зависимости от способов реализации различают логические элементы: ДТЛ-диодно-транзисторная логика; ТТЛ-транзисторно-транзисторная логика; КМОП-логика (логика на основе КМОП транзисторов).

В настоящее время наиболее широко применяются элементы на основе КМОП-логики.

Наиболее простой логический элемент И получается при помощи диодов. Схема такого элемента на два входа приведена на рисунке 4.1а.

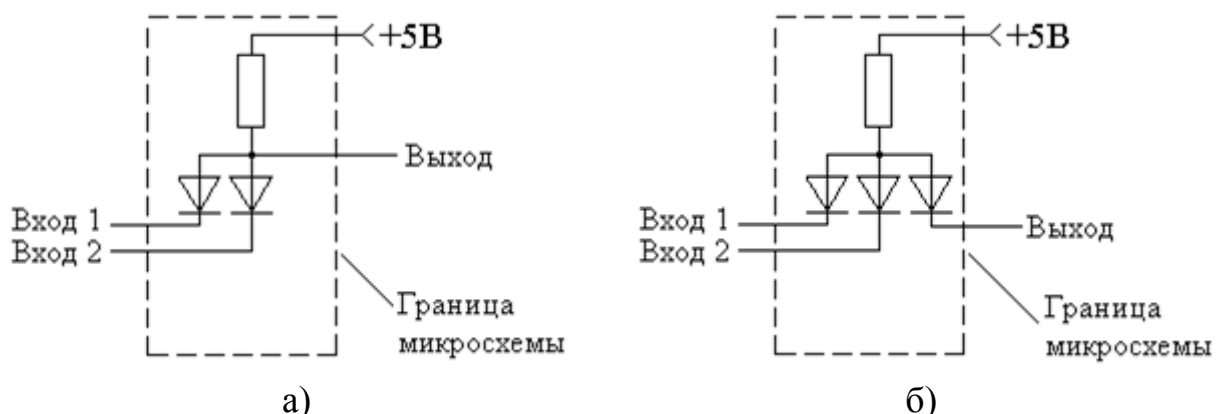


Рисунок 4.1- Схема логического элемента "И" на диодах

В этой схеме при подаче нулевого потенциала на любой из входов (или на оба сразу) через резистор будет протекать ток и на его сопротивлении возникнет падение напряжения. В результате на выходе схемы будет нулевой

потенциал (равный падению напряжения на открытом диоде). Единичный потенциал на выходе схемы будет только если подать единичный потенциал сразу на оба входа.

Количество входов элемента "И" зависит от количества диодов. Если использовать два диода, то получится элемент "2И", если три диода - то "3И", если четыре диода, то "4И", и так далее. В микросхемах выпускается максимальный элемент "8И".

Приведенная схема обладает таким недостатком, как смещение логических уровней на выходе микросхемы. Напряжение нуля и напряжение единицы на выходе схемы выше входных уровней на 0.7 В. Это вызвано падением напряжения на входных диодах. Скомпенсировать это смещение уровней можно диодом, включенным на выходе схемы, как это показано на рисунке 4.1б.

В этой схеме логические уровни на входе и выходе схемы одинаковы. Более того, схема на рисунке 4.1б становится нечувствительной не только к входным напряжениям, большим напряжения питания схемы, но и к отрицательным входным напряжениям. Диоды выдерживают напряжение до сотен вольт.

В логических элементах ДТЛ вместе с диодной схемой "И" используется двухтактный усилитель на биполярных транзисторах. Схема такого элемента приведена на рисунке 4.2а.

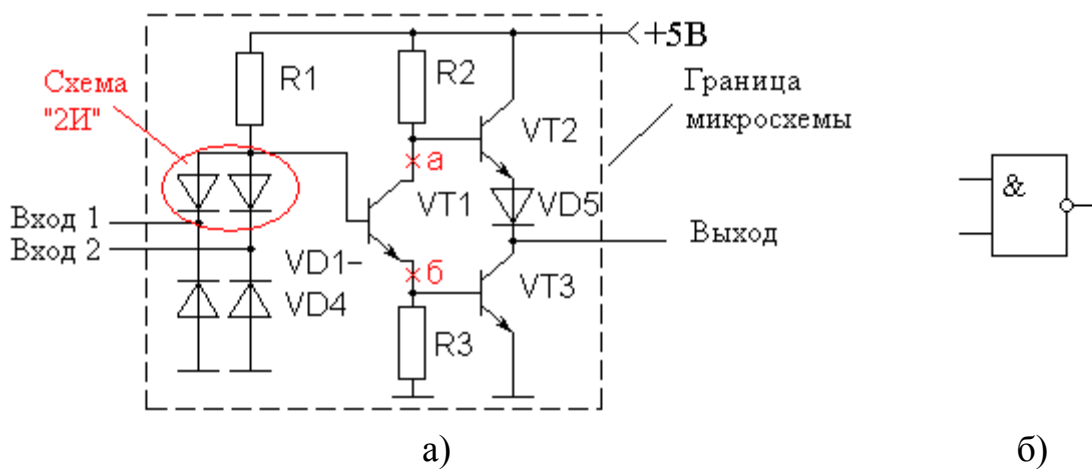


Рисунок 4.2- Принципиальная схема базового элемента микросхемы ДТЛ (а) и его условное обозначение (б)

Транзисторный каскад инвертирует выходной сигнал и поэтому устройство выполняет функцию И-НЕ.

В ТТЛ схемах вместо входных диодов используется многоэмиттерный транзистор. Физика работы этого элемента не отличается от работы диодного элемента "2И". Высокий потенциал на выходе многоэмиттерного транзистора получается только в том случае, когда на обоих входах элемента (эмиттерах транзистора) присутствует высокий потенциал (то есть, нет эмиттерного то-

ка). Принципиальная схема типового элемента ТТЛ микросхемы приведена на рисунке 4.3.

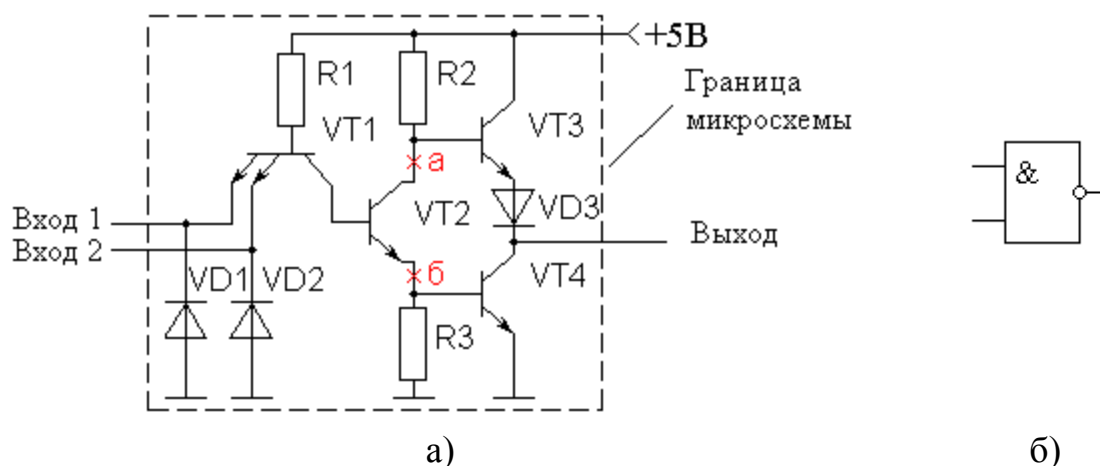


Рисунок 4.3 - Принципиальная схема типового элемента ТТЛ микросхемы (а) и его условное обозначение (б)

Усилитель мощности, как и в диодно-транзисторном элементе, инвертирует сигнал на выходе схемы. По такой схеме выполнены базовые элементы микросхем серий 155, 131, 155 и 531. Схемы "И-НЕ" в этих сериях микросхем обычно имеет обозначение ЛА. Например, схема К531ЛА3 содержит в одном корпусе четыре элемента "2И-НЕ".

При необходимости объединения нескольких логических элементов "И" по схеме "ИЛИ" (или при реализации логических элементов "ИЛИ") транзисторы VT2 соединяются параллельно в точках "а" и "б", показанных на рисунке 8, а выходной каскад используется один. В результате быстродействие такого достаточно сложного элемента получается точно таким же как и у одиночного элемента "2И-НЕ". Принципиальная схема логического элемента "2И-2ИЛИ-НЕ" приведена на рисунке 4.4а, а его условное обозначение на рис. 4.4б.

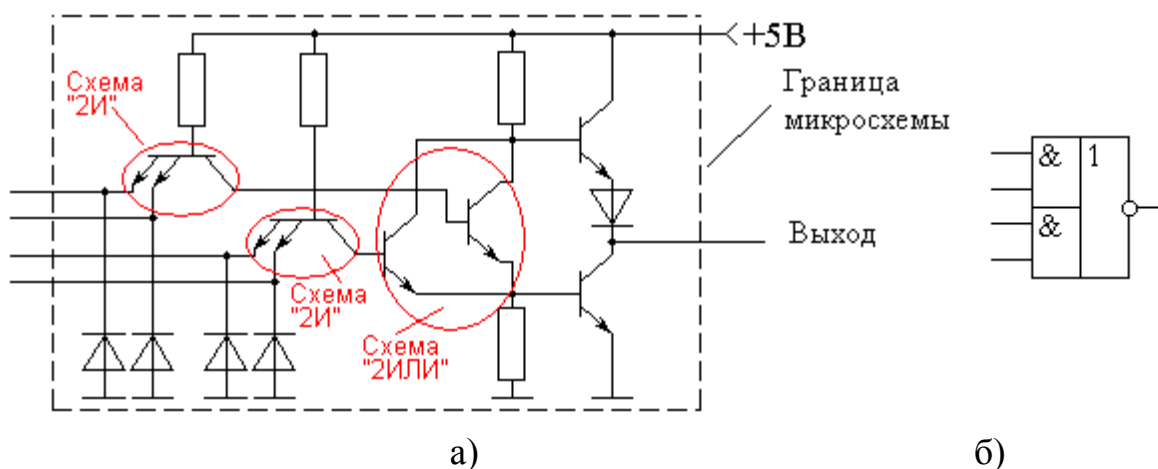


Рисунок 4.4 – Принципиальная схема (а) и условное обозначение (б) ТТЛ логического элемента 2И-2ИЛИ-НЕ

В настоящее время применяются два вида ТТЛ микросхем - с пяти и с трёхвольтовым питанием, но, независимо от напряжения питания микросхем, логические уровни нуля и единицы на выходе этих микросхем совпадают. Поэтому дополнительного согласования между ТТЛ микросхемами обычно не требуется. Допустимый уровень напряжения на выходе цифровой ТТЛ микросхемы показан на рисунке 4.5.

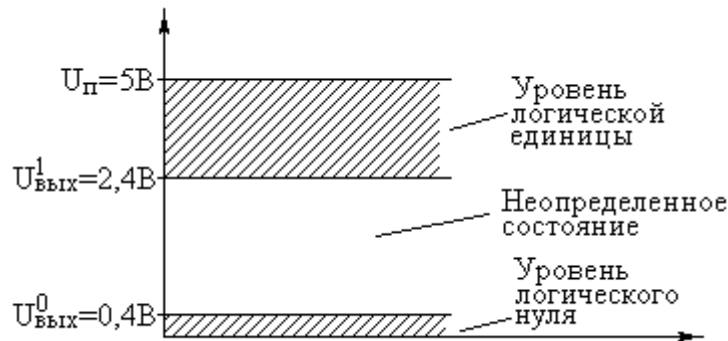


Рисунок 4.5. Уровни логических сигналов на выходе цифровых ТТЛ микросхем.

Логические микросхемы на комплементарных транзисторах строятся на основе МОП транзисторов с n - и p -каналами. Один и тот же потенциал открывает транзистор с n -каналом и закрывает транзистор с p -каналом. При подаче на вход комплементарной пары сигнала с нулевым уровнем нижний транзистор будет закрыт, а верхний открыт. В результате ток через микросхему не протекает, а на выходе будет сигнал высокого уровня (логическая 1). При подаче на вход сигнала логической 1 открывается нижний транзистор, а верхний закрывается и на выходе будет сигнал логического 0. И в этом случае ток через микросхему не протекает. Такая комплементарная пара представляет собой логический элемент инвертор. Его схема приведена на рисунке 4.6,а а условное обозначение – на рис.4.6,б.

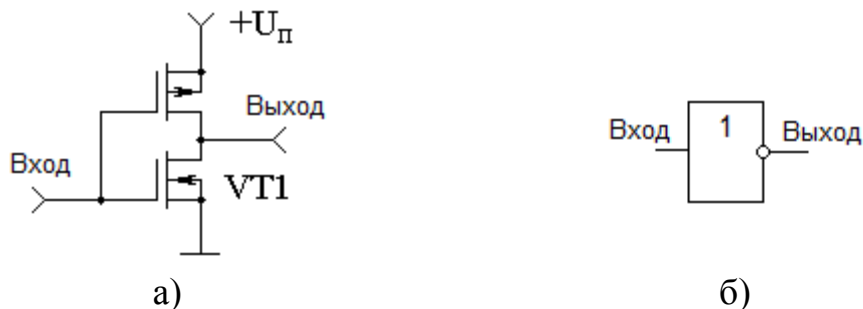


Рисунок 4.6 – Схема инвертора на комплементарных МОП транзисторах

На этой схеме для упрощения понимания принципов работы микросхемы не показаны защитные и паразитные диоды. Особенностью микросхем на комплементарных МОП транзисторах является то, что в этих микросхемах в статическом режиме ток практически не потребляется. Потребление тока

происходит только в момент переключения микросхемы из единичного состояния в нулевое и наоборот. Этим током производится перезаряд паразитной ёмкости нагрузки.

Схема логического элемента 2И-НЕ на КМОП микросхемах практически приведена на рисунке 4.7.

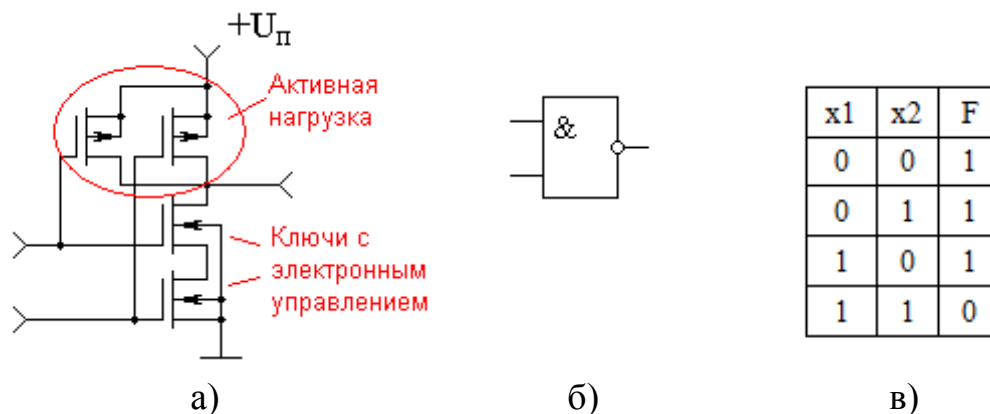


Рисунок 4.7- Принципиальная схема элемента 2И-НЕ (а), выполненного на комплементарных МОП транзисторах, условное графическое обозначение (б) и таблица истинности (в)

В этой схеме можно было бы применить в верхнем плече обыкновенный резистор, однако при формировании низкого уровня схема постоянно потребляла бы ток. Вместо этого, в качестве нагрузки используются *p*-МОП транзисторы. Эти транзисторы образуют активную нагрузку. Если на выходе требуется сформировать высокий потенциал, то транзисторы открываются, а если низкий - то закрываются.

В приведённой на рисунке 4.7 схеме ток от источника питания на выход микросхемы будет поступать через один из транзисторов, если хотя бы на одном из входов (или на обоих сразу) будет присутствовать низкий потенциал (уровень логического нуля). Если же на обоих входах будет присутствовать уровень логической единицы, то оба *p*-МОП транзистора будут закрыты и на выходе микросхемы сформируется низкий потенциал. В этой схеме в статическом состоянии ток микросхемой от источника питания потребляться не будет. Условно-графическое изображение такого логического элемента показано на рисунке 4.7,б, а таблица истинности – на рис.4.7,в. В этой таблице входы обозначены как x1 и x2, а выход - F.

Логический элемент "2ИЛИ-НЕ", выполненный на КМОП транзисторах, изображена на рисунке 4. В схеме логического элемента "2ИЛИ-НЕ" в качестве нагрузки используются последовательно включенные *p*-МОП транзисторы. В ней ток от источника питания на выход микросхемы будет поступать только если все транзистора в верхнем плече будут открыты, т.е. если сразу на всех входах будет присутствовать низкий потенциал (уровень логического нуля). Если же хотя бы на одном из входов будет присутствовать уровень логической единицы, то верхнее плечо будет закрыто и ток от источника питания поступать на выход микросхемы не будет.

Условно-графическое обозначение элемента 2ИЛИ-НЕ приведено на рисунке 4.8,б а таблица истинности – на рис. 4.8,в.



Рисунок 4.8 - Принципиальная схема элемента "2ИЛИ-НЕ", выполненного на комплементарных МОП транзисторах (а), условное графическое обозначение (б) и таблица истинности (в)

Из-за очень высокого входного сопротивления КМОП-транзисторов они очень чувствительны к статическому электричеству, величина которого может составлять сотни и тысячи вольт. Для защиты от электрического пробоя на входах и выходах таких схем устанавливаются защитные диоды. Схема КМОП инвертора с защитными диодами изображена на рисунке 4.9.

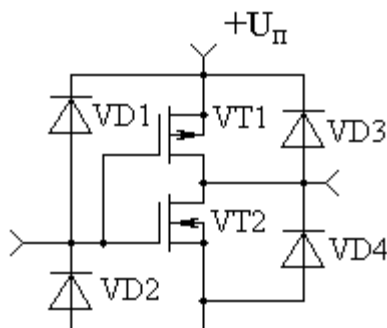


Рисунок 4.9 - Полная схема КМОП инвертора

Диапазон питающего напряжения в КМОП-логике может составлять 0,8... 15 В. Поэтому логические уровни КМОП микросхем существенно отличаются от логических уровней ТТЛ микросхем. При отсутствии тока нагрузки напряжение на выходе КМОП микросхемы совпадает с напряжением питания (логический уровень единицы) или с потенциалом общего провода (логический уровень нуля). При увеличении тока нагрузки напряжение логической единицы может уменьшаться до 2,8В ($U_{п} = 15$ В) от напряжения питания. Наиболее перспективным семейством КМОП микросхем считается семейство SN74AUC с временем задержки сигнала 1,9 нс и диапазоном питания 0,8..2,7В.