

6. Последовательностные цифровые устройства

Последовательностные цифровые устройства (ПЦУ) характеризуются тем, что выходные сигналы зависят не только от текущих значений входных сигналов, но и от последовательности значений входных сигналов, поступивших на входы в предшествующие моменты времени. Структурная схема ПЦУ показана на рисунке 6.1.

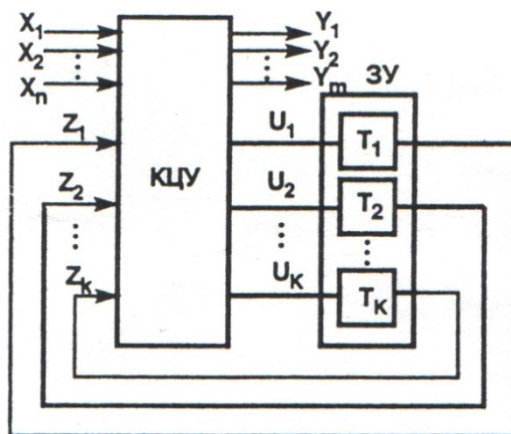


Рисунок 6.1 – Структура последовательностного цифрового устройства

В его состав входит комбинационное цифровое устройство (КЦУ) и запоминающее устройство (ЗУ), состоящее из ячеек памяти, реализованных с помощью триггеров Т.

6.1. Триггеры

Триггеры – устройства, имеющие два устойчивых состояния, служащие для запоминания двоичной информации. Триггеры относятся к цифровым автоматам. В отличие от комбинационных схем состояние на выходе триггера в данный момент времени определяется не только состояниями на входах триггера в этот же момент времени, но и предыдущим состоянием триггера.

Триггеры являются наиболее массовыми устройствами, используемыми в вычислительной и информационной технике. На их основе построены некоторые виды оперативной памяти, порты ввода-вывода в компьютерах и пр. Триггеры применяются также для построения различного типа регистров и счетчиков импульсов.

Состояния триггера определяются по логическим уровням на его выходах. В триггере имеется два выхода: прямой и инверсный. Прямой выход обычно обозначают символом Q, а инверсный Q с чертой. Состояние триггера определяют по логическому уровню на выходе Q. Говорят, что триггер находится в состоянии логической единицы, если на выходе Q имеется высокий уровень напряжения, соответствующий логической единице. Обычно это 2,4 - 6 В.

Входы триггера разделяются на информационные и управляющие. *Информационные* входы обозначаются следующим образом:

S (от англ. SET) — вход для установки триггера в состояние «1»;

R (от англ. *RESET*) — вход для установки триггера в состояние «0»;

J (*Jump* –прыжок) — вход для установки в состояние «1» в универсальном триггере;

K (*Kill* –отключение) — вход для установки в состоянии «0» в универсальном триггере;

T (*Toggle* – переключатель) — счётный (общий) вход;

D (*Data*) — вход для установки в состояние «1» или состояние «0».

Управляющие входы обозначаются:

V — для разрешения приёма информации (иногда обозначается буквой E);

C (*Clock*)— Вход синхронизации;

OE (*Output Enable*) – разрешение выхода.

Обычно название триггера связано с имеющимися у него входами:

RS-триггер, JK-триггер, D-триггер и др.

По способу записи информации триггеры подразделяются на асинхронные и синхронные. В *асинхронных триггерах* состояние на выходе изменяется сразу же после изменения сигнала на информационных входах. В *синхронных триггерах* для передачи сигнала с информационных входов на выходы требуется специальный синхронизирующий (стробирующий) импульс. Синхронные триггеры подразделяются на триггеры со статическим управлением и триггеры с динамическим управлением. В триггерах с динамическим управлением передача сигнала с информационных входов на выходы осуществляется по фронту или по спаду синхронизирующего импульса.

Триггеры могут быть построены на двух дискретных транзисторах резисторах или на логических элементах. В настоящее время промышленностью выпускаются триггеры различного типа в виде интегральных микросхем, каждая из которых содержит один или несколько триггеров.

RS-триггеры.

Наибольшее распространение получили RS-триггеры, построенные на логических элементах 2И-НЕ или 2ИЛИ-НЕ. На рисунке 6.2,а приведена функциональная схема RS-триггера с инверсными входами на двух логических элементах 2И-НЕ, а на рисунке 6.2,б – его условное обозначение на принципиальных схемах.

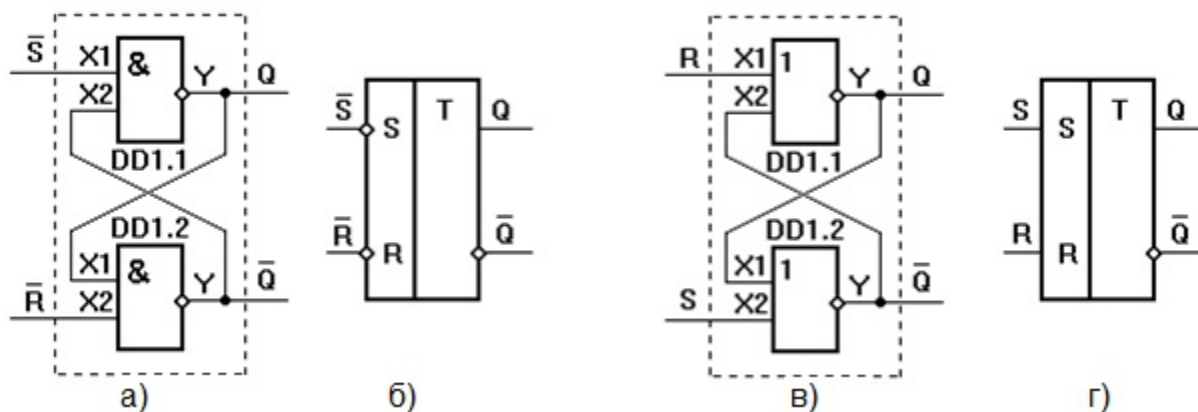
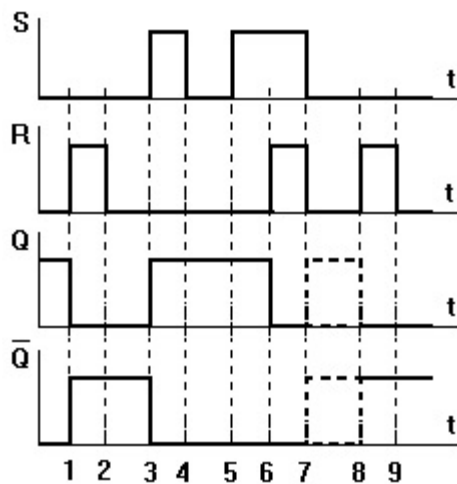


Рисунок 6.2 - RS-триггеры с инверсными и прямыми информационными входами

RS-триггер с прямыми входами можно построить на двух логических элементах 2ИЛИ-НЕ. Функциональная схема RS-триггера с прямыми входами на двух логических элементах 2ИЛИ-НЕ и его условное обозначение на принципиальных схемах приведены соответственно на рис. 6.2,в и г. Работу RS-триггера можно описать различными способами: аналитически с помощью формулы; с помощью таблицы (рис.6.3,а), в которой записываются состояния на входах и выходах триггера в различные моменты времени; с помощью временных диаграмм рис.6.3,б).

R	S	Q	\bar{Q}
0	0	исх.	исх.
0	1	1	0
1	0	0	1
1	1	неопр.	неопр.

а)



б)

Рисунок 6.3- Таблица истинности (а) и временная диаграмма (б) RS –триггера

На временной диаграмме показывают, как меняются сигналы на выходах триггера при изменении сигналов на его входах. Как видно из диаграммы триггер переключается сигналами высокого уровня. При $R=S=0$ триггер не изменяет свое состояние. Значение сигналов $R=S=1$ является запрещенным, т.к. триггер будет находиться в неопределенном состоянии.

Рассмотренные триггеры относятся к асинхронным триггерам, состояние на выходе которых изменяется в момент поступления сигналов на информационные входы. В синхронных триггерах для передачи сигнала с информационных входов на выход требуется специальный синхронизирующий импульс.

Синхронные триггеры подразделяются на триггеры со статическим управлением и триггеры с динамическим управлением. В триггерах с динамическим управлением передача сигналов с информационных входов на выходы осуществляется по фронту синхронизирующего импульса, либо по спаду синхронизирующего импульса.

На рисунках 6.4,а,в приведены функциональные схемы синхронного RS-триггера с прямыми входами, а условное обозначение этих триггеров на принципиальных схемах показано на рисунке 1.39,б. Схема состоит из асинхронного триггера DD1.1, DD1.2 и ключевых элементов DD2.1 DD2.2.

Рассмотрим функциональную схему синхронного RS-триггера, приведенную на рисунке 6.4а. При $C=0$ на входах R, S асинхронного триггера на элементах DD1.1 и DD1.2 действуют сигналы логического нуля (логический ноль является пассивным логическим уровнем для логических элементов

2ИЛИ-НЕ), поэтому при любых комбинациях сигналов на входах R, S синхронного RS-триггера состояние триггера не меняется. При $C=1$ рассмотренный синхронный RS-триггер работает точно так же, как рассмотренный чуть раньше асинхронный RS-триггер с прямыми входами. Рассмотренный только что синхронный RS-триггер относится к триггерам со статическим управлением.

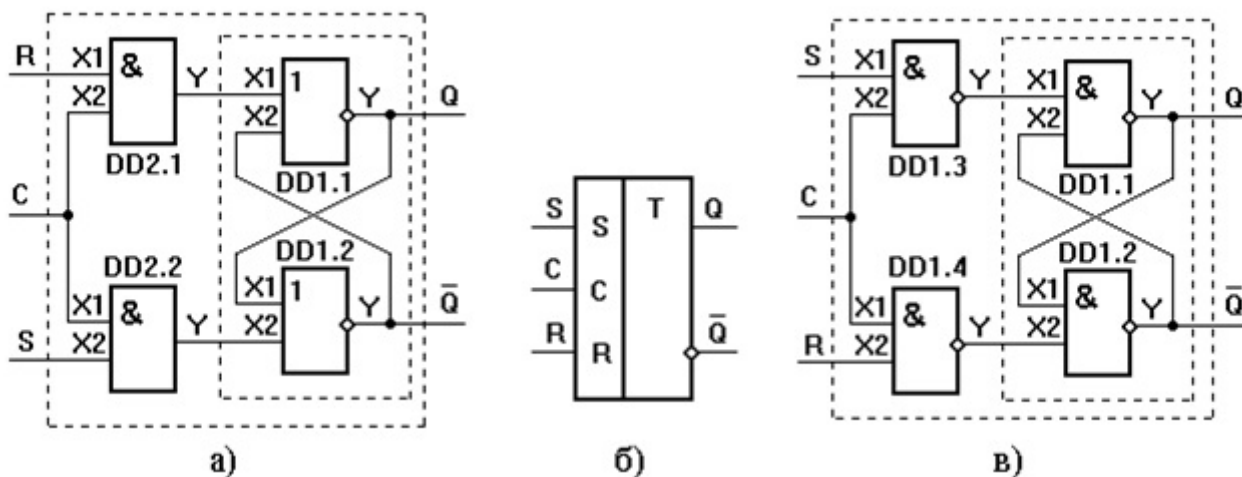


Рисунок 6.4 – Синхронные RS-триггеры на элементах ИЛИ-НЕ и И-НЕ

На рисунках 6.5 приведены условные графические обозначения синхронных RS-триггеров с динамическим управлением. и 6.6,б. Если в обозначении синхронного RS-триггера с динамическим управлением стрелочка на входе С направлена к триггеру (рис.6.5,а) или имеется наклонная черта вправо (рис.6.5,б), то переключение триггера происходит по переднему фронту синхроимпульса, а если стрелочка направлена от обозначения триггера (рис.6.5,в) или имеется наклонная черта влево (рис.6.5,г), то переключение триггера осуществляется по спаду (заднему фронту) импульса С.

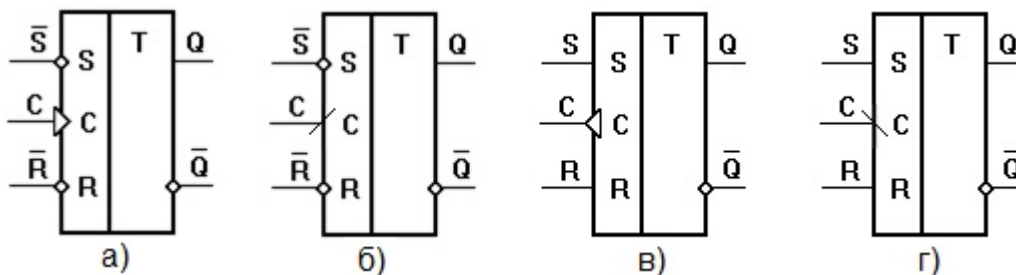


Рисунок 6.5 –Условные обозначения синхронных RS-триггеров с динамическим управлением

Д-триггеры со статическим и динамическим управлением. Функциональная схема и условное графическое обозначение Д-триггера со статическим управлением изображены на рис.6.6,а и 6.6,б, а условное обозначение на принципиальных схемах Д-триггера с динамическим управлением – на рисунке 6.6,в.

При $C=0$ состояние триггера изменяться не будет какой бы ни был сигнал на входе D, т.к. на выходах элементов DD2.1, DD2.2 будут сигналы логических нулей. При $C=1$ и $D=1$ на выходе элемента DD2.1 появится сигнал логического нуля,

а на прямом выходе D-триггера – сигнал логической единицы. При $C=1$ и $D=0$ сигнал логического нуля появится на выходе элемента DD2.2, на инверсном выходе D-триггера установится логическая единица, а на прямом выходе – логический нуль. Таким образом, D-триггер воспринимает информацию с входа D и передает ее на выход Q при $C=1$, и затем хранит ее сколько угодно долго (пока подключен источник питания) при $C=0$. Т.е. мы имеем ячейку памяти для хранения 1 бита информации.

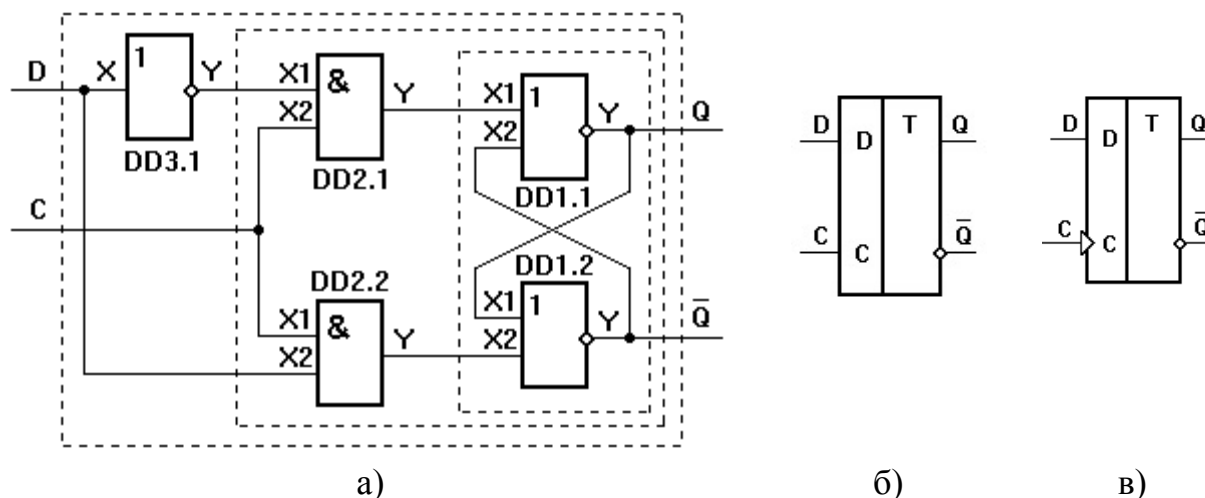


Рисунок 6.6 – Функциональная схема статического D-триггера (а), и условные обозначения статического (б) и динамического D-триггеров

Временная диаграмма работы D-триггера со статическим управлением приведена на рисунке 6.7а, а таблица истинности – на рис.6.7б. Из диаграммы следует, что передача информации с входа D на выход Q осуществляется во время действия синхронизирующего импульса. Счетный триггер из данного триггера путем соединения инверсного выхода с входом D получить нельзя.

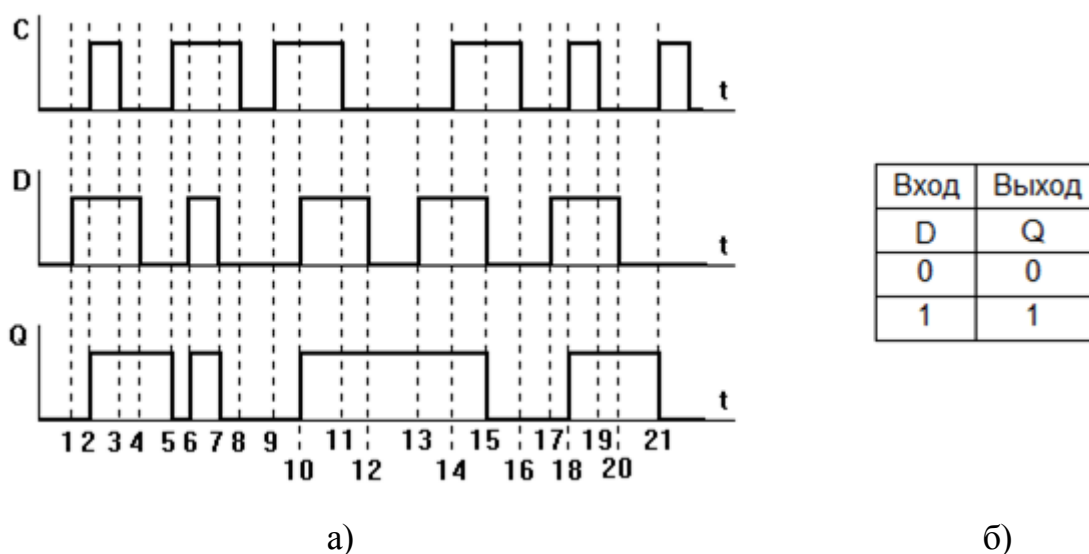
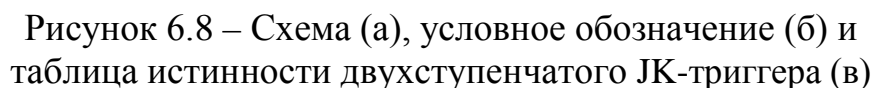


Рисунок 6.7 – Временная диаграмма (а) и таблица истинности (б) D-триггера

В JK-триггере устранена неопределенность, возникающая в RS-триггере при одновременной подаче активных логических сигналов на входы R и S. Это достигается за счет использования двухступенчатой схемы с обратными связями (рис.6.8.а).



6.2. Счетчики электрических импульсов

Счетчиком называют цифровое устройство, обеспечивающее подсчет числа электрических импульсов. Коэффициент пересчета счетчика равен минимальному числу импульсов, поступивших на вход счетчика, после которых состояния на выходе счетчика начинают повторяться, начиная с нулевого. Счетчик называют суммирующим, если после каждого очередного импульса цифровой код на выходе счетчика увеличивается на единицу. В вычитающем счетчике после каждого импульса на входе счетчика цифровой код на выходе уменьшается на единицу. Счетчики, в которых возможно переключение с режима суммирования на режим вычитания, называются реверсивными.

Счетчики могут быть с предварительной установкой. В таких счетчиках информация с входов предварительной установки передается на выходы счетчика по сигналу на специальном входе предварительной установки.

Схема счётчика, позволяющего посчитать любое количество импульсов, меньшее шестнадцати, приведена на рисунке 6.9. Количество поступивших на вход импульсов можно узнать, подключившись к выходам счётчика $Q0 \dots Q3$. Это число будет представлено в двоичном коде.

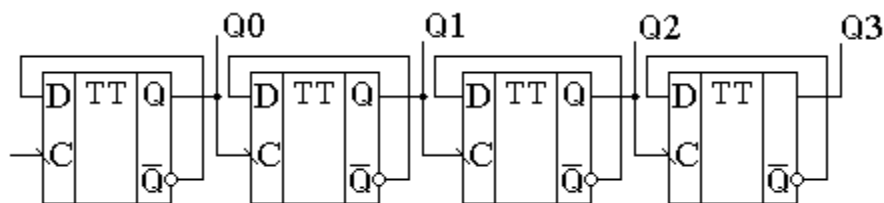


Рисунок 6.9 - Схема четырёхразрядного счётчика, построенного на универсальных D-триггерах

Временная диаграмма счетчика изображена на рис.6.9.

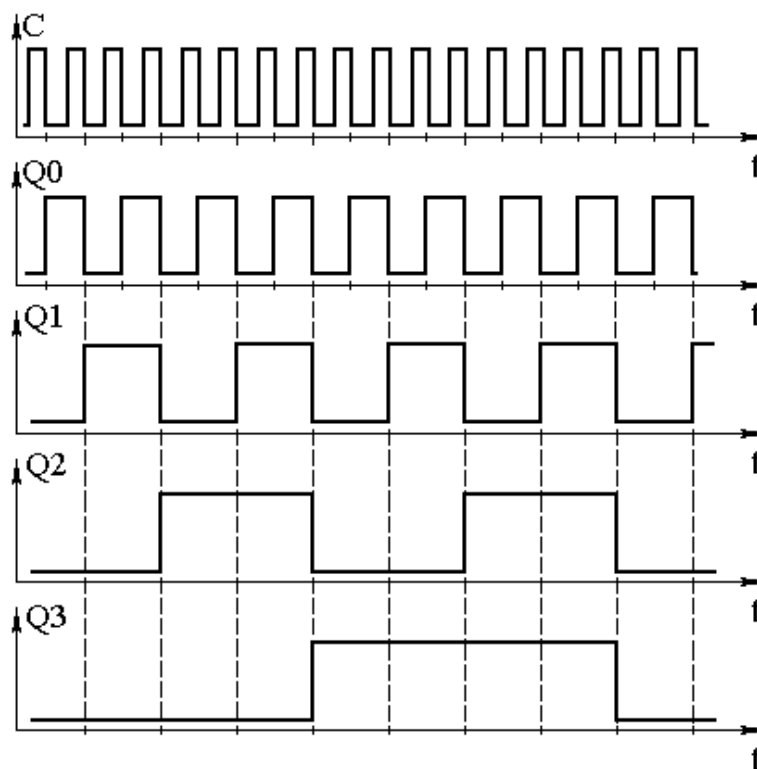


Рисунок 6.10 - Временная диаграмма четырёхразрядного счётчика

Недвоичные счетчики.

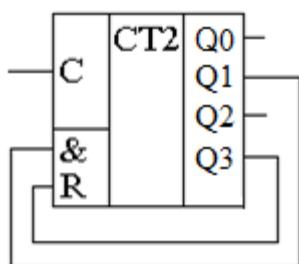
При использовании цифровых счётчиков в качестве устройств формирования опорных частот часто требуется обеспечить коэффициент деления частоты, отличающийся от степени числа 2. В этом случае требуется счётчик с недвоичным коэффициентом пересчёта.

Построить недвоичный счётчик можно из двоичного за счёт исключения избыточных комбинаций единиц и нулей. Это может быть осуществлено при помощи обратной связи. Для получения заданного коэффициента пересчета при помощи дешифратора (схемы И) определяется число, соответствующее коэффициенту пересчёта, и сигнал с выхода этого дешифратора обнуляет содержимое двоичного счётчика. В таблице 6.1 приведены состояния на выходах счетчика с коэффициентом пересчета десять после поступления каждого очередного импульса, причем счетчик предварительно был установлен в нулевое состояние.

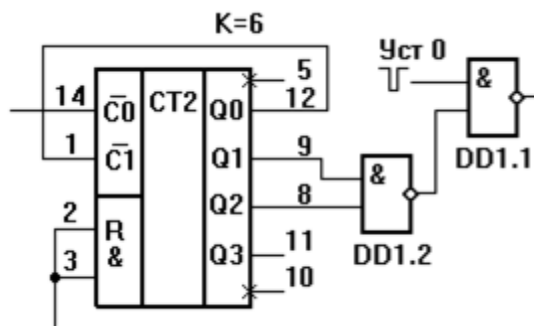
Таблица 6.1 – Состояния выходов двоично-десятичного счетчика

№ импульса	0	1	2	3	4	5	6	7	8	9	10	11	12	13
Q0	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Q1	0	0	1	1	0	0	1	1	0	0	0	0	1	1
Q2	0	0	0	0	1	1	1	1	0	0	0	0	0	0
Q3	0	0	0	0	0	0	0	0	1	1	0	0	0	0

На рис.6.11а показана схема двоично-десятичного счетчика, построенного на основе двоичного счетчика.



а)



б)

Рисунок 6.11 – Примеры реализации недвоичных счетчиков с коэффициентом пересчета 10 (а) и 6 (б)

На рис.6.11б приведена схема счетчика с коэффициентом пересчета 6 и с отдельным входом импульса установки счетчика в нулевое состояние. В схеме использована микросхема К155ИЕ4 (зарубежный аналог микросхема 7492), в которой первый триггер (вывод 12) не соединен с последующим триггером. Для этого соединения необходимо вывод 12 подключить ко входу второго триггера счетчика (вывод1).

6.6. Регистры

Регистр — это последовательностное логическое устройство, используемое для хранения n -разрядных двоичных чисел и выполнения преобразований над ними. Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове. На схемах ре-

гистры обозначаются буквами RG. Регистр обеспечивает выполнение следующих типичных операций:

- приём слова в регистр;
- передача слова из регистра;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный и параллельного в последовательный;
- установка регистра в начальное состояние (сброс).

Регистры подразделяются на параллельные и последовательные. Параллельные служат в основном для хранения информации, а сдвиговые – для преобразования параллельного кода в последовательный и наоборот.

Основой параллельного и последовательного регистра являются D-триггеры (рис.6.12). В параллельных регистрах могут использоваться как статические, так и динамические триггеры. В последовательных регистрах применяются только динамические D-триггеры.

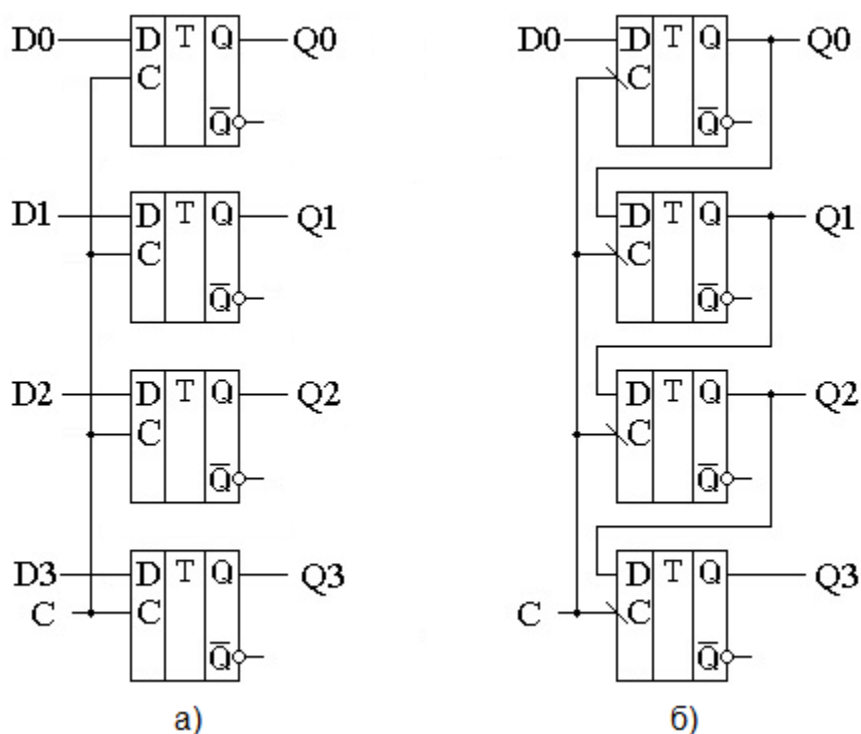


Рисунок 6.12 – Схемы параллельного (а) и последовательного (б) регистров

В параллельном регистре (рис.6.12а) каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход Q. Тактовые (синхронизирующие) входы C всех триггеров соединены между собой. Для занесения информации в регистр на входы D_i подаются соответствующие сигналы и при подаче синхронизирующего импульса высокого уровня $C=1$ триггеры принимают состояние, которое было на их информационных входах. По окончании импульса C, триггеры не реагируют на информационные сигналы и остаются в таком состоянии, пока присутствует питание.

В последовательном регистре (рис.6.12б) выход Q предыдущего триггера соединен со входом D последующего триггера. Тактовые (синхронизирующие) входы С всех триггеров также соединены между собой. По заднему фронту тактового импульса последующий триггер принимает состояние, которое было в предыдущем триггере. Таким образом, с каждым тактовым импульсом происходит сдвиг информации в регистре на один разряд.