

Centro Federal de Educação Tecnológica de Minas Gerais - CEFET-MG
Curso de Engenharia de Computação
Laboratório de Arquitetura e Organização de Computadores II - 2017/1
Trabalho Prático 2: Processador Multiciclo

Victor Balbo de Oliveira
Vinícius Henrique Silveira

O objetivo dessa prática foi a implementação de um processador multiciclo conectado a uma memória de uma porta (apenas leitura) que contém as instruções que serão executadas pelo processador. Um contador é ligado ao módulo de memória para indicar qual instrução deve ser despachada. O esquema do processador pode ser observado nas figuras abaixo:

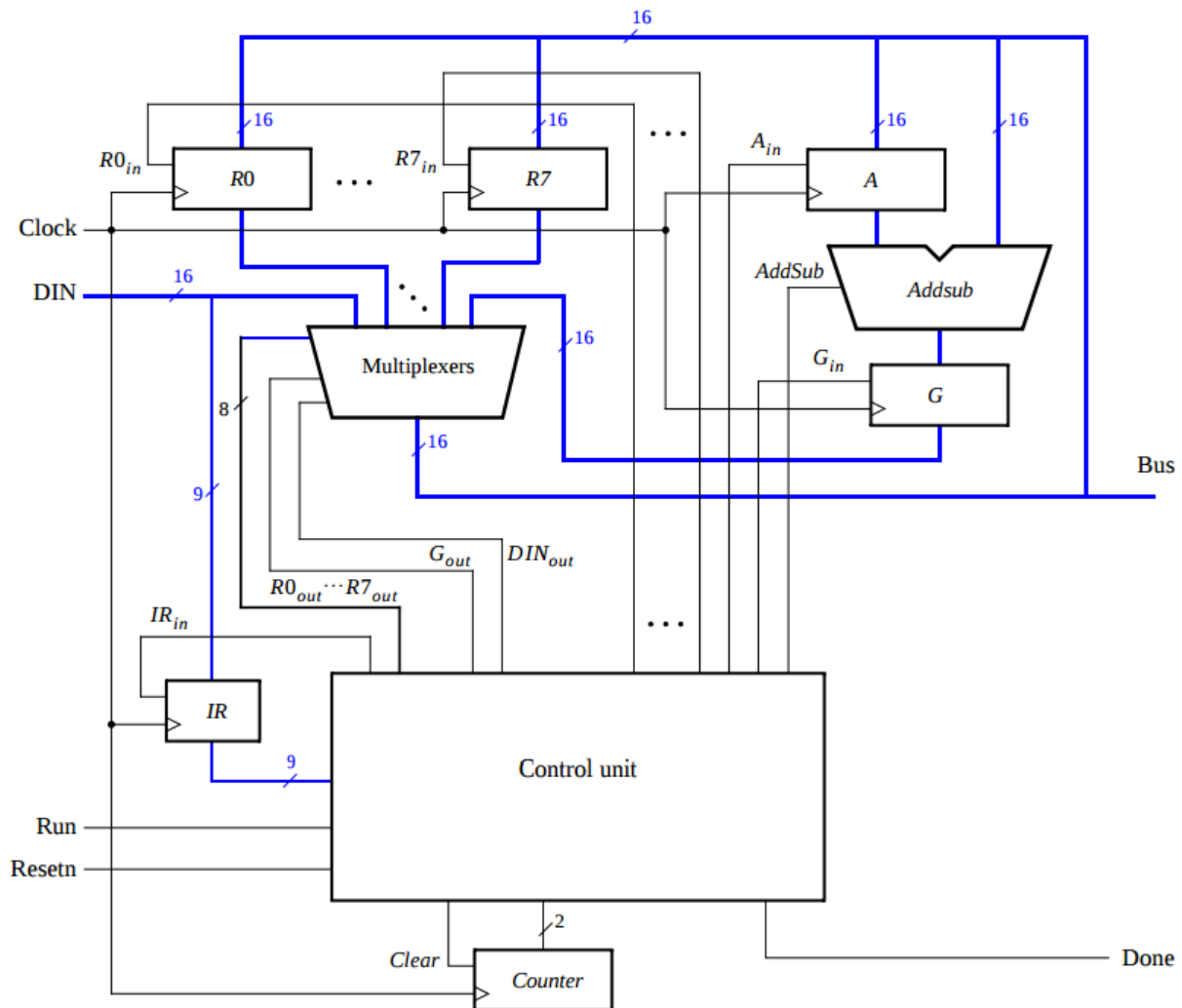


Figura 1: Módulo do processador

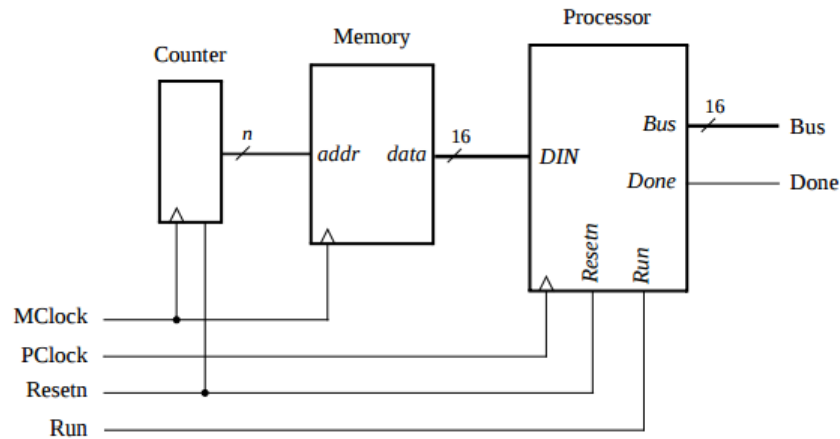


Figura 2: Módulo do processador

O processador é capaz de operar as seguintes instruções:

Tabela 1: Instruções suportadas pelo processador

Operações	Função Realizada	Opcode
mv R0, R1	$R0 = R1$	000
mvi R0, #I	$R0 = \#I$	001
add R0, R1	$R0 = R0 + R1$	010
sub R0, R1	$R0 = R0 - R1$	011
and R0, R1	$R0 = R0 \& R1$	100
slt R0, R1	if($R0 < R1$) $R0 = 1$ else $R0 = 0$	101
sll R0, R1	$R0 = R0 \ll R1$	110
srl R0, R1	$R0 = R0 \gg R1$	111

Apesar de DIN (entrada do processador) ter 16 bits de entrada, as instruções são de 9 bits, sendo 3 bits de opcode, 3 para referenciar o primeiro registrador e 3 para referenciar o segundo registrador. Na instrução de mvi, os 3 bits menos significativos da instrução não têm significado, e o imediato de 16 bits é passado para DIN no próximo ciclo de clock.

As instruções de mv e mvi demoram dois ciclos cada uma. As demais instruções demoram 4 ciclos.

As imagens abaixo mostram o funcionamento do processador. As instruções são lidas a partir de um arquivo .mif (Memory Initialization File). Utilizou-se o simulador Modelsim Altera versão 10.1b:

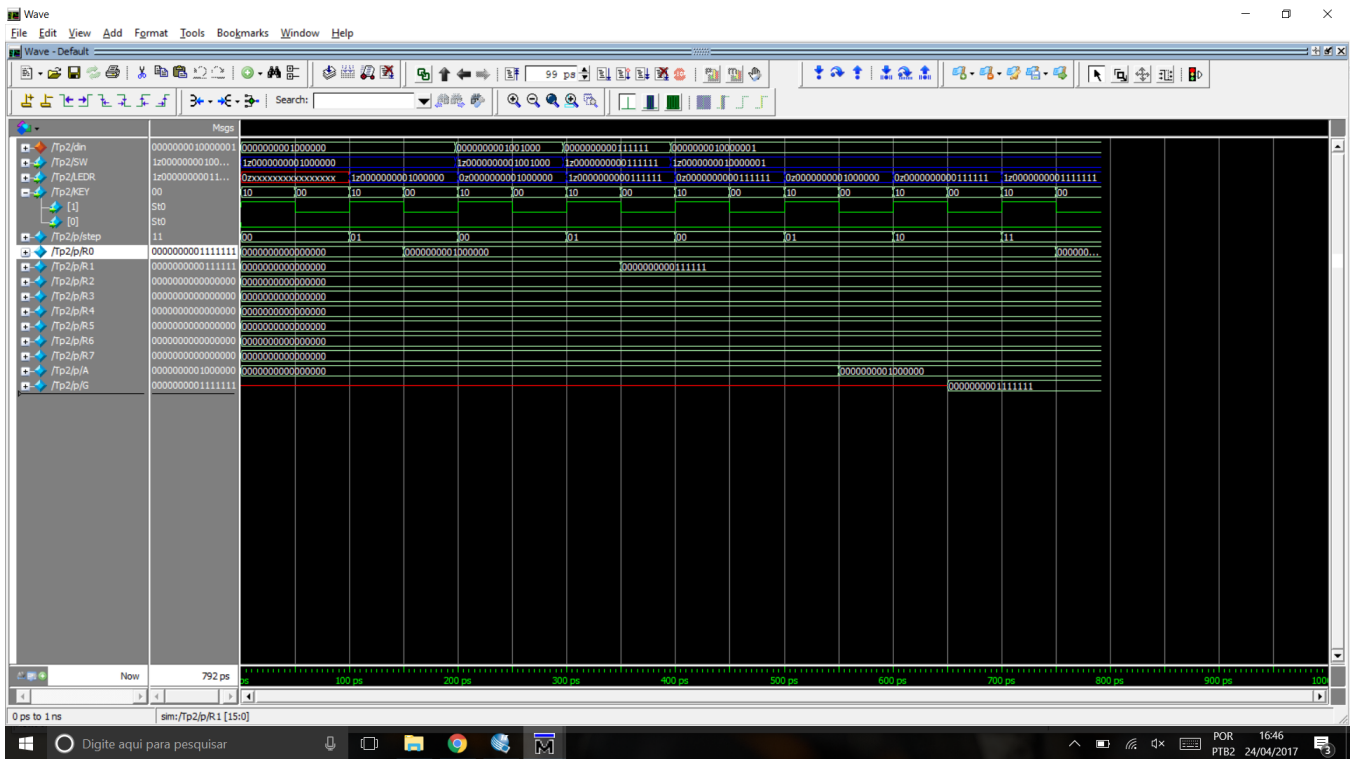


Figura 3: mvi seguido de add

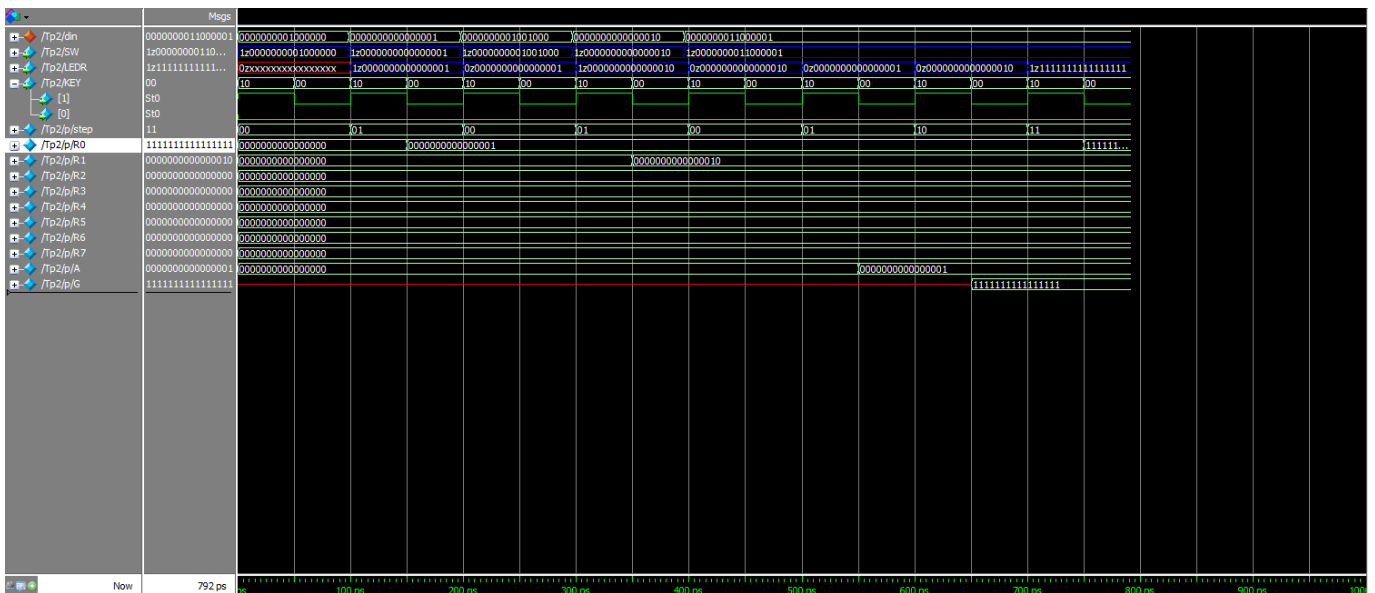


Figura 4: mvi seguido de sub

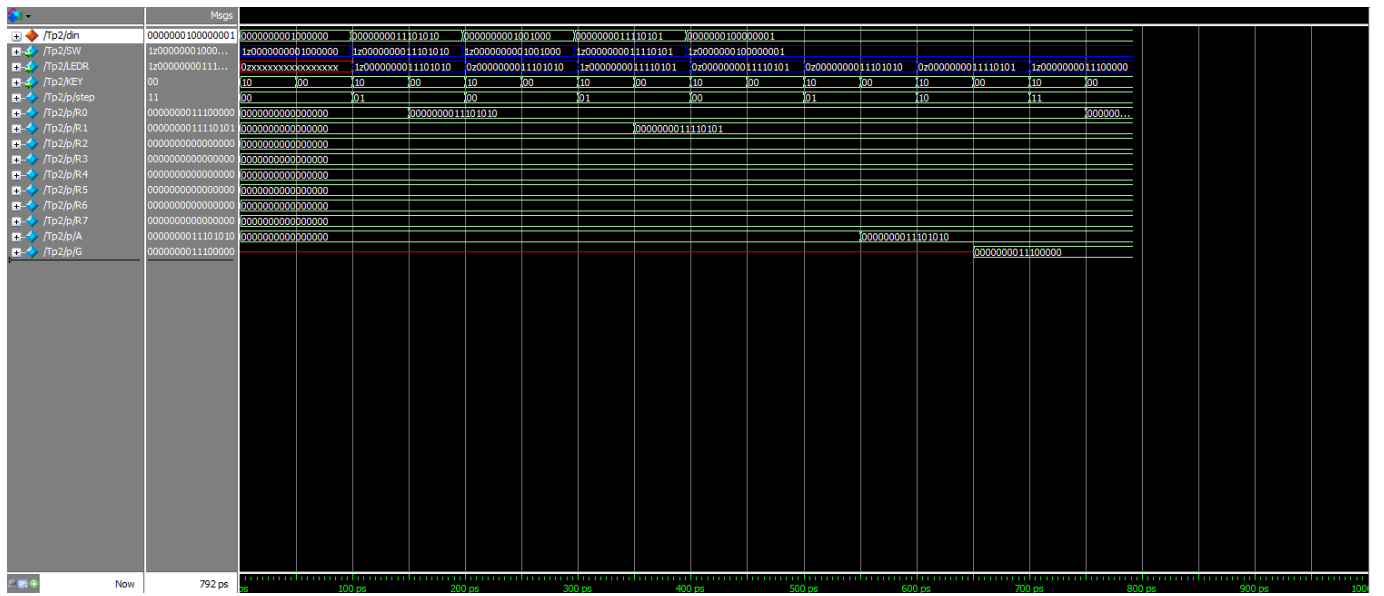


Figura 5: mvi seguido de and



Figura 6: mvi seguido de slt

