



UNIVERSIDADE FEDERAL DO CEARÁ
CURSO DE ENGENHARIA ELÉTRICA / DA COMPUTAÇÃO
CAMPUS DE SOBRAL

Disciplina: Eletrônica Digital – SBL0069

Professor: Rômulo Nunes

Flip Flops e Sistemas Sequenciais

OBJETIVOS:

- Verificar o funcionamento de diversos tipos de flip-flops;
- Montar e testar circuitos com flip-flops de tipos diferentes.

Informação Teórica

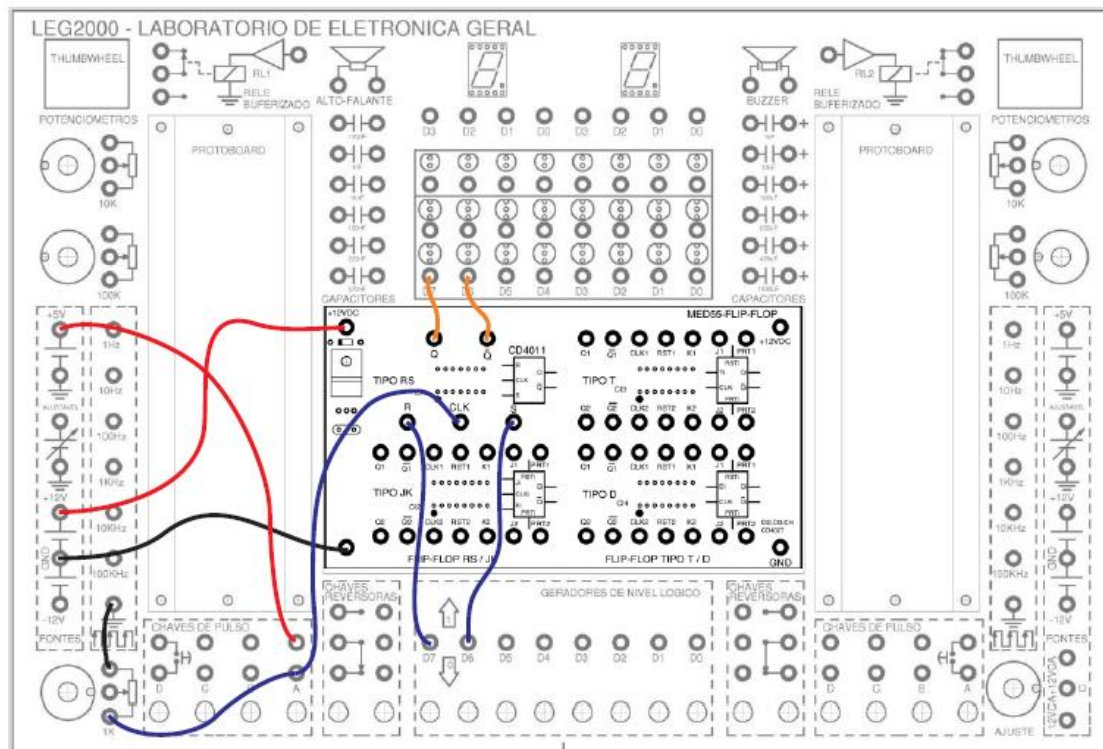
Até este momento, todas as aplicações que estudamos são formadas por circuitos eletrônicos digitais que conhecemos como: circuitos combinacionais. Você pode estar pensando o que ULAs, portas lógicas e decodificadores têm em comum, bem eles têm em comum que cada saída é determinada por uma combinação específica das entradas, por isso circuito combinacional. Já os circuitos sequenciais, que estudaremos agora, possuem uma peculiaridade, o estado de suas saídas não depende só das entradas, mas também do estado anterior que estas saídas se encontravam. Uma maneira específica de se obter um sistema sequencial trata-se da realimentação das saídas do circuito. Um dos circuitos digitais em que a realimentação pode ser encontrada e que, é a base dos circuitos sequenciais, é o flip-flop. A figura a seguir mostra o diagrama lógico de um flip-flop RS, um dos primeiros flip-flops utilizados em eletrônica digital. O flip-flop, independentemente do tipo, apresenta em geral duas saídas, Q e Q', sendo que a segundo é o inverso da primeira. A principal característica de um flip-flop é que ele circuito biestável, isto é, suas saídas possuem dois estados estáveis, 0 e 1.

Outra característica, presente na grande maioria dos flip-flops, é uma entrada para o sinal de clock. O sinal de clock confere sincronia a transição do flip-flop, fazendo com que a saída só seja atualizada (de acordo com os estados das entradas) quando este sinal está ativo, no caso do flip-flop RS isto ocorre quando CLK está em nível alto. Mas existem flip-flop que reagem apenas à bordas do sinal de clock, isto é, a saída é atualizada apenas quando o clock transita de um estado para outro. Estes flip-flop podem ser sensíveis a bordas de subida, apenas atualizam as saídas em transições do tipo Baixo -> Alto do clock, ou a bordas de descida, respondendo a transições do tipo Alto -> Baixo do clock. Iremos explorar alguns tipos de flip-flops ao longo deste ensaio.

PROCEDIMENTO EXPERIMENTAL

Flip-flops estão presentes em qualquer circuito sequencial, sendo o elemento constituinte de contadores, timers, registradores de deslocamento, memórias, para citar algumas de suas aplicações.

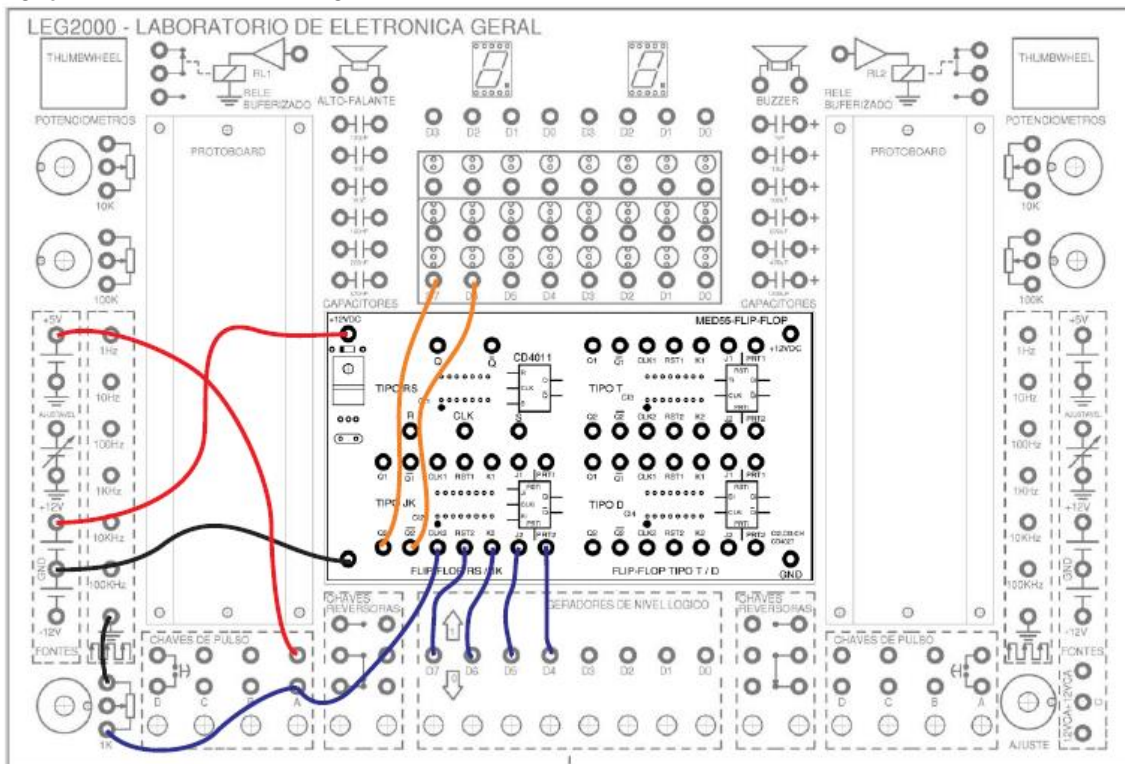
Inicialmente levantaremos as propriedades do FF RS. Utilizando cabos banana de tamanho apropriado, realize as ligações no bastidor do conjunto didático conforme mostrado na figura a seguir:



Note que no esquema acima, as entradas R e S do flip-flop estão ligadas a geradores de nível lógico, as saídas Q_n e Q_n' estão ligadas a LEDs e o circuito do clock está ligado como mostrado a seguir. A resistência de 1K (potenciômetro) para terra é comumente chamada de pull-down e serve para não deixar este pino flutuante (susceptível a incidência de ruídos), quando a chave impulso está aberta.

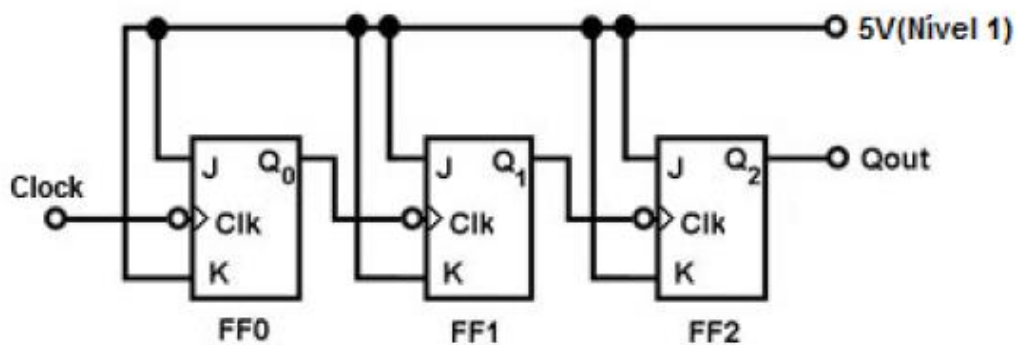
- 1) Levante a tabela verdade do FF RS. Lembre-se que a cada alteração dos estados das entradas R e S, é necessário dar um pulso de clock para atualizar as saídas;
- 2) O uso de R e S em alto é uma combinação que produz um estado das saídas peculiar. Experimente e explique porque este modo de operação deve ser evitado.

A seguir, vamos trabalhar com um novo tipo de flip-flop, o JK. Primeiramente realize as ligações como indicado a seguir:

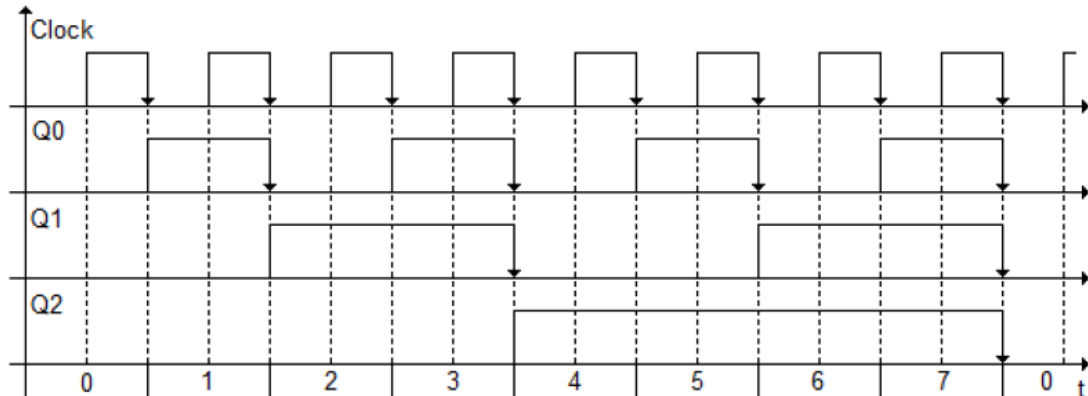


- 3) Vamos levantar agora a tabela da verdade do flip-flop JK verificando de forma experimental a atuação das entradas PR CLR (indicados por PRT e RST no kit didático). Lembre-se que a cada alteração dos estados das entradas J e K, é necessário dar um pulso de clock para atualizar as saídas (exceto para mudanças nos sinais de PRT e RST que não dependem do clock):
- 4) Proponha uma forma de medir o atraso da saída do flip flop JK. Este atraso é único para suas entradas síncronas e assíncronas? Verifique seus resultados junto ao manual do fabricante.

Uma das principais aplicações dos flip-flops é na construção de circuitos contadores, isto é, circuitos com uma ou mais saídas, cujo estado destas é alterado mediante a aplicação de um sinal de clock. Cada estado possível das saídas representa um valor da contagem e dizemos que o número de estados existentes é o módulo da contagem ou do contador. Assim um contador decimal de 0 a 9, extremamente comum, é um contador de módulo 10 (apresenta 10 estados possíveis de contagem) e valores de contagem 0, 1, 2, ..., 9. O contador assíncrono é um dos circuitos mais simples de contador, composto por flip-flops JK ligados em cascata, conforme exibido na figura a seguir:



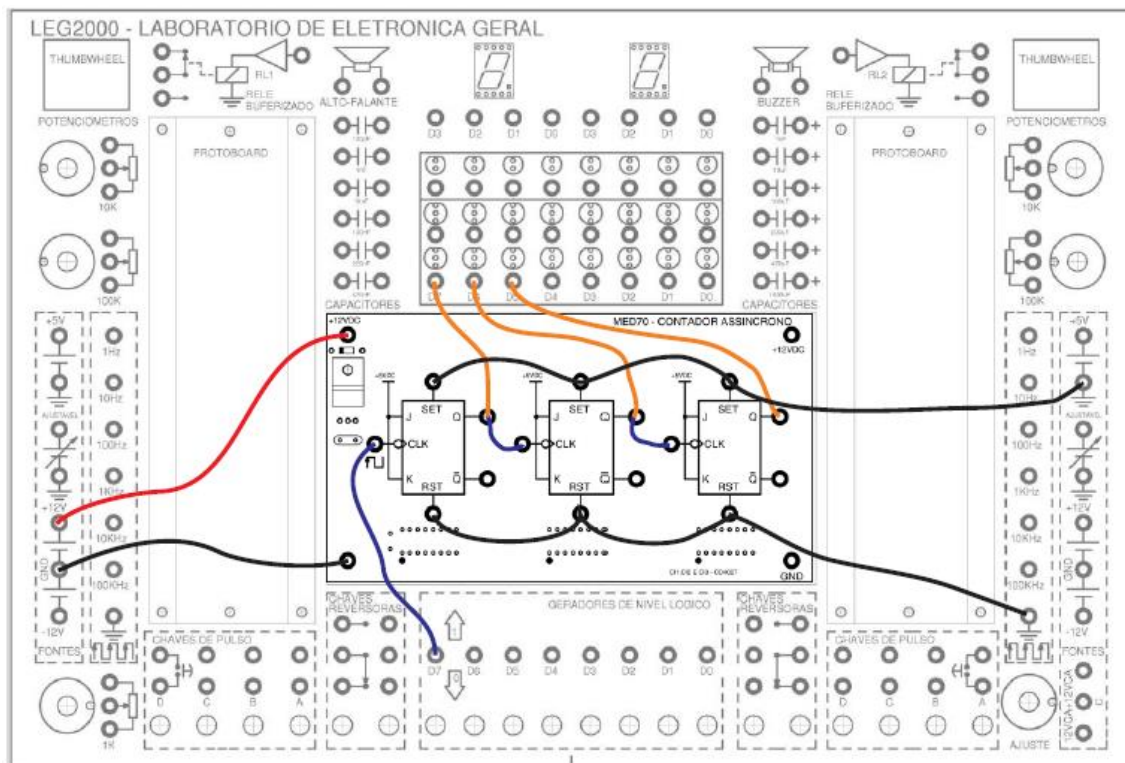
Nesta figura, temos um contador assíncrono de três estágios, ou seja, composto por três flip-flops. Note que cada flip-flop é sensível a borda de descida no clock, como é comum em contadores assíncronos e que ambas as entradas J e K estão ligadas em nível 1, ou seja, ele está em sua configuração de flip-flop T. Dessa forma cada transição de 0->1 do clock provoca alteração do estado da saída do flip-flop 0, sendo que a cada transição 0->1 da saída Q0 deste flip-flop provoca alteração do estado do próximo flip-flop e assim por diante. É possível também utilizar flip-flops sensíveis a borda de descida para construir um contador, neste caso, interliga-se a saída barrada de um flip-flop à entrada de clock do próximo flip-flop. A seguir temos a carta de tempo exibindo a mudança de estado de cada flip-flop.



Nosso contador de três estágios é então um contador de módulo 8, com valores de contagem de 0 a 7. Uma característica importante dos contadores assíncronos é que o módulo do contador é sempre uma potência de base 2, de acordo com a relação (onde n é o número de estágios, ou de flip-flops, do contador):

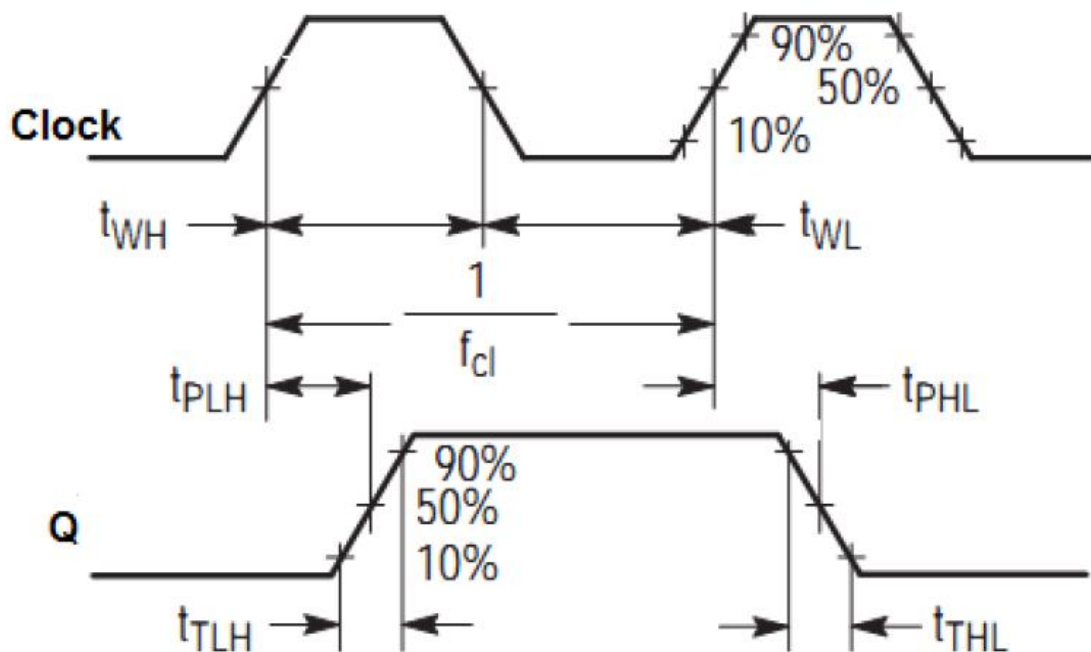
$$\text{Módulo} = 2^n$$

Utilizando cabos banana de tamanho apropriado, realize as ligações no bastidor do conjunto didático conforme mostrado na figura a seguir:



- 5) Note na figura acima que a entrada de clock do flip-flop 0 (CLK0) está ligada a um gerador de nível lógico. Altere o estado deste gerador e indique o que ocorre para cada transição (0->1 e 1->0) e explique o por que;
- 6) Altere a entrada de clock do contador, ligando CLK0 ao gerador de 1Hz presente no Kit didático. Descreva a mudança de comportamento. Com base nestas observações, qual é a diferença entre um contador e um temporizador?
- 7) Altere mais uma vez a entrada de clock do contador, ligando a entrada CLK0 ao gerador de 1KHz presente no kit didático. Com o auxílio de um osciloscópio, meça o sinal presente na entrada de clock e na saída do primeiro flip-flop (Q0). Confira agora a frequência presente em Q2. Descreva a relação entre as frequências dos sinais medidos.

Um dos grandes problemas do contador assíncrono é o atraso de propagação. Como os flip-flops são ligados em cascata, o tempo de atraso entre a borda de subida do clock e a alteração do estado do último flip-flop será igual à $n \cdot t_{PHL}$ (ou $n \cdot t_{PLH}$) onde n é o número de estágios e t_{PHL} é o tempo de propagação de um único flip-flop (pode se usar também o tempo t_{PLH} , a diferença entre um tempo e outro é que o t_{PHL} considera a transição na saída de 1->0, e o t_{PLH} , a transição 0->1; mas em geral ambos os tempos são parecidos), conforme indicado na figura a seguir obtida do datasheet do HEF4027, CI empregado no kit:



- 8) Ainda com dados do manual, o valor de t_{PHL} típico é de 175ns. Verifique esta informação medindo, com auxílio de um osciloscópio, o atraso existente entre a borda de descida do clock e a alteração de estado da saída Q2. Corrija os gráficos que correlacionam as saídas e o clock de forma a representar estes tempos.

Uma vez que se deseje trabalhar com sistemas digitais sequenciais bem como controladores a implementação de um clock deve ser prioridade. O CI 555 apresenta uma grande versatilidade podendo ser utilizado nas mais variadas aplicações. Apontam-se como exemplo as seguintes: temporizador (com tempo fixo ou variável), oscilador, modulador de largura de pulso (PWM – Pulse Width Modulation), modulador de Posição de pulso (PPM – Pulse Position Modulation), detector de falta de pulsos, temporização sequencial, controle de velocidade de rotação (Tacômetro), disparo de varrimento para osciloscópios, conversor de tensão DC-DC, conversor tensão Positivo-Negativo, controlador de Motores servo, conversor Tensão Frequência (VCO – Voltage Controlled Oscillator), gerador de sinal em dente de serra, alarmes, etc.

Na figura 1 apresenta-se o CI 555 e a pinagem no encapsulamento DIP e na figura 2 o seu diagrama funcional.

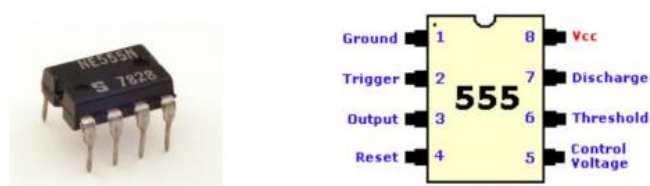


Figura 1. Encapsulamento do CI 555 e identificação dos pinos

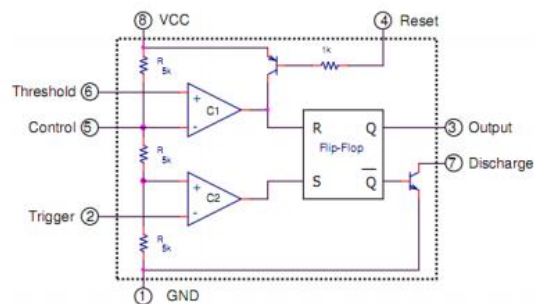


Figura 2. Diagrama funcional

O CI 555 pode funcionar em dois modos distintos:

1. Monoastável (Disparo Único)
2. Astável (Oscilador)

- **Monoastavel:**

Uma configuração possível para o modo de funcionamento monoastável ou de disparo único encontra-se ilustrado na figura 3. Neste modo de funcionamento é gerado na saída do 555 um pulso com nível Alto de duração proporcional a $R_a.C$, após ativação da entrada de Trigger.

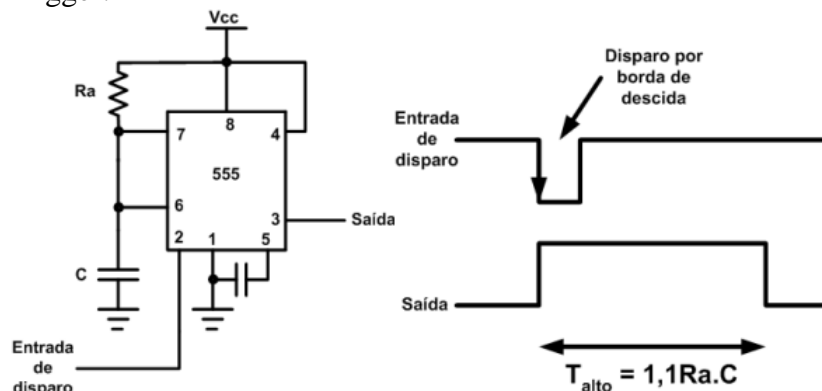


Figura 3 – circuito do 555 como Monoastável.

Como o capacitor C se carrega através da resistência R_a , a partir de uma tensão nula, este atinge $2/3$ de VCC num tempo igual a $1,1 \cdot R_a.C$ segundos. Este intervalo de tempo é o tempo que o estado da saída do 555 se encontra no nível alto. Após este nível ser atingido, a saída passa ao estado Baixo e é ligado o transistor de descarga, descarregando praticamente instantaneamente o condensador. O 555 permanece neste estado até que exista um novo pulso na entrada de Trigger.

- **Astavel:**

A configuração da figura 4 permite o funcionamento em modo astável ou oscilador. Neste modo de funcionamento é gerado na saída do 555 uma onda quadrada com duração dos níveis Alto e Baixo proporcionais às malhas RC, não sendo necessário nenhum pulso específico para iniciar o seu funcionamento.

Repare-se que com este esquema não é possível obter um Duty Cycle (relação entre tempo no estado Alto e Período do sinal) inferior a 50%. Para se obter um Duty Cycle inferior a 50% pode-se substituir a resistência R_b pelo esquema da figura 5. Com esta alteração a carga do capacitor dá-se através da resistência R_a e a descarga através de R_b , permitindo controlar de modo independente o tempo de carga e de descarga e na realidade obter qualquer Duty Cycle (tipicamente entre 5% e 95%).

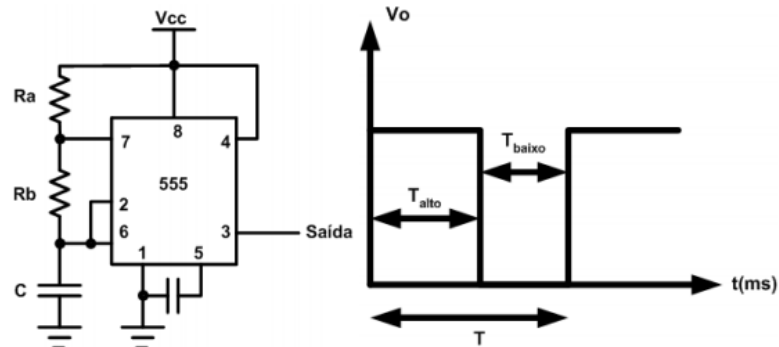
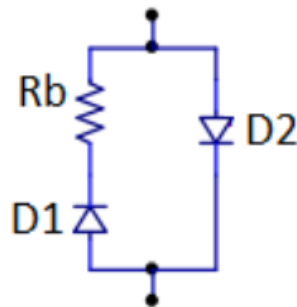


Figura 4 – circuito do 555 como Astável.

$$T_{\text{alto}} = 0,7(Ra+Rb).C$$

$$T_{\text{baixo}} = 0,7.Rb.C$$

$$f = 1,44/(Ra+2Rb).C$$



$$T_{\text{Alto}} = 0,7.Ra.C$$

$$T_{\text{Baixo}} = 0,7.Rb.C$$

Figura 5- Alteração para Duty Cycle inferior a 50%.

• Considerações práticas para projeto de temporizadores com o 555

Para que o 555 funcione corretamente a tensão de alimentação deverá possuir um valor entre 4,5V e 18V, sendo o intervalo de tempo projetado independente de VCC, uma vez que as tensões de Trigger e Threshold são proporcionais a VCC. A fonte de alimentação contínua VCC pode ser fornecida por qualquer fonte, mas deve ser considerado o seu ripple, uma vez que poderá influenciar o erro da temporização. Como este CI consegue ativar cargas de 200 mA quer em Sink (a receber corrente) quer em Source (a fornecer corrente) deve ser colocado um capacitor de desacoplamento de 0,01 a 10µF o mais perto possível dos pinos de alimentação (8 e 1), uma vez que a carga ao ser ativada pode re-disparar o temporizador. O erro de temporização deve-se principalmente aos componentes externos. Na escolha do capacitância e da resistência deve-se utilizar resistências de filme metálico e capacitores com correntes de fuga baixas. É de notar que as resistências normalmente têm tolerâncias de 1 a 20% e os capacitores de 5 a 20%. As resistências devem ser escolhidas de forma a garantir uma corrente mínima de 0,25 µA para activar o comparador de Threshold. A resistência máxima a usar pode então ser calculada da seguinte forma:

$$R_{MAX} = \frac{V_R}{I_{Nível}} = \frac{V_{CC} - V_{THR}}{0,25\mu A} = \frac{V_{CC} - 2/3V_{CC}}{0,25\mu A}$$

Por outro lado devem ser considerados valores mínimos para as resistências. A corrente de descarga no condensador está internamente limitada na gama de 35 a 55mA. Desta forma quando o transistor de descarga é ligado devemos ter em atenção que este vai transportar cargas vindas de RA e do capacitor C. Sendo assim, devemos limitar a corrente que atravessa a resistência a um mínimo para evitar tensões de saturação do transistor elevadas. Como valor de referência, pode-se utilizar um valor de 5kΩ.

Procedimento Experimental (continuação)

9. Com base no circuito da figura 3, deseja-se projetar, montar e simular (software PROTEUS em casa) um circuito de disparo único cujo tempo de duração deste pulso seja de aproximadamente 0,5s. (OBS: faça os cálculos com base nos componentes disponíveis na bancada).

10. Com base no circuito mostrado na figura 4, deseja-se projetar, montar e simular (software PROTEUS em casa) um circuito gerador de clock cuja frequência seja de 1KHz e razão cíclica de 75%.

11. Com base no circuito mostrado na figura 5, deseja-se projetar, montar e simular (software PROTEUS em casa) um circuito gerador de clock cuja frequência seja de 0,5Hz e razão cíclica de 40%.