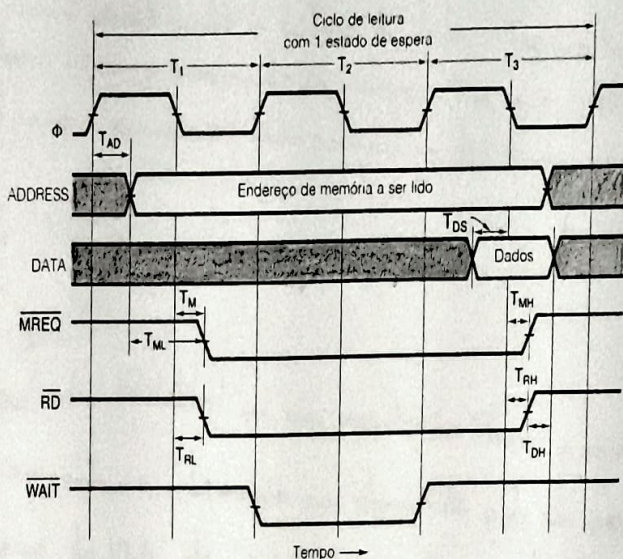




UNIVERSIDADE FEDERAL DO CEARÁ - UFC SOBRAL  
ARQUITETURA DE COMPUTADORES - 2024.1- PROF. WENDLEY  
AP2 - 04 SET 2024

NOME: Francisco Gaitan Abreu Pessoa MATRÍCULA: 539179

1. [3,0] Explique o que a figura adiante representa e como se dá o funcionamento de tal mecanismo. Explique a função de pelo menos 3 tempos ali presentes ( $T_{AD}$ ,  $T_{ML}$ ,  $T_M$ ,  $T_{RL}$ ,  $T_{MH}$ ,  $T_{RH}$  ou  $T_{DH}$ ).



2. [2,0] Explique como uma informação chega e sai ao/do registrador H no caminho de dados.

3. [2,0] Como fica em linguagem de montagem da IJVM o trecho de código a seguir:

$j = 4;$

$i = j - 2;$

$k = j + i + 5;$

BIPUSH 4

ISTORE j

ILOAD j

BIPUSH 2

ISUB

ISTORE i

ILOAD i

ILOAD i

IADD

BIPUSH 5

IADD

ISTORE k

Obs: Prova só vale de 0 à 7,  
Lista vale de 0 à 3



A figura representa os ciclos necessários para que seja feita uma leitura na memória. Seu funcionamento se dá da seguinte maneira: na borda ascendente do primeiro ciclo o endereço de memória ficará disponível no barramento de endereço após um pequeno atraso  $T_{AD}$ , logo após isto na borda descendente o ciclo 1 os comandos requisição de memória e leitura,  $\overline{M}/MREQ$  e  $RD$  respectivamente serão ativados, após isto na borda ascendente do segundo ciclo  $T_2$  o comando de espera será ativado ( $WAIT$ ) pois o tempo da memória é de ordem inferior ao da CPU, na qual ficará ativo durante o ciclo 2 inteiro em espera, e somente na borda ascendente do terceiro ciclo será desativado e os dados estarão disponíveis no barramento de dados e na borda descendente de  $T_3$  os comandos  $MREQ$  e  $RD$  serão desativados, assim completando a leitura de dados.  $T_{AD}$  é o tempo de atraso para o endereço de memória estar no barramento de endereço,  $T_{ML}$  é o endereço estável antes de  $\overline{MREQ}$  e  $T_{OH}$  é o tempo em que os dados permanecem disponíveis após  $\overline{RD}$ .

02. Por conta do registrador H (Holder) ser um registrador "livre" e armazenar uma certa informação temporariamente, a informação que chega nele pode ser proveniente de outros registradores, da memória, da ULA, etc, a informação chegará até ele pelo barramento de dados que foi destinada pelo barramento de controle e a CPU determinará para onde aquela informação deverá ir, que por sua vez também pode ser destinada a outro registrador, memória, ULA, etc, portanto após o barramento de controle destinar ~~para~~ o local, a saída também será pelo barramento de dados ao local certo.

03.

BIPUSH 4

ISTORE j

ILOAD j

BIPUSH 2

ISUB

ISTORE i

ILOAD j

ILOAD i

IADD

BIPUSH 5

IADD

ISTORE k





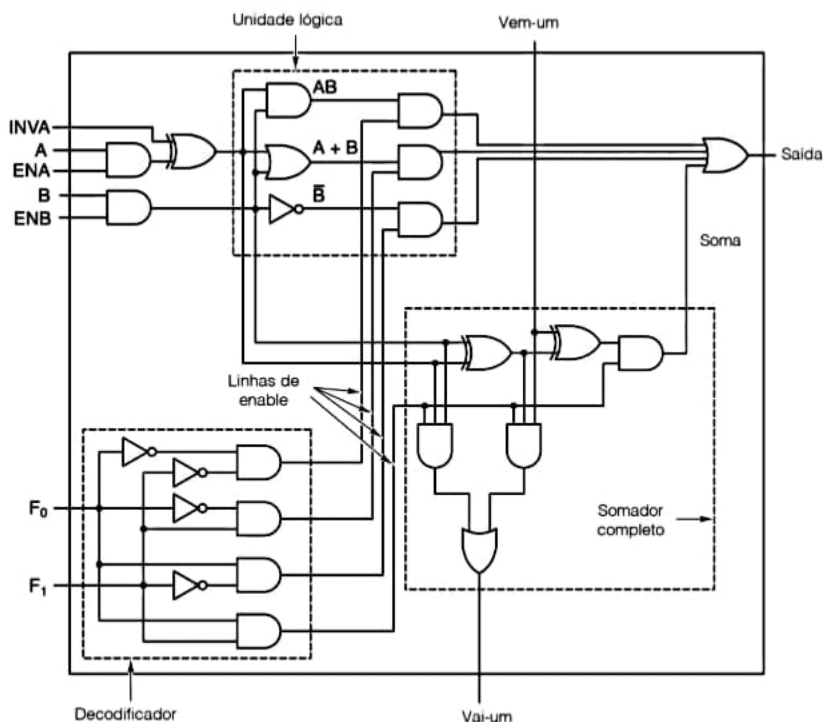
UNIVERSIDADE FEDERAL DO CEARÁ – UFC SOBRAL  
ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES – 2024.1

LISTA DE EXERCÍCIOS 2

ENTREGAR RESOLUÇÕES MANUSCRITAS APENAS DAS QUESTÕES INDICADAS PARA ENTREGAR (não precisa copiar as perguntas, apenas a numeração)

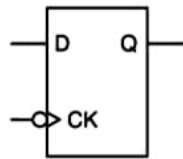
PRAZO: DIA DA PROVA AP2: 04/09, 13H30

1. **[Entregar]** Descreva e/ou desenhe pelo menos duas formas de organizar as células (endereçar) em uma memória de 128 bits.
2. Explique como funcionam as ordenações *big endian* e *little endian*.
3. Como podemos calcular o tempo de acesso médio em memórias cache?
4. Quais as principais vantagens e desvantagens do SSD em comparação ao HD?
5. O que é um flip-flop?
6. **[Entregar]** O que é e o que faz o circuito abaixo? E qual a função do decodificador ali presente?



7. **[Entregar]** Apresente a tabela verdade completa para um Latch D.
8. Qual é o estado quiescente das entradas S e R para um latch SR composto de duas portas NAND?

9. **[Entregar]** Sabendo-se que a fig. adiante representa um flip-flop de um bit que muda de estado na borda descendente do clock, desenhe um registrador de 4 bits que utilize flip-flops de um bit que mudam de estado na borda ascendente do clock.



10. Por que há centenas de pinos de aterramento nos processadores modernos.
11. **[Entregar]** Explique como acontece a temporização do barramento síncrono quando a CPU deseja ler um dado da memória.
12. Como funciona a temporização no barramento assíncrono?
13. Cite 3 registradores, com as respectivas funções, que estão envolvidos diretamente no caminho de dados na microarquitetura.
14. **[Entregar]** Como ocorre a operação de leitura de dados da memória principal, desde o caminho de dados até o barramento de memória (síncrono)?
15. Explique como uma informação chega e sai ao/do registrador H no caminho de dados.
16. Como fica em linguagem de montagem da IJVM o trecho de código a seguir:
- ```
j = 4;  
i = j + 2;  
k = j + i + 5;
```