

Gerador de imediatos

Victor Henrique da Silva Costa

21/2006450

August 2024

1 Introduction

O objetivo deste trabalho é desenvolver um módulo em VHDL capaz de gerar os dados imediatos utilizados nas instruções do processador RISC-V. No RISC-V, o conjunto de instruções inclui diferentes formatos que incorporam dados imediatos diretamente no código da instrução, como os formatos R, I, S, SB, U e UJ. Esses formatos definem como os campos das instruções são organizados e interpretados pelo processador.

Neste projeto, o módulo VHDL receberá uma instrução de 32 bits e, dependendo do formato da instrução, gerará o valor imediato correspondente de 32 bits na sua saída. Para o formato R-type, que não inclui dados imediatos, o módulo gerará um valor zero. A implementação deste módulo é fundamental para o correto funcionamento das operações que dependem de valores imediatos no processador RISC-V.

2 Porque o Risk V embaralha a instrução

O embaralhamento dos bits do imediato no RISC-V é uma técnica utilizada para otimizar o design do processador. A principal razão para isso é garantir que o campo do registrador de destino (**rd**) nunca mude de lugar nas instruções, simplificando a decodificação e facilitando o acesso aos registradores.

Esse embaralhamento permite que o processador utilize um hardware mais simples e eficiente, já que os bits do imediato são organizados de forma a manter os campos importantes (como o opcode e **rd**) em posições fixas dentro da instrução. Além disso, essa técnica possibilita que diferentes tipos de instruções compartilhem um formato comum para os bits de imediato, reduzindo a complexidade do hardware necessário para decodificação.

Em resumo, o embaralhamento dos bits do imediato no RISC-V contribui para um design de hardware mais eficiente e padronizado, mantendo a posição do **rd** constante e simplificando a execução das instruções.

3 Por que alguns imediatos não incluem o bit 0

Alguns imediatos não incluem o bit 0 porque, em certas instruções, o valor imediato é tratado como um endereço de memória ou deslocamento, que precisa ser alinhado. Endereços de memória geralmente são múltiplos de 2 ou 4, o que significa que o bit 0 sempre será zero. Então, para economizar espaço e simplificar o hardware, o bit 0 é omitido.

4 Os imediatos de operações lógicas estendem o sinal ?

Em operações lógicas no RISC-V, como AND, OR e XOR, os imediatos são tratados como valores não sinalizados. Isso significa que eles não sofrem extensão de sinal, ou seja, os bits mais à esquerda do imediato não são replicados para preencher os bits restantes do registrador. O imediato é simplesmente colocado como está, bit a bit, na operação lógica. Isso é diferente de operações aritméticas, onde a extensão de sinal pode ocorrer para manter a consistência do valor ao trabalhar com números negativos.

5 Como é implementada a instrução NOT no RiscV ?

No RISC-V, a instrução NOT não existe como uma instrução específica. Ela é implementada usando a instrução XOR com o registrador de origem e um imediato de todos 1s (ou seja, -1). O registrador de destino recebe o valor invertido do registrador de origem. Em código assembly, isso seria algo como 'XORI rd, rs, -1', onde 'rd' recebe o valor de 'rs' com todos os bits invertidos.