```verilog
1   //sevenSeg.v
2   //author: Jiakai Shi
3   //student #: 1003986760
4
5   //SW[3:0] data inputs
6   //HEX0[6:0] output display
7
8   module sevenSeg(HEX0, SW);
9       input [3:0] SW;
10      output [6:0] HEX0;
11
12      hex0 h0(
13          .a(SW[3]),    // input c3
14          .b(SW[2]),    // input c2
15          .c(SW[1]),    // input c1
16          .d(SW[0]),    // input c0
17          .m(HEX0[0])   // output HEX0[0]
18          );
19
20      hex1 h1(
21          .a(SW[3]),    // input c3
22          .b(SW[2]),    // input c2
23          .c(SW[1]),    // input c1
24          .d(SW[0]),    // input c0
25          .m(HEX0[1])   // output HEX0[1]
26          );
27
28      hex2 h2(
29          .a(SW[3]),    // input c3
30          .b(SW[2]),    // input c2
31          .c(SW[1]),    // input c1
32          .d(SW[0]),    // input c0
33          .m(HEX0[2])   // output HEX0[2]
34          );
35
36      hex3 h3(
37          .a(SW[3]),    // input c3
38          .b(SW[2]),    // input c2
39          .c(SW[1]),    // input c1
40          .d(SW[0]),    // input c0
41          .m(HEX0[3])   // output HEX0[3]
42          );
43
44      hex4 h4(
45          .a(SW[3]),    // input c3
46          .b(SW[2]),    // input c2
47          .c(SW[1]),    // input c1
48          .d(SW[0]),    // input c0
49          .m(HEX0[4])   // output HEX0[4]
50          );
```

```
51
52       hex5 h5(
53            .a(SW[3]),    // input c3
54            .b(SW[2]),    // input c2
55            .c(SW[1]),    // input c1
56            .d(SW[0]),    // input c0
57            .m(HEX0[5])   // output HEX0[5]
58            );
59
60       hex6 h6(
61            .a(SW[3]),    // input c3
62            .b(SW[2]),    // input c2
63            .c(SW[1]),    // input c1
64            .d(SW[0]),    // input c0
65            .m(HEX0[6])   // output HEX0[6]
66            );
67
68   endmodule
69
70   module hex0(a, b, c, d, m);
71       input a;
72       input b;
73       input c;
74       input d;
75       output m;
76
77       assign m = (~a & ~b & ~c & d) | (~a & b & ~c & ~d) | (a & b & ~c & d) |
78                  (a & ~b & c & d);
79
80   endmodule
81
82   module hex1(a, b, c, d, m);
83       input a;
84       input b;
85       input c;
86       input d;
87       output m;
88
89       assign m = (~a & b & ~c & d) | (b & c & ~d) | (a & b & ~d) | (a & c & d);
90
91   endmodule
92
93   module hex2(a, b, c, d, m);
94       input a;
95       input b;
96       input c;
97       input d;
98       output m;
99
100      assign m = (~a & ~b & c & ~d) | (a & b & ~d) | (a & b & c);
```

2

```verilog
101
102     endmodule
103
104     module hex3(a, b, c, d, m);
105         input a;
106         input b;
107         input c;
108         input d;
109         output m;
110
111         assign m = (~b & ~c & d) | (~a & b & ~c & ~d) | (b & c & d) |
112                    (a & ~b & c & ~d);
113
114     endmodule
115
116     module hex4(a, b, c, d, m);
117         input a;
118         input b;
119         input c;
120         input d;
121         output m;
122
123         assign m = (~a & d) | (~a & b & ~c) | (~b & ~c & d);
124
125     endmodule
126
127     module hex5(a, b, c, d, m);
128         input a;
129         input b;
130         input c;
131         input d;
132         output m;
133
134         assign m = (~a & ~b & d) | (~a & ~b & c) | (~a & c & d) |
135                    (a & b & ~c & d);
136
137     endmodule
138
139     module hex6(a, b, c, d, m);
140         input a;
141         input b;
142         input c;
143         input d;
144         output m;
145
146         assign m = (~a & ~b & ~c) | (~a & b & c & d) | (a & b & ~c & ~d);
147
148     endmodule
```