



LAN8742A / LAN8742Ai

Компактный Ethernet-трансивер RMII 10/100 с HP Auto-MDIX и flexPWR® Технология



ОСОБЕННОСТИ ПРОДУКТА

Техническая спецификация

Особенности

- Однокристалльный приемопередатчик физического уровня Ethernet (PHY)
- Поддержка диагностики кабеля
- Поддержка Wake on LAN (WoL)
- Комплексный flexPWR® технология
 - Гибкая архитектура управления питанием
 - LVCMOS Диапазон переменного напряжения ввода / вывода: от +1,8 В до +3,3 В
 - Встроенный стабилизатор на 1,2 В с функцией отключения
- Поддержка HP Auto-MDIX
- Миниатюрный 24-контактный SQFN, корпус, соответствующий требованиям RoHS (высота 4 x 4 x 0,9 мм)

Целевые приложения

- Телеприставки
- Приборы для тестирования сетевых принтеров и серверов
- LAN на материнской плате
- Встроенные телекоммуникационные приложения
- Системы записи / воспроизведения видео
- Кабельные модемы / маршрутизаторы
- DSL-модемы / маршрутизаторы
- Цифровые видеорегистраторы
- IP и видеотелефоны Точки
- беспроводного доступа
- Цифровые телевизоры
- Цифровые медиа-адаптеры / серверы Игровые консоли
- Приложения POE (См. Примечание по применению SMSC 17.18)

Ключевые преимущества

- Высокопроизводительный трансивер 10/100 Ethernet
 - Совместимость с IEEE802.3 / 802.3u (Fast Ethernet)
 - Соответствует ISO 802-3 / IEEE 802.3 (10BASE-T)
 - Режимы обратной связи
 - Автосогласование
 - Автоматическое определение и коррекция полярности
 - Обнаружение пробуждения при изменении статуса связи
 - Регистрационные функции для конкретных поставщиков
 - Поддерживает интерфейс RMII с уменьшенным количеством выводов
- Питание и входы / выходы
 - Различные режимы низкого энергопотребления
 - Встроенная схема сброса при включении
 - Два выхода для светодиодных индикаторов состояния
 - Может использоваться от одного источника питания 3,3 В.
- Дополнительные возможности
 - Возможность использовать недорогой кристалл 25 МГц для уменьшения спецификации
- Упаковка
 - 24-контактный SQFN (4 x 4 мм), соответствующий требованиям RoHS корпус с RMII
- Относящийся к окружающей среде
 - Коммерческий температурный диапазон (от 0 ° C до + 70 ° C)
 - Промышленный температурный диапазон (от -40 ° C до + 85 ° C)

НОМЕР ЗАКАЗА:

LAN8742A-CZ (лоток) для 24-контактного, SQFN, RoHS-совместимого корпуса (температура от 0 ° C до + 70 ° C)
LAN8742Ai-CZ (лоток) для 24-контактного, SQFN, RoHS-совместимого корпуса (-40 ° C) до + 85 ° C) LAN8742A-CZ-
TR (лента и катушка) для 24-контактного, SQFN, RoHS-совместимого корпуса (температура от 0 ° C до + 70 ° C) 24-
контактный, SQFN, корпус, соответствующий требованиям RoHS (температура от -40 до + 85 ° C)

Этот продукт соответствует максимальным значениям концентрации галогенов согласно IEC61249-2-21. Для
получения информации о соответствии RoHS и защите окружающей среды посетите www.smsc.com/rohs.

*Пожалуйста, свяжитесь с вашим торговым представителем SMSC для получения дополнительной документации, относящейся к этому продукту,
такие как примечания по применению, листы аномалий и рекомендации по проектированию.*

Авторское право © 2013 SMSC или его дочерние компании. Все права защищены.

Принципиальные схемы и другая информация, относящаяся к продуктам SMSC, включены как средство иллюстрации типичных приложений. Следовательно, не обязательно дается полная информация, достаточная для строительных целей. Хотя информация была проверена и считается точной, мы не несем ответственности за неточности. SMSC оставляет за собой право вносить изменения в спецификации и описания продуктов в любое время без предварительного уведомления. Свяжитесь с вашим местным офисом продаж SMSC, чтобы получить последние спецификации перед размещением заказа на продукт. Предоставление этой информации не передает покупателю описанных полупроводниковых устройств какие-либо лицензии в соответствии с какими-либо патентными правами или другими правами интеллектуальной собственности SMSC или других лиц. Все продажи прямо обусловлены вашим согласием с положениями и условиями последней версии стандартного Соглашения об условиях продажи SMSC, датированной до даты вашего заказа («Соглашение об условиях продажи»). Продукт может содержать конструктивные дефекты или ошибки, известные как аномалии, которые могут привести к отклонению функций продукта от опубликованных спецификаций. Таблицы аномалий доступны по запросу. Продукты SMSC не предназначены, не предназначены, не авторизованы и не подлежат гарантии для использования в каких-либо системах жизнеобеспечения или других приложениях, где отказ продукта может вызвать или способствовать травмам или серьезному материальному ущербу. Риск любого такого использования без предварительного письменного разрешения должностного лица SMSC, а также дальнейшего тестирования и / или модификации возлагается на клиента. Копии этого документа или другой литературы SMSC, а также Условия договора продажи, можно получить, посетив веб-сайт SMSC по адресу <http://www.smsc.com>. SMSC является зарегистрированным товарным знаком Standard Microsystems Corporation («SMSC»). Названия продуктов и названия компаний являются товарными знаками соответствующих владельцев.

Название и логотип Microchip, а также логотип Microchip являются зарегистрированными товарными знаками Microchip Technology Incorporated в США и других странах.

SMSC ОТКАЗЫВАЕТСЯ И ИСКЛЮЧАЕТ ЛЮБЫЕ ГАРАНТИИ, ВКЛЮЧАЯ БЕЗ ОГРАНИЧЕНИЙ ЛЮБЫЕ И ВСЕ ПОДРАЗУМЕВАЕМЫЕ ГАРАНТИИ КОММЕРЧЕСКОЙ ПРИГОДНОСТИ, ПРИГОДНОСТИ ДЛЯ КОНКРЕТНОЙ ЦЕЛИ, НАЗВАНИЯ И ПРОТИВ НАРУШЕНИЯ ПРАВ ИЛИ ЛЮБЫХ ГАРАНТИЙ И ЛЮБЫХ УСЛОВИЙ FRANIS . НИ ПРИ КАКИХ ОБСТОЯТЕЛЬСТВАХ SMSC НЕ НЕСЕТ ОТВЕТСТВЕННОСТИ ЗА ЛЮБОЙ ПРЯМЫЙ, СЛУЧАЙНЫЙ, КОСВЕННЫЙ, ОСОБЫЙ, КАРАТЕЛЬНЫЙ ИЛИ КОСВЕННЫЙ УБЫТК; ИЛИ ЗА УТЕРЯННЫЕ ДАННЫЕ, ПРИБЫЛЬ, СБЕРЕЖЕНИЕ ИЛИ ДОХОД В ЛЮБОМ ВИДЕ; НЕЗАВИСИМО ОТ ФОРМЫ ДЕЙСТВИЯ, НА ОСНОВЕ ДОГОВОРА; ИСПЫТАНИЕ; НЕБРЕЖНОСТЬ SMSC ИЛИ ДРУГОГО; СТРОГОЕ ОБЯЗАТЕЛЬСТВО; НАРУШЕНИЕ ГАРАНТИИ; ИЛИ ИНЫМ ОБРАЗОМ; ЛИБО СРЕДСТВО ПОКУПАТЕЛЯ, ПРЕДНАЗНАЧЕННОЕ ДЛЯ СРЕДСТВА ЗАЩИТЫ ПОКУПАТЕЛЯ, НЕВОЗМОЖНО ИЛИ НЕ СООТВЕТСТВУЮТ СВОЕЙ ЦЕЛИ, И БЫЛО ЛИ СООБЩЕНИЕ SMSC О ВОЗМОЖНОСТИ ТАКИХ УБЫТКОВ.

Оглавление

Глава 1	Вступление	8
1.1	Общие положения и соглашения.	8
1.2	Общее описание.	8
Глава 2	Описание и конфигурация контактов.	10
2.1	Назначение контактов.	18
2.2	типов буферов.	19
Глава 3	Функциональное описание	20
3.1	Приемопередатчик.	20 3.1.1
	Передача 100BASE-TX.	20
3.1.2	100BASE-TX Прием.	23
3.1.3	Передача 10BASE-T.	25
3.1.4	10BASE-T Прием.	26
3.2	Автосогласование.	27 3.2.1
	Параллельное обнаружение.	28
3.2.2	Перезапуск автосогласования.	28 Отключение
3.2.3	автосогласования.	29 Полудуплекс против
3.2.4	полного дуплекса.	29
3.3	Поддержка HP Auto-MDIX.	29 MAC-
3.4	интерфейс.	30 3.4.1
	RMII.	30 Последовательный
3.5	интерфейс управления (SMI).	31 Управление
3.6	прерываниями.	32 3.6.1
	Первичная система прерывания.	33
3.6.2	Альтернативная система прерывания.	34
3.7	Ремни конфигурации.	35 3.7.1
	PHYAD [0]: конфигурация физического адреса.	35
3.7.2	РЕЖИМ [2: 0]: Конфигурация режима.	36
3.7.3	REGOFF: Конфигурация внутреннего регулятора +1,2 В.	37
3.7.4	nINTSEL: nINT / REFCLKO Конфигурация.	38
3.8	Разные функции.	42 3.8.1
	Светодиоды.	42 Вход /
3.8.2	выход переменного напряжения.	46
3.8.3	режимов отключения питания.	46
3.8.4	Пробуждение по локальной сети (WoL).	
3.8.5	47 Режим изоляции.	52
3.8.6	сброса.	52 Чувство
3.8.7	несущей.	53 Проверка
3.8.8	целостности канала.	53 Диагностика
3.8.9	кабеля.	53 Закольцованная
3.8.10	работа.	58 58 58
3.9	Диаграммы приложений.	60
3.9.1	Упрощенная схема приложения на системном уровне.	60
3.9.2	Схема источника питания (1,2 В от внутреннего регулятора).	61 Схема
3.9.3	источника питания (1,2 В от внешнего источника).	62 Схема интерфейса
3.9.4	витой пары (одиночный источник питания).	63 Схема интерфейса
3.9.5	витой пары (два источника питания).	64

Глава 4 Описания регистров. 65

4.1	Регистрационная номенклатура.	65
4.2	Регистры управления и состояния.	66 4.2.1
	Базовый контрольный регистр.	67 Регистр
4.2.2	базового состояния.	68 Регистр PNY-
4.2.3	идентификатора 1.	70 Регистр PNY-
4.2.4	идентификатора 2.	71 Регистрация объявления
4.2.5	автосогласования.	72 Регистрация возможностей партнера по
4.2.6	ссылке автосогласования.	73 Регистр расширения
4.2.7	автосогласования.	74 Автосогласование Следующая
4.2.8	страница Регистрация передачи.	75 Автосогласование
4.2.9	Следующая страница Регистр RX.	76 Регистр контроля доступа
4.2.10	MMD.	77 MMD Адрес доступа / Регистр
4.2.11	данных.	78 EDPD NLP / Регистр времени
4.2.12	кроссовера.	79 Управление режимом / Регистр
4.2.13	состояния.	Регистр 80 специальных
4.2.14	режимов.	81 Шаблоны TDR / Регистр
4.2.15	управления задержкой.	82 Регистр управления / состояния
4.2.16	TDR.	83 Регистр счетчика ошибок
4.2.17	символа.	84 Регистр специальных средств
4.2.18	управления / индикации состояния.	85 Регистр длины
4.2.19	кабеля.	86 Регистр флага источника
4.2.20	прерывания.	87 Регистр маски
4.2.21	прерывания.	88 PNY Специальный контроль /
4.2.22	регистр состояния.	89
4.3	Регистры управляемого устройства MDIO (MMD).	90
4.3.1	Устройства PCS MMD присутствуют 1 Зарегистрируйтесь.	92
4.3.2	PCS MMD Devices Present 2 Register.	93 Регистр контроля и
4.3.3	состояния пробуждения (WUCSR).	94 Регистр конфигурации
4.3.4	фильтра пробуждения A (WUF_CFGA).	96 Регистр конфигурации фильтра
4.3.5	пробуждения B (WUF_CFGB).	97 Регистры байтовой маски фильтра
4.3.6	пробуждения (WUF_MASK).	98 Регистр MAC-адреса приема A
4.3.7	(RX_ADDRA).	100 Регистр MAC-адреса приема B
4.3.8	(RX_ADDRB).	101 Регистр MAC-адреса приема C
4.3.9	(RX_ADDRC).	102 Регистр различных конфигураций
4.3.10	(MCFG).	103 Регистр ID устройства 1 MMD 1, зависящий от
4.3.11	поставщика.	104 Регистр ID устройства 2 MMD 1, зависящий от
4.3.12	поставщика.	105 Зависит от производителя 1 Устройства MMD
4.3.13	присутствуют 1 Регистр.	106 Зависит от поставщика 1 Наличие устройств
4.3.14	MMD 2 Регистр.	107 Регистр состояния MMD 1, зависящий от
4.3.15	поставщика.	108 Регистр пороговых значений соответствия
4.3.16	TDR.	109 TDR Короткий / открытый пороговый
4.3.17	регистр.	110 Идентификатор пакета MMD 1, зависящий от
4.3.18	поставщика 1 Регистр.	111 Идентификатор пакета MMD 1, зависящий
4.3.19	от поставщика, регистр.	112

Глава 5 Эксплуатационные характеристики. 113

5.1	Абсолютные максимальные рейтинги*.	
5.2	113 Условия эксплуатации **.	114
5.3	Тепловые характеристики корпуса.	114
5.4	Энергопотребление.	115 5.4.1
	REF_CLK в режиме.	115

5.4.2	Режим вывода REF_CLK.	116	DC Технические
5.5	характеристики.	117	AC Технические
5.6	характеристики.	119	5.6.1
	Эквивалентная испытательная нагрузка.	119	
5.6.2	Синхронизация последовательности мощности.		
5.6.3	120 nRST при включении и время настройки.	121	Синхронизация
5.6.4	интерфейса RMII.	122	SMI
5.6.5	Timing.	126	
5.7	Цепь часов.	127	
<hr/>			
Глава 6	Описание пакета.	128	
<hr/>			
Глава 7	Лист регистраций изменений.	131	

список рисунков

Рисунок 1.1.	Блок-схема системы.	9	Обзор
Рисунок 1.2.	архитектуры.	9	Назначение контактов 24-SQFN (ВИД
Рисунок 2.1.	СВЕРХУ).	10	Путь передачи данных 100BASE-TX.
Рисунок 3.1.	Путь приема данных 100BASE-TX.	23	Связь между полученными данными и конкретными
Рисунок 3.2.	сигналами MII.	25	Прямое кабельное соединение и перекрестное кабельное соединение.
Рисунок 3.3.	29 Сроки и структура кадра MDIO - Цикл чтения.	31	Синхронизация MDIO и структура кадра - цикл
Рисунок 3.4.	WRITE.	31	Внешние источники тактовой частоты 50 МГц REF_CLK.
Рисунок 3.5.	Получение REF_CLK от кристалла 25 МГц.	40	Получение REF_CLK от внешнего источника 25
Рисунок 3.6.	МГц.	41	год
Рисунок 3.7.	МГц.	40	Получение REF_CLK от внешнего источника 25 МГц.
Рисунок 3.8.	год.	39	Получение REF_CLK от кристалла 25 МГц.
Рисунок 3.9.	внешнего источника 25 МГц.	41	год
Рисунок 3.10	LED1 / nINT / nPME / REGOFF с отключенным внутренним регулятором.	42	
Рисунок 3.11	LED1 / nINT / nPME / REGOFF с включенным внутренним регулятором.	43	
Рисунок 3.12	LED2 / nINT / nPME с включенным nINTSEL.	44	Рисунок
Рисунок 3.13	LED2 / nINT / nPME с отключенным nINTSEL.	44	Рисунок 3.14
Конфигурация полярности LED1 / REGOFF.	45	Рисунок 3.15	
Конфигурация полярности LED2 / nINTSEL.	46	Рисунок 3.16	Блок-
схема использования TDR.	54	Рис. 3.17.	Блок-схема
кольцевой проверки на ближнем конце.	58	Рисунок 3.18	Блок-
схема дальней петли.	58	Рисунок 3.19.	Блок-схема
коннектора с обратной связью.	59	Рисунок 3.20.	Упрощенная
диаграмма приложений на уровне системы.	60	Рисунок 3.21	Схема
источника питания (1,2 В от внутреннего регулятора).	61	Рисунок 3.22	Схема источника
питания (1,2 В от внешнего источника).	62	Рисунок 3. 23	Схема интерфейса витой
пары (одиночный источник питания).	63	Рисунок 3.24.	Схема интерфейса витой
пары (два источника питания).	64	Рисунок 5.1	
Выходная эквивалентная тестовая нагрузка.	119		
Рисунок 5.2.	Синхронизация последовательности мощности.		
Рисунок 5.3.	120 nRST при включении и время настройки.	121	Время RMII (режим
Рисунок 5.4.	REF_CLK Out).	122	RMII Timing (REF_CLK в
Рисунок 5.5.	режиме).	124	SMI
Рисунок 5.6.	Timing.	126	

Список таблиц

Таблица 2.1.	Сигналы RMII.	11 светодиодных
Таблица 2.2	контактов.	13 контактов последовательного интерфейса управления
Таблица 2.3.	(SMI).	15 контактов Ethernet. 15 различных
Таблица 2.4	контактов.	15 аналоговых опорных контактов. 16
Таблица 2.5	контактов питания.	17 Назначение контактов в корпусе 24-
Таблица 2.6	SQFN.	18 типов буферов. 19 Кодовая таблица 4В /
Таблица 2.7	5В.	21 Таблица управления прерываниями. 33 Таблица
Таблица 2.8	управления альтернативной системой прерываний.	34 РЕЖИМ [2: 0]
Таблица 2.9	Автобус.	36 названий контактов для бит режима.
Таблица 3.1	36 Конфигурация nINTSEL.	38 случаев пробуждения. 50
Таблица 3.2	констант распространения TDR.	55 Типичная ошибка измерения открытого кабеля (+/-
Таблица 3.3	метры).	56 Типичная ошибка измерения закороченного кабеля (+/- метры). 56 Справочная таблица по
Таблица 3.4	расчетной длине кабеля (CBLN) для случая совпадения.	57 Типы битов регистров.
Таблица 3.5	65 Карта регистров CMI.	66 регистров MMD.
Таблица 3.6	90 тепловых параметров упаковки.	114 Потребляемый ток и рассеиваемая мощность (REF_CLK In, Reg.
Таблица 3.7	Disabled).	115 Потребляемый ток и рассеиваемая мощность (REF_CLK In, Reg. Enabled). 115 Потребляемый ток и рассеиваемая мощность (REF_CLK
Таблица 3.8	Out, Reg. Disabled).	116 Потребляемый ток и рассеиваемая мощность (REF_CLK Out, Reg. Enabled). 116 неизменяемые характеристики буфера ввода /
Таблица 3.9	вывода.	117 Переменные характеристики буфера ввода / вывода. 118
Таблица 3.10	Характеристики трансивера 100BASE-TX.	118 Характеристики трансивера 10BASE-T.
Таблица 3.11	119 Временные значения последовательности мощности.	120 Значения времени включения nRST и
Таблица 4.1.	конфигурационного ремня.	121 Значения времени RMII (режим REF_CLK Out). 123 Значения
Таблица 4.2.	времени RMII (REF_CLK в режиме).	125 RMII CLKIN (REF_CLK) Временные значения. 125
Таблица 4.3.	значений времени SMI.	126 Crystal Технические
Таблица 5.1	характеристики.	127 История изменений, сделанных
Таблица 5.2	заказчиком.	131 123 Значения времени RMII (REF_CLK в режиме). 125 RMII
Таблица 5.3.	CLKIN (REF_CLK) Временные значения.	125 значений времени SMI.
Таблица 5.4	126 Crystal Технические характеристики.	127 История изменений, сделанных
Таблица 5.5	заказчиком.	131 123 Значения синхронизации RMII (REF_CLK в режиме). 125
Таблица 5.6	RMII CLKIN (REF_CLK) Временные значения.	125 значений времени
Таблица 5.7	SMI.	126 Crystal Технические характеристики. 127
Таблица 5.8	История изменений, сделанных заказчиком.	131 125 значений времени
Таблица 5.9	SMI.	126 Crystal Технические характеристики. 127
Таблица 5.10	История изменений, сделанных заказчиком.	131 125 значений времени
Таблица 5.11	SMI.	126 Crystal Технические характеристики. 127
Таблица 5.12	История изменений клиента.	131
Таблица 5.13		
Таблица 5.14		
Таблица 5.15		
Таблица 5.16		
Таблица 7.1		

Глава 1 Введение

1.1 Общие термины и соглашения

Ниже приводится список общих терминов, используемых в этом документе:

БАЙТ	8 бит
ФИФО	Первый яв Первый Out буфер; часто используется для буфера эластичности
MAC	Media Адаптер Контролер
RMII™	рвыведен Media янезависимый яинтерфейс
N / A	Непригодный
Икс	Указывает, что логическое состояние - «безразлично» или не определено.
ЗАРЕЗЕРВИРОВАННЫЙ	Ссылается на зарезервированное битовое поле или адрес. Если не указано иное, зарезервированные биты всегда должны быть нулевыми для операций записи. Если не указано иное, значения не гарантируются при чтении зарезервированных битов. Если не указано иное, не читайте и не пишите по зарезервированным адресам.
СМИ	Сэриал Мпомолвка яинтерфейс

1.2 Общее описание

LAN8742A / LAN8742Ai - это маломощный трансивер физического уровня (PHY) 10BASE-T / 100BASE-TX с переменным напряжением ввода-вывода, который соответствует стандартам IEEE 802.3 и 802.3u.

LAN8742A / LAN8742Ai поддерживает связь с Ethernet MAC через стандартный интерфейс RMII. Он содержит полнодуплексный приемопередатчик 10-BASE-T / 100BASE-TX и поддерживает работу со скоростью 10 Мбит / с (10BASE-T) и 100 Мбит / с (100BASE-TX). LAN8742A / LAN8742Ai реализует автосогласование для автоматического определения наилучшей возможной скорости и дуплексного режима работы. Поддержка HP Auto-MDIX позволяет использовать прямые или перекрестные кабели LAN. Интегрированная поддержка Wake on LAN (WoL) обеспечивает механизм для запуска прерывания при приеме идеального DA, широковещательной рассылки, волшебного пакета или кадра пробуждения.

LAN8742A / LAN8742Ai поддерживает как совместимые со стандартом IEEE 802.3-2005, так и зависящие от производителя регистровые функции. Однако для работы не требуется доступ к регистру. Первоначальная конфигурация может быть выбрана с помощью выводов конфигурации, как описано в [Раздел 3.7, «Конфигурационные ремни», на стр. 35](#). Параметры конфигурации, выбираемые регистром, могут использоваться для дальнейшего определения функций трансивера.

LAN8742A / LAN8742Ai можно запрограммировать для поддержки пробуждения по локальной сети на физическом уровне, что позволяет обнаруживать настраиваемые кадры пробуждения и пакеты Magic. Эта функция позволяет фильтровать пакеты на уровне PHY, не требуя вмешательства MAC. Кроме того, LAN8742A / LAN8742Ai поддерживает диагностику кабеля, которая позволяет устройству определять обрыв / короткое замыкание и их расположение на кабеле с помощью регистров, зависящих от производителя.

В соответствии со стандартами IEEE 802.3-2005 все выводы цифрового интерфейса устойчивы к напряжению 3,6 В. Устройство можно настроить для работы от одного источника питания 3,3 В с использованием встроенного линейного регулятора напряжения от 3,3 В до 1,2 В. Линейный регулятор может быть дополнительно отключен, что позволяет использовать внешний регулятор с высоким КПД для снижения рассеиваемой мощности системы.

LAN8742A / LAN8742Ai доступен в коммерческом (от 0 °C до +70 °C) и промышленном (от -40 °C до +85 °C) вариантах температурного диапазона. Типичное системное приложение показано на [Рисунок 1.1.. Рисунок 1.2.](#) представлена внутренняя блок-схема устройства.

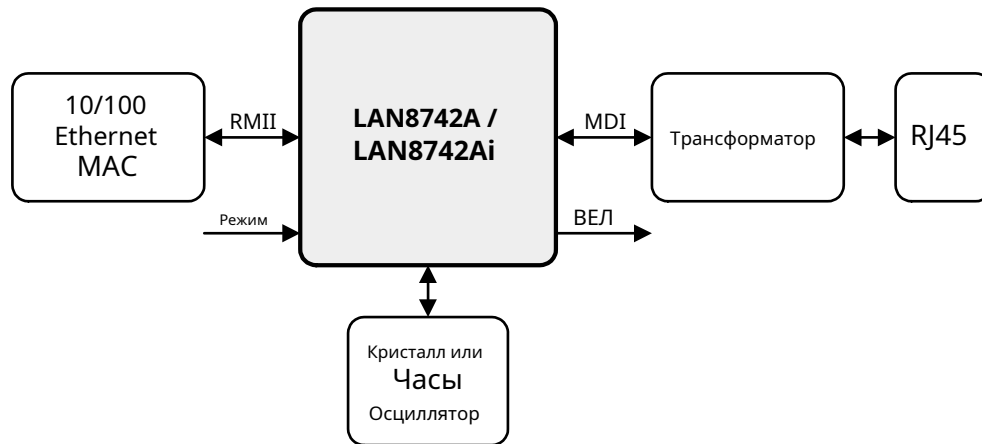


Рисунок 1.1 Блок-схема системы

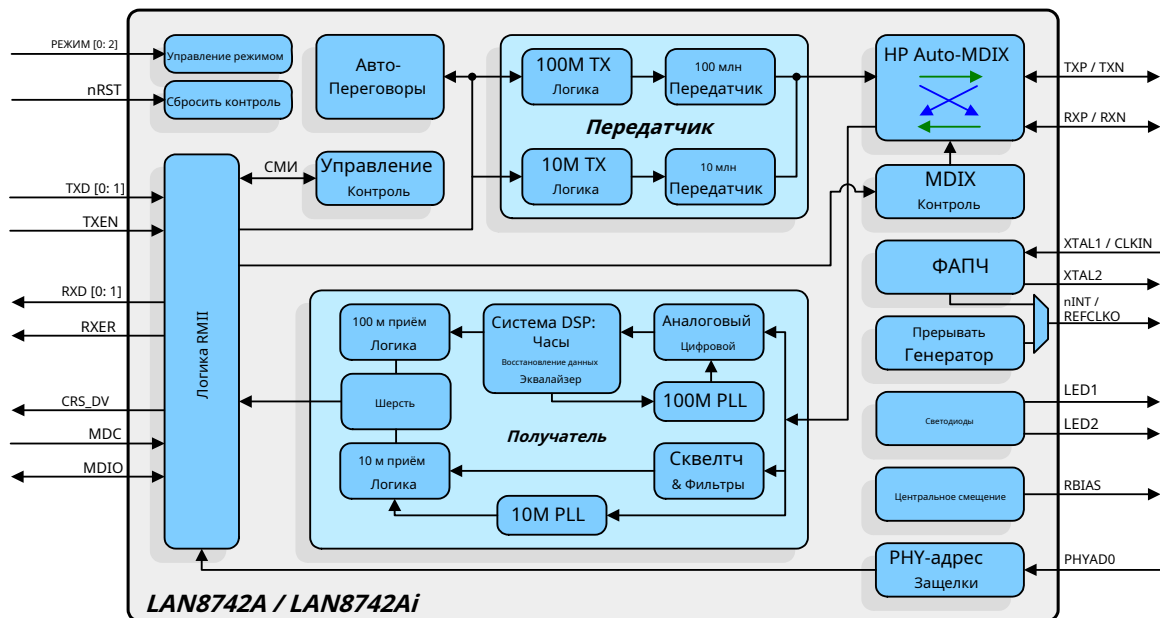
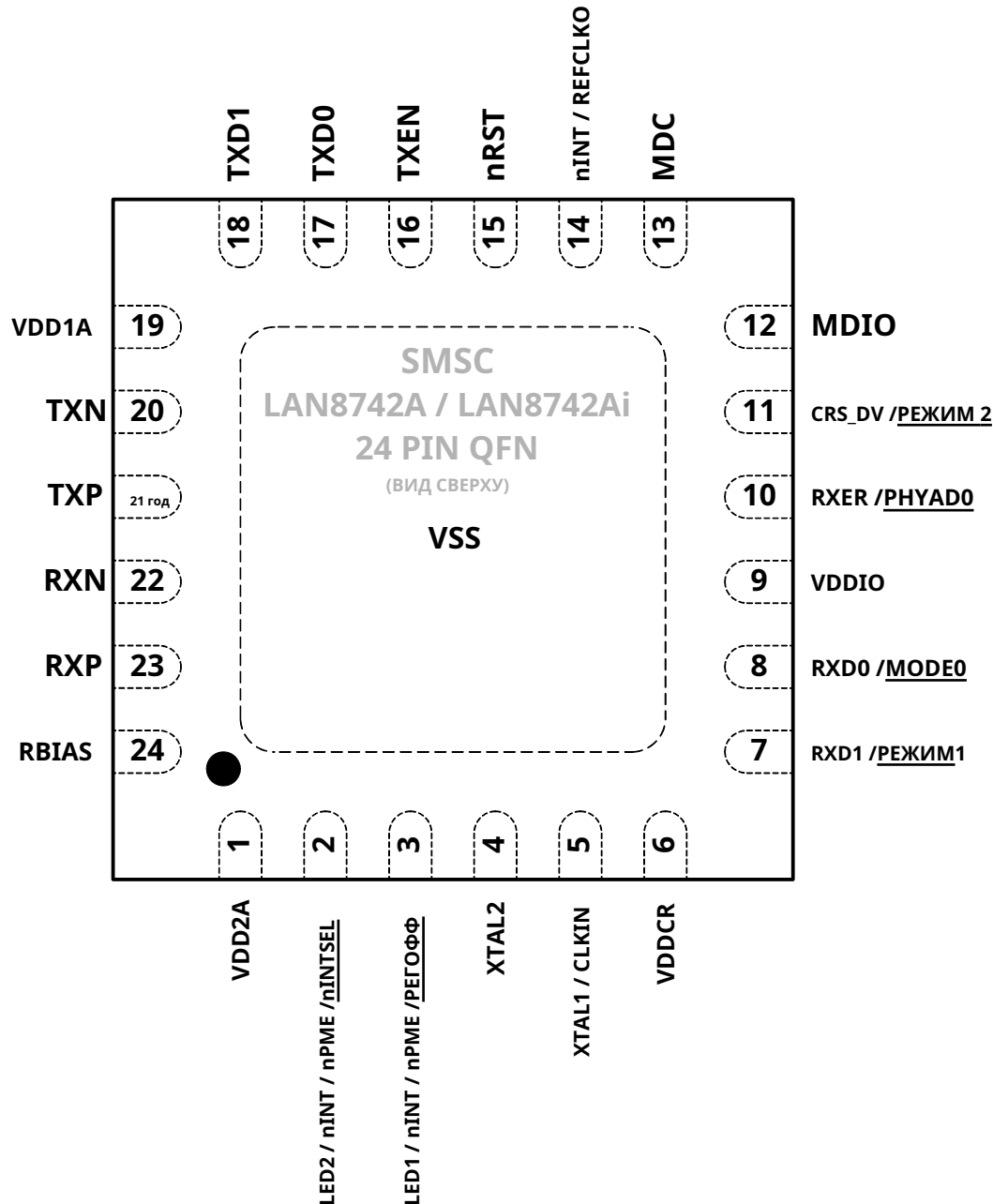


Рисунок 1.2 Обзор архитектуры

Глава 2 Описание и конфигурация контактов



ЗАМЕТКА: Открытая площадка (VSS) на дне упаковки должна быть заземлена.

Рисунок 2.1 Назначение выводов 24-SQFN (ВИД Сверху)

примечание: Когда в начале имени сигнала используется строчная буква «п», это указывает на то, что сигнал активен на низком уровне. Например, nRST указывает, что активный низкий уровень сигнала сброса.

Примечание: Тип буфера для каждого сигнала указывается в столбце BUFFER TYPE. Описание типов буферов приведено в [Раздел 2.2](#).

Таблица 2.1 Сигналы RMII

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Передать Данные 0	TXD0	ВИС	MAC передает данные на трансивер, используя этот сигнал.
1	Передать Данные 1	TXD1	ВИС	MAC передает данные на трансивер, используя этот сигнал.
1	Передать Давать возможность	TXEN	ВИС (PD)	Указывает, что действительные данные передачи присутствуют в TXD [1: 0].
1	Получать Данные 0	RXD0	VO8	Бит 0 из 2 битов данных, которые отправляются трансивером по пути приема.
	PHY Операционная Режим 0 Конфигурация Ремень	<u>MODE0</u>	ВИС (PU)	В сочетании с MODE1 и MODE2 эта конфигурационная планка устанавливает режим PHY по умолчанию. Видеть Примечание 2.1 для получения дополнительной информации о конфигурации ремней. Примечание: Ссылаться на Раздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима» , на стр. 36 для получения дополнительных сведений.
1	Получать Данные 1	RXD1	VO8	Бит 1 из 2 битов данных, которые отправляются трансивером по пути приема.
	PHY Операционная Режим 1 Конфигурация Ремень	<u>РЕЖИМ1</u>	ВИС (PU)	В сочетании с MODE0 и MODE2 эта конфигурационная планка устанавливает режим PHY по умолчанию. Видеть Примечание 2.1 для получения дополнительной информации о конфигурации ремней. Примечание: Ссылаться на Раздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима» , на стр. 36 для получения дополнительных сведений.
1	Ошибка получения	RXER	VO8	Этот сигнал утверждается, чтобы указать, что где-то в кадре, передаваемом приемопередатчиком, была обнаружена ошибка.
	PHY-адрес 0 Конфигурация Ремень	<u>PHYAD0</u>	ВИС (PD)	Эта конфигурационная планка устанавливает SMI-адрес трансивера. Видеть Примечание 2.1 для получения дополнительной информации о конфигурации ремней. Примечание: Ссылаться на Раздел 3.7.1, «PHYAD [0]: конфигурация физического адреса» , на стр. 35 для дополнительной информации.

Таблица 2.1 Сигналы RMII (продолжение)

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Чувство носителя / Получать <small>Данные действительны</small>	CRS_DV	VO8	<p>Этот сигнал утверждается, чтобы указать, что принимающая среда не находится в режиме ожидания. При получении пакета 10BASE-T подтверждается CRS_DV, но RXD [1: 0] остается на низком уровне до тех пор, пока не будет получен байт SFD (10101011).</p> <p>Примечание: Согласно стандарту RMII, передаваемые данные не возвращаются на контакты приема данных в полудуплексном режиме 10BASE-T.</p>
	РНУ <small>Операционная Режим 2 Конфигурация Ремень</small>	<u>РЕЖИМ 2</u>	ВИС (PU)	<p>В сочетании с MODE0 и MODE1 эта конфигурационная планка устанавливает режим РНУ по умолчанию.</p> <p>Видеть Примечание 2.1 для получения дополнительной информации о конфигурации ремней.</p> <p>Примечание: Ссылаться на Раздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима», на стр. 36 для получения дополнительных сведений.</p>

Примечание 2.1 Значения конфигурационной планки фиксируются при сбросе при включении питания и сбросе системы. Ремешки конфигурации обозначаются подчеркнутым символом. Сигналы, которые функционируют как перемычки конфигурации, должны быть усилены внешним резистором при подключении к нагрузке. Ссылаться на [Раздел 3.7, «Конфигурационные ремни»](#), на [стр. 35](#) для дополнительной информации.

Таблица 2.2 Выводы светодиодов

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Светодиод 1	LED1	O12	<p>Этот вывод может использоваться для индикации активности соединения, скорости соединения, nINT или nPME, как настроено через LED1 Выбор функции поле Регистр контроля и состояния пробуждения (WUCSR).</p> <p>Примечание: Ссылаться на Раздел 3.8.1, «Индикаторы», на стр. 42 а также Раздел 3.8.4, «Пробуждение по локальной сети (WoL)», на стр. 47 для получения дополнительной информации о светодиодах.</p>
	Прерывать Выход	nINT	O12	<p>Активный низкий выход прерывания.</p> <p>Примечание: По умолчанию сигнал nINT выводится на вывод nINT / REFCLKO. Сигнал nINT может быть дополнительно сконфигурирован для вывода на выводы LED1 или LED2. Ссылаться на Раздел 3.6, «Управление прерываниями», на стр. 32 для получения дополнительных сведений о прерываниях устройства.</p>
	Власть Управление Вывод событий	nPME	O12	<p>Активный выход события управления низким энергопотреблением (PME).</p> <p>Примечание: Сигнал nPME может быть дополнительно сконфигурирован для вывода на выводы LED1 или LED2. Ссылаться на Раздел 3.8.4, «Пробуждение по локальной сети (WoL)», на стр. 47 для получения дополнительной информации о nPME и WoL.</p>
	Регулятор выключен Конфигурация Ремень	<u>РЕГОФФ</u>	является (PD)	<p>Эта конфигурационная планка используется для отключения внутреннего стабилизатора 1,2 В. Когда регулятор отключен, на VDDCR должно подаваться внешнее напряжение 1,2 В.</p> <p>Когда <u>РЕГОФФ</u> подключен к VDD2A с помощью внешнего резистора, внутренний регулятор отключен.</p> <p>Когда <u>РЕГОФФ</u> плавающий или пониженный, внутренний регулятор включен (по умолчанию).</p> <p>Видеть Примечание 2.2 для получения дополнительной информации о конфигурации ремней.</p> <p>Примечание: Ссылаться на Раздел 3.7.3, «REGOFF: Внутренний регулятор +1,2 В Конфигурация» на странице 37 для получения дополнительных сведений.</p>

Таблица 2.2 Контакты светодиодов (продолжение)

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Светодиод 2	LED2	O12	<p>Этот вывод может использоваться для индикации активности соединения, скорости соединения, nINT или nPME, как настроено через LED2 Выбор функции поле Регистр контроля и состояния пробуждения (WUCSR).</p> <p>Примечание: Ссылаться на Раздел 3.8.1, «Индикаторы», на стр. 42 а также Раздел 3.8.4, «Пробуждение по локальной сети (WoL)», на стр. 47 для получения дополнительной информации о светодиодах.</p>
	Прерывать Выход	nINT	O12	<p>Активный низкий выход прерывания.</p> <p>Примечание: По умолчанию сигнал nINT выводится на вывод nINT / REFCLKO. Сигнал nINT может быть дополнительно сконфигурирован для вывода на выводы LED1 или LED2. Ссылаться на Раздел 3.6, «Управление прерываниями», на стр. 32 для получения дополнительных сведений о прерываниях устройства.</p>
	Власть Управление Вывод событий	nPME	O12	<p>Активный выход события управления низким энергопотреблением (PME).</p> <p>Примечание: Сигнал nPME может быть дополнительно сконфигурирован для вывода на выводы LED1 или LED2. Ссылаться на Раздел 3.8.4, «Пробуждение по локальной сети (WoL)», на стр. 47 для получения дополнительной информации о nPME и WoL.</p>
	nINT / REFCLKO Функция Выбирать Конфигурация Ремень	<u>nINTSEL</u>	является (PU)	<p>Эта конфигурационная планка выбирает режим вывода nINT / REFCLKO.</p> <ul style="list-style-type: none"> Когда <u>nINTSEL</u> перемещается или подтягивается к VDD2A, nINT выбирается для работы на Вывод nINT / REFCLKO (по умолчанию). Когда <u>nINTSEL</u> понижается до VSS, REFCLKO выбирается для работы на выводе nINT / REFCLKO. <p>Видеть Примечание 2.2 для получения дополнительной информации о конфигурации ремней.</p> <p>Примечание: См. См. Раздел 3.8.1.6, «Выбор полярности nINTSEL и LED2», на стр. 46 для дополнительной информации.</p>

Примечание 2.2

Значения конфигурационной планки фиксируются при сбросе при включении питания и сбросе системы. Ремешки конфигурации обозначаются подчеркнутым символом. Сигналы, которые функционируют как переключки конфигурации, должны быть усилены внешним резистором при подключении к нагрузке. Ссылаться на [Раздел 3.7, «Конфигурационные ремни»](#), на [стр. 35](#) для дополнительной информации.

Таблица 2.3 Контакты последовательного интерфейса управления (SMI)

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Данные SMI Ввод, вывод	MDIO	ВИС / VO8 (PU)	Ввод / вывод данных последовательного интерфейса управления
1	SMI Часы	MDC	ВИС	Часы последовательного интерфейса управления

Таблица 2.4 Контакты Ethernet

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Ethernet TX / RX Положительный Канал 1	TXP	AIO	Положительный канал передачи / приема 1
1	Ethernet TX / RX Отрицательный Канал 1	TXN	AIO	Передача / прием отрицательного канала 1
1	Ethernet TX / RX Положительный Канал 2	RXP	AIO	Положительный канал передачи / приема 2
1	Ethernet TX / RX Отрицательный Канал 2	RXN	AIO	Передача / получение отрицательного канала 2

Таблица 2.5 Разные контакты

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Внешний Кристалл Вход	XTAL1	ICLK	Внешний кварцевый вход
	Внешний Вход часов	CLKIN	ICLK	Несимметричный вход тактового генератора. Примечание: При использовании несимметричного тактового генератора XTAL2 не следует подключать.
1	Внешний Кристалл Выход	XTAL2	OCLK	Выход на внешний кристалл
1	Внешний Сброс настроек	nRST	ВИС (PU)	Сброс системы. Этот сигнал имеет активный низкий уровень.

Таблица 2.5 Разные контакты (продолжение)

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Прерывать Выход	nINT	VOD8 (PU)	<p>Активный низкий выход прерывания. Подключите внешний резистор к VDDIO.</p> <p>Примечание: Сигнал nINT может быть дополнительно сконфигурирован для вывода на выводы LED1 или LED2. Ссылаться на Раздел 3.6, «Управление прерываниями», на стр. 32 для получения дополнительных сведений о прерываниях устройства.</p> <p>Примечание: Ссылаться на Раздел 3.8.1.6, «Выбор полярности nINTSEL и LED2», на стр. 46 для подробностей о том, как <u>nINTSEL</u> ремешок конфигурации используется для определения функции этого штифта.</p>
	Ссылка Выход часов	REFCLKO	VO8	<p>Этот дополнительный выход тактовой частоты 50 МГц получен от кварцевого генератора 25 МГц. REFCLKO можно выбрать через <u>nINTSEL</u> ремешок конфигурации.</p> <p>Примечание: Ссылаться на Раздел 3.7.4.2, «Режим REF_CLK Out», на стр. 39 для получения дополнительных сведений о прерываниях устройства.</p> <p>Примечание: Ссылаться на Раздел 3.8.1.6, «Выбор полярности nINTSEL и LED2», на стр. 46 для подробностей о том, как <u>nINTSEL</u> ремешок конфигурации используется для определения функции этого штифта.</p>

Таблица 2.6 Аналоговые опорные выводы

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	Внешний 1% Резистор смещения Вход	RBIAS	AI	<p>Этот вывод требует подключения резистора 12,1 кОм (1%) к земле.</p> <p>См. Справочную схему LAN8742A / LAN8742Ai для получения информации о подключении.</p> <p>Примечание: Номинальное напряжение составляет 1,2 В, а резистор рассеивает примерно 1 мВт мощности.</p>

Таблица 2.7 Выводы питания

NUM PINS	ИМЯ	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	БУФЕР ТИП	ОПИСАНИЕ
1	+ 1,8 В до + 3,3 В <small>Переменный вход / вывод</small> Власть	VDDIO	П	Регулируемая мощность ввода / вывода от + 1,8 В до +3,3 В. См. Справочную схему LAN8742A / LAN8742Ai для получения информации о подключении.
1	+ 1,2 В цифровой <small>Основная мощность</small> Поставка	VDDCR	П	Поставляется встроенным регулятором, если только он не настроен для режима выключения регулятора через <u>конфигурационную</u> планку REGOFF. См. Справочную схему LAN8742A / LAN8742Ai для получения информации о подключении. <small>Примечание:</small> На этом выводе следует использовать развязывающие конденсаторы емкостью 1 мкФ и 470 пФ, подключенные параллельно земле.
1	+ 3,3 В Канал 1 <small>Аналоговый порт</small> Власть	VDD1A	П	+ 3.3 В питание аналогового порта на канал 1. См. Справочную схему LAN8742A / LAN8742Ai для получения информации о подключении.
1	+ 3,3 В Канал 2 <small>Аналоговый порт</small> Власть	VDD2A	П	+ 3.3 В Аналоговый порт питания для канала 2 и внутреннего регулятора. См. Справочную схему LAN8742A / LAN8742Ai для получения информации о подключении.
1	Земля	VSS	П	Общие основания. Эта открытая контактная площадка должна быть подключена к заземляющей пластине с помощью массива переходных отверстий.

2.1 Назначение контактов

Таблица 2.8 Назначение контактов пакета 24-SQFN

НОМЕР ПИН-кода	ИМЯ ПИН-кода	НОМЕР ПИН-кода	ИМЯ ПИН-кода
1	VDD2A	13	MDC
2	LED2 / nINT / nPME / <u>nINTSEL</u>	14	nINT / REFCLKO
3	LED1 / nINT / nPME / <u>PEГОФФ</u>	15	nRST
4	XTAL2	16	TXEN
5	XTAL1 / CLKIN	17	TXD0
6	VDDCR	18	TXD1
7	RXD1 / <u>РЕЖИМ1</u>	19	VDD1A
8	RXD0 / <u>MODE0</u>	20	TXN
9	VDDIO	21 год	TXP
10	RXER / <u>PHYAD0</u>	22	RXN
11	CRS_DV / <u>РЕЖИМ 2</u>	23	RXP
12	MDIO	24	RBIAS

2.2 Типы буферов

Таблица 2.9 Типы буферов

ТИП БУФЕРА	ОПИСАНИЕ
ЯВЛЯЕТСЯ	Триггерный вход Шмитта
O12	Выход со стоком 12 мА и источником 12 мА
ВИС	Вход с регулируемым напряжением, запускаемый по Шмитту
VO8	Выход переменного напряжения с потребителем 8 мА и источником 8 мА
VOD8	Выход переменного напряжения с открытым стоком и стоком 8 мА
ПУ	50 мкА (номинал) с внутренним подтягиванием. Если в описании вывода не указано иное, внутренние подтяжки включены всегда. Примечание: Внутренние подтягивающие резисторы предотвращают «плавающее» состояние неподключенных входов. Не полагайтесь на внутренние резисторы для управления сигналами, внешними по отношению к устройству. При подключении к нагрузке, которую необходимо подтянуть высоко, необходимо добавить внешний резистор.
PD	Внутренний понижающий ток 50 мкА (номинал). Если в описании вывода не указано иное, внутренние выпрямления всегда разрешены. Примечание: Внутренние понижающие резисторы предотвращают «плавающее» состояние неподключенных входов. Не полагайтесь на внутренние резисторы для управления сигналами, внешними по отношению к устройству. При подключении к нагрузке, которая должна быть понижена, необходимо добавить внешний резистор.
AI	Аналоговый вход
AIO	Аналоговый двунаправленный
ICLK	Входной контакт кварцевого генератора
OCLK	Выходной контакт кварцевого генератора
П	Контакт питания

примечание: Цифровые сигналы не допускают напряжения 5 В. Ссылаться на [Раздел 5.1, «Абсолютные максимальные рейтинги *»](#) на стр. 113 для получения дополнительной информации о буфере.

примечание: Возможности приемника и источника зависят от напряжения VDDIO. Ссылаться на [Раздел 5.1, «Абсолютные максимальные рейтинги *»](#) на стр. 113 для дополнительной информации.

Глава 3 Функциональное описание

В этой главе представлены функциональные описания различных функций устройства. Эти функции были разделены на следующие разделы:

- Трансивер
- Автосогласование
- Поддержка HP Auto-MDIX
- MAC-интерфейс
- Управление прерываниями последовательного
- интерфейса управления (SMI)
- Ремни конфигурации
- Диаграммы приложений для
- различных функций

3.1 Трансивер

3.1.1 Передача 100BASE-TX

Путь передачи данных 100BASE-TX показан на [Рисунок 3.1](#). Каждый основной блок описан в следующих подразделах.

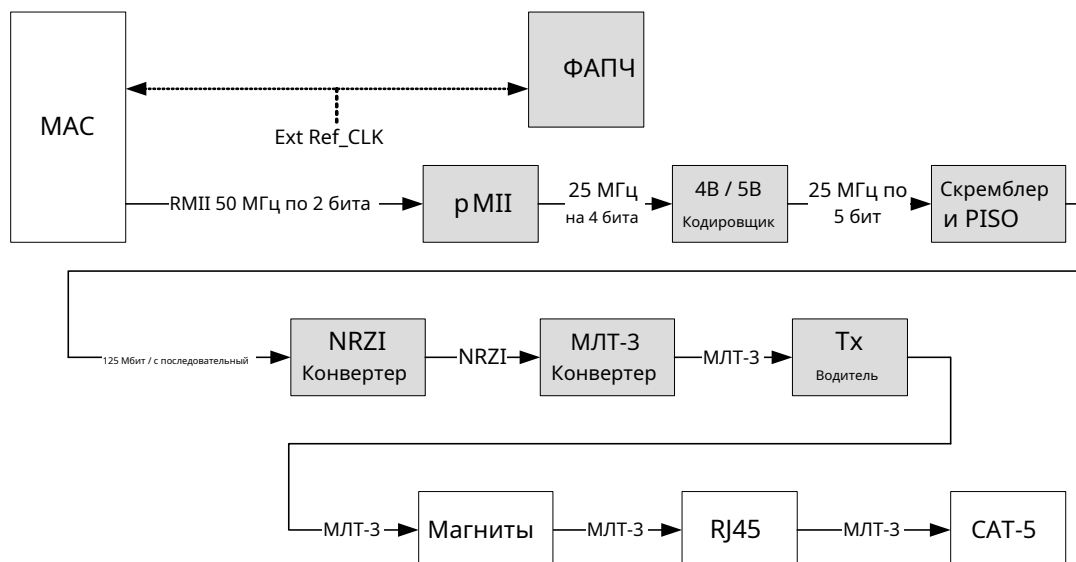


Рисунок 3.1 Путь передачи данных 100BASE-TX

3.1.1.1 **Передача данных 100BASE-TX через интерфейс RMII**

Контроллер MAC передает передаваемые данные на шину TXD и устанавливает TXEN, чтобы указать действительные данные. Данные фиксируются блоком RMII трансивера по переднему фронту REF_CLK. Данные представлены в виде 2-битных данных шириной 50 МГц.

3.1.1.2 **Кодирование 4B / 5B**

Передаваемые данные проходят от блока RMII к кодеру 4B / 5B. Этот блок кодирует данные из 4-битных полубайтов в 5-битные символы (известные как «кодовые группы») в соответствии сТаблица 3.1. Каждый 4-битный полубайт данных отображается в 16 из 32 возможных кодовых групп. Остальные 16 кодовых групп либо используются для управляющей информации, либо недействительны.

Первые 16 кодовых групп обозначаются шестнадцатеричными значениями соответствующих полубайтов данных от 0 до F. Остальным кодовым группам присваиваются буквенные обозначения с косой чертой с обеих сторон. Например, группа кодов IDLE - это / I /, группа кодов ошибок передачи - / Н / и т. Д.

Таблица 3.1 Кодовая таблица 4B / 5B

КОД ГРУППА	SYM	ПОЛУЧАТЕЛЬ ТОЛКОВАНИЕ			ПЕРЕДАТЧИК ТОЛКОВАНИЕ		
11110	0	0	0000	ДАННЫЕ	0	0000	ДАННЫЕ
01001	1	1	0001		1	0001	
10100	2	2	0010		2	0010	
10101	3	3	0011		3	0011	
01010	4	4	0100		4	0100	
01011	5	5	0101		5	0101	
01110	6	6	0110		6	0110	
01111	7	7	0111		7	0111	
10010	8	8	1000		8	1000	
10011	9	9	1001		9	1001	
10110	A	A	1010		A	1010	
10111	B	B	1011		B	1011	
11010	C	C	1100		C	1100	
11011	D	D	1101		D	1101	
11100	E	E	1110		E	1110	
11101	F	F	1111		F	1111	
11111	Я	ПРАЗДНЫЙ			Отправлено после / T / R до TXEN		
11000	J	Первый полубайт SSD, переведенный в «0101» после IDLE, иначе RXER			Отправлено на повышение TXEN		
10001	K	Второй полубайт SSD, переведенный в «0101» после J, иначе RXER			Отправлено на повышение TXEN		

Таблица 3.1 Кодовая таблица 4B / 5B (продолжение)

КОД ГРУППА	SYM	ПОЛУЧАТЕЛЬ ТОЛКОВАНИЕ	ПЕРЕДАТЧИК ТОЛКОВАНИЕ
01101	T	Первый полубайт ESD вызывает отмену подтверждения CRS, если за ним следует / R /, иначе утверждение RXER	Отправлено за падение TXEN
00111	p	Второй полубайт ESD вызывает отмену подтверждения CRS, если следует / T /, иначе утверждение RXER	Отправлено за падение TXEN
00100	ЧАС	Символ ошибки передачи	Отправлено для увеличения TXER
00110	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
11001	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
00000	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
00001	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
00010	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
00011	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
00101	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
01000	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
01100	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ
10000	V	НЕДЕЙСТВИТЕЛЬНО, RXER, если во время RXDV	НЕВЕРНЫЙ

3.1.1.3**Скремблирование**

Повторяющиеся шаблоны данных (особенно кодовая группа IDLE) могут иметь спектральные плотности мощности с большими узкополосными пиками. Скремблирование данных помогает устранить эти пики и более равномерно распределить мощность сигнала по всей полосе пропускания канала. Эта однородная спектральная плотность требуется правилами FCC для предотвращения чрезмерного электромагнитного излучения от физической проводки.

Начальное значение для скремблера генерируется из адреса трансивера, [PHYAD](#), гарантируя, что в приложениях с несколькими приемопередатчиками, таких как ретрансляторы или коммутаторы, каждый приемопередатчик будет иметь свою собственную последовательность скремблера.

Скремблер также выполняет преобразование данных через параллельный вход и последовательный выход (PISO).

3.1.1.4**Кодирование NRZI и MLT-3**

Блок скремблера передает 5-битные параллельные данные в преобразователь NRZI, где они становятся последовательным потоком данных NRZI на 125 МГц. NRZI закодирован в MLT-3. MLT-3 представляет собой трехуровневый код, в котором изменение логического уровня представляет собой кодовый бит «1», а логический выход, остающийся на том же уровне, представляет собой кодовый бит «0».

3.1.1.5**Драйвер передачи 100M**

Затем данные MLT3 передаются аналоговому передатчику, который передает дифференциальный сигнал MLT-3 на выходах TXP и TXN на витую пару через изолирующий трансформатор с соотношением 1: 1. Сигналы 10BASE-T и 100BASE-TX проходят через один и тот же трансформатор, так что общие «магнетики» могут быть

используется для обоих. Передатчик работает с сопротивлением 100 Ом кабеля CAT-5. Концевая заделка кабеля и согласование импеданса требуют внешних компонентов.

3.1.1.6 100 м цепи фазовой автоподстройки частоты (ФАПЧ)

ФАПЧ 100М синхронизируется с опорным тактовым сигналом и генерирует тактовый сигнал 125 МГц, используемый для управления логикой 125 МГц и передатчиком 100BASE-TX.

3.1.2 100BASE-TX Прием

Путь приема данных 100BASE-TX показан на [Рисунок 3.2](#). Каждый основной блок описан в следующих подразделах.

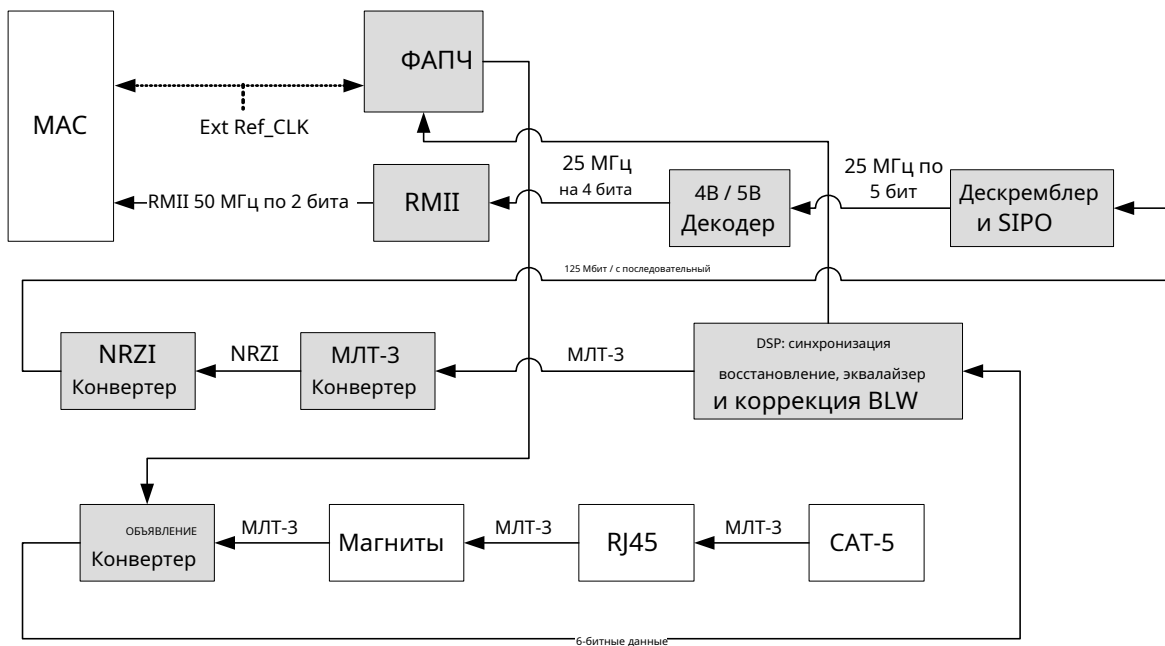


Рисунок 3.2 Путь приема данных 100BASE-TX

3.1.2.1 Входной сигнал 100М

MLT-3 от кабеля подается в трансивер (на входах RXP и RXN) через трансформатор соотношения 1: 1. АЦП производит выборку входящего дифференциального сигнала со скоростью 125 миллионов выборок в секунду. Используя 64-уровневый квантизатор, он генерирует 6 цифровых битов для представления каждой выборки. DSP регулирует усиление АЦП в соответствии с наблюдаемыми уровнями сигнала, чтобы можно было использовать полный динамический диапазон АЦП.

3.1.2.2 Эквалайзер, коррекция базового дрейфа и восстановление тактовой частоты и данных

6 битов из АЦП подаются в блок DSP. Эквалайзер в секции DSP компенсирует фазовые и амплитудные искажения, вызванные физическим каналом, состоящим из магнетиков, разъемов и кабеля CAT-5. Эквалайзер может восстановить сигнал для любого качественного кабеля CAT-5 от 1 до 100 м.

Если содержание постоянного тока в сигнале таково, что низкочастотные компоненты падают ниже низкочастотного полюса изолирующего трансформатора, то характеристики спада трансформатора станут

значительный и базовый дрейф (BLW) на полученном сигнале. Чтобы предотвратить повреждение полученных данных, приемопередатчик корректирует BLW и может без битовых ошибок принимать определенный ANSI X3.263-1995 FDDI TP-PMD «пакет-убийцу».

ФАПЧ 100М генерирует несколько фаз тактовой частоты 125 МГц. Мультиплексор, управляемый блоком синхронизации DSP, выбирает оптимальную фазу для выборки данных. Это используется как полученные восстановленные часы. Эти часы используются для извлечения последовательных данных из принятого сигнала.

3.1.2.3 Декодирование NRZI и MLT-3

DSP генерирует восстановленные уровни MLT-3, которые подаются на преобразователь MLT-3. Затем MLT-3 преобразуется в поток данных NRZI.

3.1.2.4 Дескремблирование

Дескремблер выполняет функцию, обратную скремблеру в передатчике, а также выполняет преобразование данных через последовательный параллельный вывод (SIPO).

Во время приема символов IDLE (/ I /). дескремблер синхронизирует свой ключ дескремблера с входящим потоком. После достижения синхронизации дескремблер блокирует этот ключ и может дешифровать входящие данные.

Специальная логика в дескремблере обеспечивает синхронизацию с удаленным приемопередатчиком путем поиска символов IDLE в окне размером 4000 байт (40 мкс). Это окно гарантирует, что максимальный размер пакета 1514 байтов, разрешенный стандартом IEEE 802.3, может быть получен без помех. Если в течение этого периода времени IDLE-символы не обнаружены, операция приема прерывается, и дескремблер повторно запускает процесс синхронизации.

3.1.2.5 Выравнивание

Затем дескремблированный сигнал выравнивается по 5-битным кодовым группам путем распознавания пары / J / K / Start-of-Stream Delimiter (SSD) в начале пакета. Как только выравнивание кодового слова определено, оно сохраняется и используется до следующего начала кадра.

3.1.2.6 5B / 4B декодирование

5-битные кодовые группы преобразуются в 4-битные полубайты данных в соответствии с таблицей 4B / 5B. Преобразованные данные представлены на сигнальных линиях RXD [1: 0]. SSD, / J / K /, преобразуется в «0101 0101» как первые 2 полубайта преамбулы MAC. Прием SSD заставляет трансивер утверждать действительный сигнал приема данных, указывая, что действительные данные доступны на шине RXD. Последовательные действительные кодовые группы преобразуются в полубайты данных. Прием либо ограничителя конца потока (ESD), состоящего из символов / T / R /, либо, по крайней мере, двух символов / I / заставляет приемопередатчик отменять определение несущей и принимать сигналы достоверности данных.

Примечание: Эти символы не переводятся в данные.

3.1.2.7 Получите достоверный сигнал данных

Сигнал достоверности полученных данных (RXDV) указывает, что восстановленные и декодированные полубайты представлены на выходах RXD [1: 0] синхронно с RXCLK. RXDV становится активным после распознавания разделителя / J / K / и выравнивания RXD по границам полубайта. Он остается активным до тех пор, пока не будет распознан разделитель / T / R /, либо пока проверка связи не покажет сбой, либо SIGDET не станет ложным.

RXDV утверждается, когда первый полубайт переведенного / J / K / готов к передаче через независимый от носителя интерфейс (режим MII).

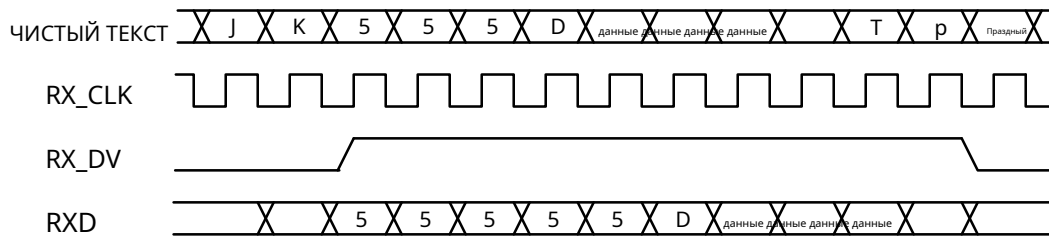


Рисунок 3.3 Связь между полученными данными и конкретными сигналами MII

3.1.2.8 Ошибки приемника

Во время кадра неожиданные группы кодов считаются ошибками приема. Ожидаемые кодовые группы - это набор ДАННЫХ (от 0 до F) и пара символов / T / R / (ESD). Когда происходит ошибка приема, утверждается сигнал RXER, и произвольные данные передаются в строки RXD [1: 0]. Если во время декодирования разделителя / J / K / обнаруживается ошибка (плохая ошибка SSD), RXER принимает истинное значение, и значение «1110» передается в строки RXD [1: 0]. Обратите внимание, что сигнал Valid Data еще не утверждается, когда возникает ошибка неисправного SSD.

3.1.2.9 100 МБ данных для приема через интерфейс RMII

2-битные полубайты данных отправляются в блок RMII. Эти полубайты данных синхронизируются с контроллером с частотой 50 МГц. Контроллер производит выборку данных по нарастающему фронту XTAL1 / CLKIN (REF_CLK).

3.1.3 Передача 10BASE-T

Передаваемые данные поступают от контроллера уровня MAC. Передатчик 10BASE-T принимает 4-битные полубайты от MII со скоростью 2,5 МГц и преобразует их в последовательный поток данных со скоростью 10 Мбит / с. Затем поток данных кодируется в манчестерском формате и отправляется на аналоговый передатчик, который передает сигнал на витую пару через внешний магнитопрод.

Передатчик 10M использует следующие блоки:

- MII (цифровой)
- TX 10M (цифровой)
- Передатчик 10M (аналоговый)
- 10M PLL (аналоговый)

3.1.3.1 Передача данных 10M через интерфейс MII / RMII

Контроллер MAC передает передаваемые данные на шину TXD. TXD [1: 0] должен переходить синхронно по отношению к REF_CLK. Когда утверждается TXEN, устройство принимает TXD [1: 0] для передачи. TXD [1: 0] должен иметь значение «00», чтобы указывать на бездействие, когда TXEN сброшен. Значения TXD [1: 0], отличные от «00», когда TXEN деактивирован, зарезервированы для внеполосной сигнализации (предстоит определить). Значения, отличные от «00» в TXD [1: 0], в то время как TXEN деактивирован, должны игнорироваться устройством. TXD [1: 0] должен предоставлять действительные данные для каждого периода REF_CLK, пока TXEN подтвержден.

Чтобы соответствовать устаревшим 10BASE-T MAC / контроллерам, в полудуплексном режиме приемопередатчик возвращает передаваемые данные в обратном направлении на приемном тракте. Это не сбивает с толку MAC / контроллер, поскольку в это время сигнал COL не поступает. Трансивер также поддерживает сигнал SQE (Heartbeat).

3.1.3.2 Манчестерское кодирование

4-битные данные отправляются в блок 10M TX. Полубайты преобразуются в последовательный поток данных NRZI со скоростью 10 Мбит / с. ФАПЧ 10М синхронизируется с внешней тактовой частотой или внутренним генератором и выдает тактовую частоту 20 МГц. Это используется для кодирования Манчестером потока данных NRZ. Когда данные не передаются (TXEN имеет низкий уровень), блок 10M TX выводит импульсы нормального канала (NLP) для поддержания связи с удаленным партнером по каналу связи.

3.1.3.3 Драйверы передачи 10M

Данные, закодированные в манчестерском коде, отправляются в аналоговый передатчик, где они формируются и фильтруются перед тем, как быть выведены в виде дифференциального сигнала через выходы TXP и TXN.

3.1.4 10BASE-T Прием

Приемник 10BASE-T получает аналоговый сигнал в манчестерской кодировке от кабеля через магнитное поле. Он восстанавливает тактовую частоту приема из сигнала и использует ее для восстановления потока данных NRZI. Эти 10-мегабайтные последовательные данные преобразуются в 4-битные полубайты данных, которые передаются контроллеру через MII с частотой 2,5 МГц.

В этом приемнике 10M используются следующие блоки:

- Фильтр и шумоподаватель (аналоговый)
- 10M PLL (аналоговый)
- RX 10M (цифровой)
- MII (цифровой)

3.1.4.1 Входной сигнал 10M и шумоподаватель

Манчестерский сигнал из кабеля подается в приемопередатчик (на входах RXP и RXN) через магнитное поле с соотношением 1: 1. Сначала он фильтруется, чтобы уменьшить любой внеполосный шум. Затем он проходит через цепь SQUELCH. SQUELCH - это набор компараторов амплитуды и времени, которые обычно отклоняют уровни дифференциального напряжения ниже 300 мВ и обнаруживают и распознают дифференциальные напряжения выше 585 мВ.

3.1.4.2 Манчестерское декодирование

Выходной сигнал SQUELCH поступает в блок 10M RX, где он проверяется как данные в манчестерской кодировке. Также проверяется полярность сигнала. Если полярность обратная (локальный RXP подключен к RXN удаленного партнера, и наоборот), состояние идентифицируется и исправляется. Обратное состояние обозначается значком **XPOL** немного [Специальный регистр индикации контроля / состояния](#). ФАПЧ 10М синхронизируется с принятым манчестерским сигналом, из которого генерируется петух 20 МГц. Используя эти часы, данные, закодированные в манчестерском коде, извлекаются и преобразуются в поток данных NRZI с полосой пропускания 10 МГц. Затем они преобразуются из последовательных в 4-битные параллельные данные.

Блок 10M RX также обнаруживает действительные сигналы 10BASE-T IDLE - нормальные импульсы связи (NLP) - для поддержания связи.

3.1.4.3 10M приема данных через интерфейс RMII

2-битные полубайты данных отправляются в блок RMII. Эти полубайты данных действительны на переднем фронте RMII REF_CLK.

3.1.4.4 Обнаружение Jabber

Jabber - это состояние, при котором станция передает в течение периода времени, превышающего максимально допустимую длину пакета, обычно из-за состояния сбоя, которое приводит к удержанию входа TXEN в течение

длительный период. Специальная логика используется для обнаружения состояния jabber и прерывания передачи на линию в течение 45 мс. После отмены TXEN логика сбрасывает условие jabber.

Как показано в [Раздел 4.2.2, «Регистр базового состояния»](#), на стр. 68, то [Обнаружение Jabber](#) бит указывает, что было обнаружено условие jabber.

3.2 Автосогласование

Назначение функции автосогласования - автоматическая настройка приемопередатчика на оптимальные параметры канала связи на основе возможностей его партнера по каналу связи. Автосогласование - это механизм для обмена информацией о конфигурации между двумя партнерами по каналу и автоматического выбора режима работы с максимальной производительностью, поддерживаемого обеими сторонами. Автосогласование полностью определено в разделе 28 спецификации IEEE 802.3.

После завершения автосогласования информация о разрешенном канале может быть передана обратно в контроллер через последовательный интерфейс управления (SMI). Результаты переговорного процесса отражены в [Индикация скорости](#) кусочки [PHY Special Control / Регистр состояния](#), а также в [Регистрация возможностей партнера для автосогласования](#). Протокол автосогласования - это деятельность чисто физического уровня, которая работает независимо от контроллера MAC.

Рекламируемые возможности трансивера хранятся в [Регистрация объявления автосогласования](#). Значение по умолчанию, объявленное трансивером, определяется определяемыми пользователем параметрами сигнала на кристалле.

Следующие блоки активируются во время сеанса автосогласования:

- Автосогласование (цифровой)
- АЦП 100M (аналоговый)
- 100M PLL (аналоговый)
- 100M эквалайзер / BLW / восстановление тактовой частоты
- (DSP) 10M SQUELCH (аналоговый)
- 10M PLL (аналоговый)
- Передатчик 10M (аналоговый)

Когда включено, автосогласование запускается при наступлении одного из следующих событий:

- Аппаратный сброс
- Сброс программного обеспечения
- Сброс при отключении питания
- Статус ссылки не работает
- Установка [Перезапустить автосогласование](#) немного [Базовый контрольный регистр](#)

При обнаружении одного из этих событий трансивер начинает автосогласование, передавая пакеты импульсов быстрой связи (FLP), которые представляют собой пакеты импульсов связи от передатчика 10M. Они имеют форму обычных импульсов связи и могут беспрепятственно проходить по кабелю CAT-3 или CAT-5. Пакет импульсов Fast Link состоит до 33 импульсов. 17 импульсов с нечетными номерами, которые всегда присутствуют, образуют пакет FLP. 16 четных импульсов, которые могут присутствовать или отсутствовать, содержат передаваемое слово данных. Наличие импульса данных представляет собой «1», а отсутствие представляет собой «0».

Данные, передаваемые пакетом FLP, известны как «кодовое слово канала». Они полностью определены в пункте 28 IEEE 802.3. Таким образом, приемопередатчик объявляет о соответствии 802.3 в своем поле селектора (первые 5 битов кодового слова связи). Он рекламирует свои технологические возможности в соответствии с битами, установленными в [Регистрация объявления автосогласования](#).

Возможны 4 варианта соответствия технологических способностей. В порядке приоритета это:

- 100М полудуплекс (высший приоритет)
- 100М полудуплекс
- 10М полный дуплекс
- 10М полудуплекс (самый низкий приоритет)

Если объявляются полные возможности трансивера (100М, полный дуплекс), и если партнер по каналу поддерживает 10М и 100М, то автосогласование выбирает 100М в качестве режима максимальной производительности. Если партнер по каналу связи может работать в полудуплексном и дуплексном режимах, то при автоматическом согласовании полнодуплексный режим выбирается как операция с наивысшей производительностью.

Как только совпадение возможностей определено, кодовые слова связи повторяются с установленным битом подтверждения. Любое различие в основном содержании кодовых слов ссылки в это время приведет к повторному запуску автосогласования. Автосогласование также перезапустится, если не все требуемые пакеты FLP получены.

Возможности, объявленные трансивером во время автосогласования, изначально определяются логическими уровнями, зафиксированными на перемычках конфигурации MODE [2: 0] после завершения сброса. Эти перемычки конфигурации также можно использовать для отключения автосогласования при включении питания. Ссылаться на [Раздел 3.7.2, «РЕЖИМ \[2: 0\]: конфигурация режима», на стр. 36](#) для дополнительной информации.

Запись битов с 8 по 5 [Регистрация объявления автосогласования](#) позволяет программно управлять возможностями, заявленными трансивером. Написание [Регистрация объявления автосогласования](#) не перезапускает автосогласование автоматически. В [Перезапустить автосогласование](#) немного [Базовый контрольный регистр](#) должны быть установлены до того, как будут объявлены новые способности. Автосогласование также можно отключить с помощью программного обеспечения, сняв флажок [Включить автосогласование](#) немного [Базовый контрольный регистр](#).

3.2.1

Параллельное обнаружение

Если LAN8742A / LAN8742Ai подключен к устройству, не имеющему возможности автосогласования (т. е. FLP не обнаружены), он может определить скорость канала на основе 100 миллионов символов MLT-3 или 10 миллионов обычных импульсов канала. В этом случае предполагается, что канал является полудуплексным в соответствии со стандартом IEEE. Эта способность известна как «Параллельное обнаружение». Эта функция обеспечивает взаимодействие с устаревшими партнерами по связи. Если ссылка сформирована посредством параллельного обнаружения, то [Возможность автосогласования партнера по ссылке](#) немного [Регистр расширения автосогласования](#) сброшен, чтобы указать, что партнер по ссылке не поддерживает автосогласование. Контроллер имеет доступ к этой информации через интерфейс управления. Если при параллельном обнаружении возникает неисправность, [Ошибка параллельного обнаружения](#) немного [Возможность автосогласования партнера по ссылке](#) установлен.

[Регистрация возможностей партнера для автосогласования](#) используется для хранения информации о возможностях партнера по каналу связи, которая закодирована в полученных FLP. Если партнер по ссылке не поддерживает автосогласование, то [Регистрация возможностей партнера для автосогласования](#) обновляется после завершения параллельного обнаружения, чтобы отразить возможности скорости партнера по каналу.

3.2.2

Перезапуск автосогласования

Автосогласование можно перезапустить в любое время, установив [Перезапустить автосогласование](#) немного [Базовый контрольный регистр](#). Автосогласование также будет перезапущено, если связь будет разорвана в любое время. Неработающая ссылка вызвана потерей сигнала. Это может произойти из-за обрыва кабеля или из-за прерывания сигнала, передаваемого партнером по каналу связи. Автосогласование возобновляется при попытке определить новую конфигурацию связи.

Если управляющий объект перезапускает автосогласование, установив [Перезапустить автосогласование](#) немного [Базовый контрольный регистр](#), LAN8742A / LAN8742Ai ответит, остановив все операции передачи / приема. Как только break_link_timer завершится в автомате автоматического согласования (приблизительно 1250 мс), автосогласование будет перезапущено. В этом случае партнер по связи также сбросит ссылку из-за отсутствия принятого сигнала, поэтому он также возобновит автосогласование.

3.2.3 Отключение автосогласования

Автосогласование можно отключить, установив параметр [Включить автосогласование](#) немного [Базовый контрольный регистр](#) до нуля. Затем устройство заставит свою скорость работы отразить информацию в [Базовый контрольный регистр](#) ([Выбор скорости](#) немного и [Дуплексный режим](#) немного). Эти биты следует игнорировать, если включено автосогласование.

3.2.4 Половина против полного дуплекса

Половина против полного дуплекса

Полудуплексный режим основан на протоколе CSMA / CD (множественный доступ с контролем несущей / обнаружение коллизий) для обработки сетевого трафика и коллизий. В этом режиме сигнал контроля несущей, CRS, реагирует как на передачу, так и на прием. Если данные принимаются во время передачи трансивером, возникает коллизия.

В полнодуплексном режиме трансивер может передавать и принимать данные одновременно. В этом режиме CRS отвечает только на получение активности. Протокол CSMA / CD не применяется, и обнаружение коллизий отключено.

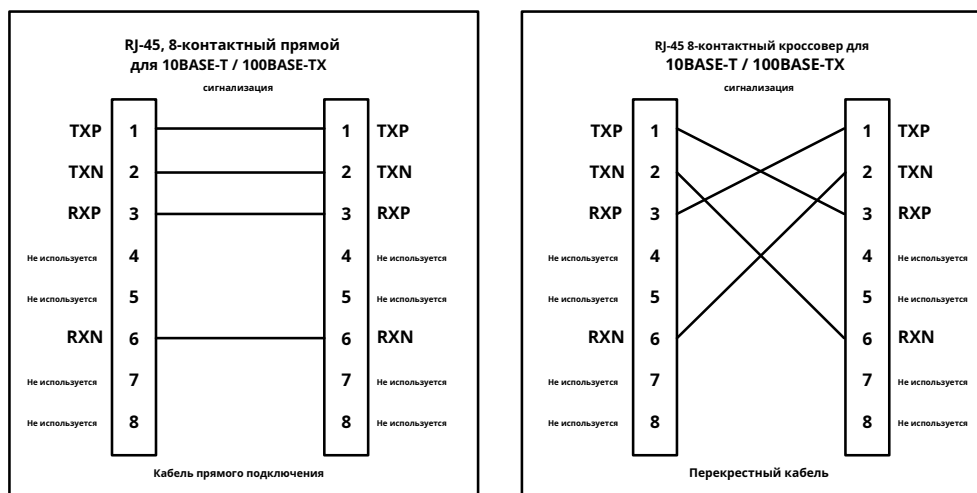
3.3 Поддержка HP Auto-MDIX

HP Auto-MDIX упрощает использование соединительного кабеля UTP категории CAT-3 (10BASE-T) или CAT-5 (100BASE-TX) без учета схемы подключения интерфейса. Если пользователь подключает кабель LAN прямого подключения или перекрестный патч-кабель, как показано на [Рисунок 3.4](#), приемопередатчик Auto-MDIX устройства может настраивать контакты TXP / TXN и RXP / RXN для правильной работы приемопередатчика.

Внутренняя логика устройства определяет контакты TX и RX подключаемого устройства. Поскольку пары линий RX и TX взаимозаменяемы, необходимы особые соображения по конструкции печатной платы, чтобы учесть симметричные магнитные поля и оконечные нагрузки конструкции Auto-MDIX.

Функцию Auto-MDIX можно отключить с помощью [AMDIXCTRL](#) немного в [Специальный регистр индикации контроля / состояния](#).

Примечание: При работе в ручных режимах 10BASE-T или 100BASE-TX время кроссовера Auto-MDIX может быть увеличено с помощью [Расширение ручного 10/100 Auto-MDIX Crossover Time](#) немного [EDPD NLP / Регистр времени кроссовера](#). Ссылаться на [Раздел 4.2.12, «Регистр времени EDPD NLP / Crossover», стр. 79](#) для дополнительной информации.



3,4 МАС-интерфейс

3.4.1 RMII

Устройство поддерживает сокращенный независимый от среды интерфейс (RMII) с небольшим количеством выводов, предназначенный для использования между приемопередатчиками Ethernet и коммутаторами ASIC. В соответствии с IEEE 802.3 определен MII, состоящий из 16 контактов для данных и управления. В устройствах, включающих множество MAC-адресов или интерфейсов приемопередатчиков, таких как коммутаторы, количество контактов может значительно увеличить стоимость при увеличении количества портов. RMII уменьшает это количество контактов, сохраняя интерфейс управления (MDIO / MDC), идентичный MII.

Интерфейс RMII имеет следующие характеристики:

- Он способен поддерживать скорости передачи данных 10 Мбит / с и 100 Мбит / с. Один
- эталонный тактовый сигнал используется как для передачи, так и для приема.
- Он обеспечивает независимые 2-битные (двубитные) тракты передачи и приема данных.
- Он использует уровни сигнала LVCMOS, совместимые с обычными процессами цифровых CMOS ASIC.

RMII включает в себя следующие интерфейсные сигналы (1 опционально):

- Передача данных - TXD [1: 0] Строб
- передачи - TXEN Данные приема - RXD
- [1: 0] Ошибка приема - RXER
- (необязательно) Контроль несущей -
- CRS_DV
- Контрольные часы - (ссылки RMII обычно определяют этот сигнал как REF_CLK)

примечание: Интерфейс RMII может быть отключен (выходы переведены в низкий уровень) через [Отключение интерфейса](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#).

3.4.1.1 CRS_DV - Проверка несущей / данные приема действительны

CRS_DV утверждается устройством, когда принимающая среда не находится в режиме ожидания. CRS_DV устанавливается асинхронно при обнаружении несущей из-за критериев, относящихся к рабочему режиму. В режиме 10BASE-T, когда передается шумоподаватель, или в режиме 100BASE-TX, когда обнаруживаются 2 несмежных нуля в 10 битах, считается, что обнаружена несущая.

Потеря несущей должна привести к отключению CRS_DV синхронно с циклом REF_CLK, который представляет первый бит полубайта в RXD [1: 0] (т. Е. CRS_DV сбрасывается только на границах полубайта). Если у устройства есть дополнительные биты, которые должны быть представлены в RXD [1: 0] после первоначального снятия подтверждения CRS_DV, то устройство должно подтверждать CRS_DV в циклах REF_CLK, которые представляют второй бит каждого полубайта, и деактивировать CRS_DV в циклах. REF_CLK, которые представляют первый бит полубайта. В результате, начиная с границ полубайта, CRS_DV переключается на 25 МГц в режиме 100 Мбит / с и 2,5 МГц в режиме 10 Мбит / с, когда CRS заканчивается до RXDV (т. Е. У FIFO все еще есть биты для передачи, когда заканчивается событие несущей). Следовательно, MAC может точно восстановить RXDV и CRS.

Во время ложного события несущей, CRS_DV должен оставаться утвержденным в течение всего периода активности несущей. Данные на RXD [1: 0] считаются действительными после подтверждения CRS_DV. Однако, поскольку утверждение CRS_DV является асинхронным относительно REF_CLK, данные в RXD [1: 0] должны быть «00» до тех пор, пока не произойдет надлежащее декодирование принимаемого сигнала.

3.4.1.2 Эталонные часы (REF_CLK)

RMII REF_CLK - это непрерывный тактовый сигнал, который обеспечивает опорную синхронизацию для CRS_DV, RXD [1: 0], TXEN, TXD [1: 0] и RXER. Устройство использует REF_CLK в качестве сетевых часов, поэтому на пути передачи данных не требуется буферизация. Однако на пути приема данных приемник восстанавливает часы из входящего потока данных, и устройство использует буферизацию эластичности, чтобы учесть различия между восстановленными часами и локальным REF_CLK.

3.5 Последовательный интерфейс управления (SMI)

Последовательный интерфейс управления используется для управления устройством и получения его статуса. Этот интерфейс поддерживает регистры с 0 по 6, как требуется разделом 22 стандарта 802.3, а также регистры с 16 по 31, разрешенные спецификацией, «зависящие от поставщика». Регистры устройства подробно описаны в [Глава 4, «Описания регистров», на странице 65.](#)

На системном уровне SMI предоставляет 2 сигнала: MDIO и MDC. Сигнал MDC - это аperiodические часы, обеспечиваемые контроллером управления станцией (SMC). MDIO - это двунаправленный сигнал ввода / вывода SMI, который принимает последовательные данные (команды) от контроллера SMC и отправляет последовательные данные (состояние) на SMC. Минимальное время между фронтами MDC составляет 160 нс. Максимального времени между ребрами нет. Минимальное время цикла (время между двумя последовательными нарастающими или двумя последовательными спадающими фронтами) составляет 400 нс. Эти скромные временные требования позволяют легко управлять этим интерфейсом через порт ввода-вывода микроконтроллера.

Данные в строке MDIO фиксируются по переднему фронту MDC. Структура кадра и синхронизация данных показаны на [Рисунок 3.5.](#) а также [Рисунок 3.6.](#) Временные отношения сигналов MDIO дополнительно описаны в [Раздел 5.6.5, «Время SMI», на стр. 126.](#)

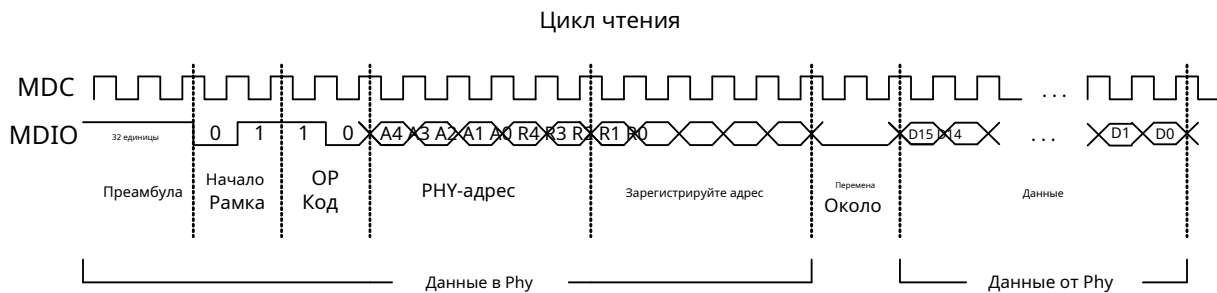


Рисунок 3.5 Синхронизация MDIO и структура кадра - цикл READ

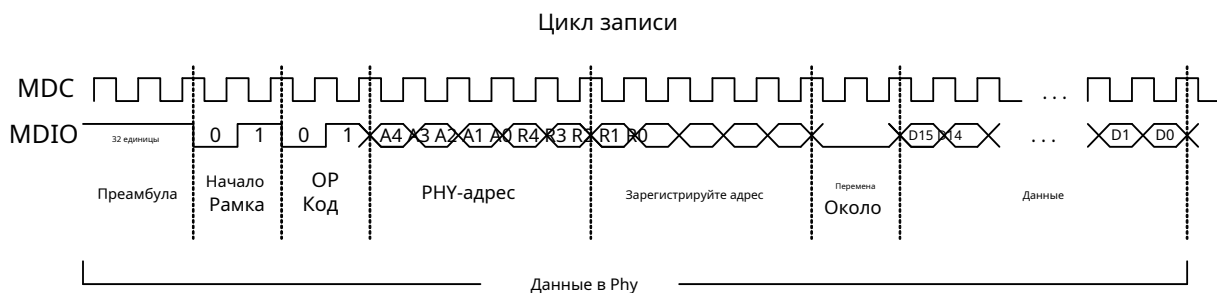


Рисунок 3.6 Синхронизация MDIO и структура кадра - цикл WRITE

3,6

Управление прерываниями

Интерфейс управления устройством поддерживает возможность прерывания, которая не является частью спецификации IEEE 802.3. Эта возможность прерывания генерирует активный сигнал асинхронного прерывания с низким уровнем на выходе nINT всякий раз, когда обнаруживаются определенные события, как установлено системой. [Регистр маски прерывания](#).

Сигнал nINT можно выбрать для вывода на три разных контакта:

- **nINT / REFCLKO**
(Видеть [Раздел 3.7.4, «Конфигурация nINTSEL: nINT / REFCLKO»](#) на стр. 38 для информации о конфигурации)
- **LED1**
(Видеть [Раздел 3.8.1, «Индикаторы»](#), на стр. 42 для информации о конфигурации)
- **LED2**
(Видеть [Раздел 3.8.1, «Индикаторы»](#), на стр. 42 для информации о конфигурации)

Система прерывания устройства обеспечивает два режима: основной режим прерывания и альтернативный режим прерывания. Обе системы будут устанавливать на выводе nINT низкий уровень, когда установлен соответствующий бит маски. Эти режимы отличаются только тем, как они деактивируют выход прерывания nINT. Эти режимы подробно описаны в следующих подразделах.

примечание: Первичный режим прерывания - это режим прерывания по умолчанию после включения питания или аппаратного сброса. Альтернативный режим прерывания требует настройки после включения питания или аппаратного сброса.

примечание: В дополнение к основным прерываниям, описанным в этом разделе, вывод nPME предоставляется исключительно для прерываний, специфичных для WoL. Ссылаться на [Раздел 3.8.4, «Пробуждение по локальной сети \(WoL\)»](#), на стр. 47 для получения дополнительной информации о НПМЕ.

3.6.1 Первичная система прерывания

Первичная система прерываний - это режим прерывания по умолчанию (**ALTINT** немного **Управление режимом / регистр состояния** равно «0»). Первичная система прерывания всегда выбирается после включения питания или аппаратного сброса. В этом режиме, чтобы установить прерывание, установите соответствующий бит маски в **Регистр маски прерывания** (видеть **Таблица 3.2**). Затем, когда событие для утверждения **nINT** истинно, вывод **nINT** будет утвержден. Когда соответствующее событие для деактивации **nINT** истинно, тогда **nINT** будет деактивировано.

Таблица 3.2 Таблица управления прерываниями

МАСКА	ПЕРЕРЫВНЫЙ ИСТОЧНИК ФЛАГ		ПЕРЕРЫВНЫЙ ИСТОЧНИК		СОБЫТИЕ ASSERT nINT	СОБЫТИЕ DE-ASSERT nINT
30,8	29,8	Шерсть	3,32784 . 7: 4	nPME	Рост 3,32784,7: 4 или вместе	3.32784.7: 4 or'ed вместе младший или считывающий регистр 29
30,7	29,7	ENERGYON	17,1	ENERGYON	Рост 17,1 (Примечание 3.1)	Падение 17,1 или Регистр чтения 29
30,6	29,6	Автосогласование полный	1.5	Автосогласование Полный	Повышение 1.5	Падение 1,5 или Регистр чтения 29
30,5	29,5	Удаленная неисправность Обнаружен	1.4	Удаленная неисправность	Повышение 1.4	Падение 1.4, или Регистр чтения 1 или Регистр чтения 29
30,4	29,4	Ссылка вниз	1.2	Статус ссылки	Падение 1.2	Регистр чтения 1 или Регистр чтения 29
30,3	29,3	Автосогласование LP Подтверждение	5,14	Сознать	Повышение 5,14	Падение 5.14 или Регистр чтения 29
30,2	29,2	Параллельный Обнаружение неисправности	6.4	Параллельный Обнаружение неисправности	Повышение 6.4	Падение 6.4 или Регистр чтения 6, или Регистр чтения 29, или повторное автосогласование, или Ссылка вниз
30,1	29,1	Автосогласование Страница получена	6.1	Страница получена	Повышение 6.1	Падение 6.1 или Регистр чтения 6, или Регистр чтения 29, или повторное автосогласование, или Ссылка вниз.

Примечание 3.1 Если бит маски активирован и **nINT** был отменен, пока **ENERGYON** все еще находится на высоком уровне, **nINT** будет подтверждаться в течение 256 мс, примерно через одну секунду после того, как **ENERGYON** перейдет в низкий уровень, когда кабель отключен. Чтобы предотвратить неожиданное подтверждение **nINT**, маску прерывания **ENERGYON** всегда следует очищать как часть процедуры обслуживания прерывания **ENERGYON**.

Примечание: В **ENERGYON** немного в **Управление режимом / регистр состояния** по умолчанию установлено на «1» в начале процесса сбора сигнала, поэтому **INT7** немного в **Регистр маски прерывания** также будет читаться как «1» при включении питания. Если сигнал отсутствует, то оба **ENERGYON** а также **INT7** очистится в течение нескольких миллисекунд.

3.6.2 Альтернативная система прерывания

Альтернативная система прерывания активируется установкой **ALTINT** немного в **Управление режимом / регистр состояния** на «1». В этом режиме, чтобы установить прерывание, установите соответствующий бит в регистре маски 30 (см. **Таблица 3.3**). Чтобы очистить прерывание, либо очистите соответствующий бит в **Регистр маски прерывания** для отмены вывода **nINT** или очистки источника прерывания и записи «1» в соответствующий флаг источника прерывания. Запись «1» в флаг источника прерывания заставит конечный автомат проверять источник прерывания, чтобы определить, должен ли флаг источника прерывания сбрасываться или оставаться равным «1». Если условие отмены подтверждения истинно, то флаг источника прерывания сбрасывается, и **nINT** также сбрасывается. Если условие отмены ложно, то флаг источника прерывания остается установленным, а **nINT** остается установленным.

Например, установка **INT7** немного в **Регистр маски прерывания** включит прерывание ENERGYON. После подключения кабеля **ENERGYON** немного в **Управление режимом / регистр состояния** становится активным, а значение **nINT** будет установлено на низком уровне. Чтобы деактивировать выход прерывания **nINT**, либо очистите **ENERGYON** немного в **Управление режимом / регистр состояния** отсоединив кабель и записав цифру «1» в **INT7** немного в **Регистр маски прерывания**, ИЛИ очистите маску **INT7** (бит 7 **Регистр маски прерывания**).

Таблица 3.3 Таблица управления альтернативной системой прерываний

МАСКА	ПРЕРЫВНЫЙ ИСТОЧНИК ФЛАГ		ПРЕРЫВНЫЙ ИСТОЧНИК		СОБЫТИЕ УТВЕРЖДАТЬ nINT	СОСТОЯНИЕ К DEASSERT	БИТ TO ЧИСТО nINT
30,8	29,8	Шерсть	3,32784. 7: 4	nPME	Рост 3,32784,7: 4 or'ed	3,32784,7: 4 все низко	29,8
30,7	29,7	ENERGYON	17,1	ENERGYON	Рост 17,1	17,1 низкая	29,7
30,6	29,6	Автосогласование полный	1.5	Автосогласование Полный	Повышение 1.5	1,5 низкий	29,6
30,5	29,5	Удаленная неисправность Обнаружен	1.4	Удаленная неисправность	Повышение 1.4	1,4 низкий	29,5
30,4	29,4	Ссылка вниз	1.2	Статус ссылки	Падение 1.2	1,2 высокий	29,4
30,3	29,3	Автосогласование LP Подтверждение	5,14	Сознавать	Повышение 5,14	5,14 низкий	29,3
30,2	29,2	Параллельный Обнаружение неисправности	6.4	Параллельное обнаружение Вина	Повышение 6.4	6.4 низкий	29,2
30,1	29,1	Автосогласование Страница получена	6.1	Страница получена	Повышение 6.1	6,1 низкий	29,1

Примечание: В **ENERGYON** немного в **Управление режимом / регистр состояния** по умолчанию установлено на «1» в начале процесса сбора сигнала, поэтому **INT7** немного в **Регистр маски прерывания** также будет читаться как «1» при включении питания. Если сигнал отсутствует, то оба **ENERGYON** а также **INT7** очистится в течение нескольких миллисекунд.

3,7 Ремни конфигурации

Ремешки для настройки позволяют автоматически настраивать различные функции устройства в соответствии со значениями, заданными пользователем. Планки конфигурации фиксируются при сбросе при включении питания (POR) и сбросе контактов (nRST). Ремни конфигурации включают внутренние резисторы, чтобы предотвратить плавание сигнала при отключении. Если переключатель определенной конфигурации подключен к нагрузке, необходимо использовать внешний подтягивающий или понижающий резистор для увеличения внутреннего резистора, чтобы гарантировать, что он достигнет необходимого уровня напряжения до фиксации. Внутренний резистор также можно отключить, добавив внешний резистор.

Примечание: Разработчик системы должен гарантировать, что контакты переключки конфигурации соответствуют срокам. требования, указанные в [Раздел 5.6.3, «Время включения nRST и настройки привязки» на стр. 121](#). Если до фиксации контакты ремня конфигурации не находятся на правильном уровне напряжения, устройство может зафиксировать неправильные значения ремня.

примечание: При вытягивании ремней конфигурации снаружи, ремень должен быть привязан к VDDIO, за исключением РЕГОФФ а также nINTSEL который надо привязать к VDD2A.

3.7.1 PHYAD [0]: Конфигурация PHY-адреса

Бит PHYAD0 устанавливается в высокий или низкий уровень, чтобы дать каждому PHY уникальный адрес. Этот адрес фиксируется во внутреннем регистре в конце аппаратного сброса (по умолчанию = 0b). В приложении с несколькими PHY (например, ретранслятор) контроллер может управлять каждым PHY через уникальный адрес. Каждый PHY проверяет каждый кадр данных управления на соответствие адреса в соответствующих битах. Когда совпадение распознается, PHY реагирует на этот конкретный кадр. Адрес PHY также используется для заполнения скремблера. В приложении с несколькими PHY это гарантирует, что скремблеры не синхронизированы, и рассеивает электромагнитное излучение по частотному спектру.

Адрес SMI устройства может быть настроен с помощью аппаратной конфигурации на значение 0 или 1. Пользователь может настроить адрес PHY с помощью конфигурации программного обеспечения, если требуется адрес больше 1. Адрес PHY может быть записан (после установления связи SMI по некоторому адресу) с помощью PHYAD кусочки [Регистр специальных режимов](#). В PHYAD0 Планка аппаратной конфигурации мультиплексируется с выводом RXER.

3.7.2 РЕЖИМ [2: 0]: Конфигурация режима

В РЕЖИМ [2: 0] планки конфигурации управляют конфигурацией цифрового блока 10/100. Когда вывод nRST сброшен, значения битов регистра загружаются в соответствии с РЕЖИМ [2: 0] ремни конфигурации. Затем цифровой блок 10/100 конфигурируется значениями регистровых битов. Когда мягкий сброс происходит через Мягкий сброс немного Базовый контрольный регистр, конфигурация цифрового блока 10/100 управляется значениями регистровых битов и РЕЖИМ [2: 0] ремни конфигурации не влияют.

Режим устройства может быть настроен с помощью ремней конфигурации оборудования, как описано в Таблица 3.4. Пользователь может настроить режим приемопередатчика, записав регистры SMI.

Таблица 3.4 РЕЖИМ [2: 0] Автобус

РЕЖИМ [2: 0]	ОПРЕДЕЛЕНИЯ РЕЖИМА	БИТНЫЕ ЗНАЧЕНИЯ РЕГИСТРА ПО УМОЛЧАНИЮ	
		РЕГИСТРАЦИЯ 0	РЕГИСТРАЦИЯ 4
		[13,12,10,8]	[8,7,6,5]
000	10BASE-T полудуплекс. Автосогласование отключено.	0000	N / A
001	10BASE-T полный дуплекс. Автосогласование отключено.	0001	N / A
010	100BASE-TX полудуплекс. Автосогласование отключено. CRS активен во время передачи и приема.	1000	N / A
011	100BASE-TX полный дуплекс. Автосогласование отключено. CRS активен во время приема.	1001	N / A
100	Объявлен полудуплекс 100BASE-TX. Автосогласование включено. CRS активен во время передачи и приема.	1100	0100
101	Режим повторителя. Включено автосогласование. Объявлен полудуплекс 100BASE-TX. CRS активен во время приема.	1100	0100
110	Режим пониженного энергопотребления. В этом режиме трансивер выйдет из спящего режима в режиме пониженного энергопотребления. Приемопередатчик не может использоваться, когда биты MODE [2: 0] установлены в этот режим. Для выхода из этого режима биты MODE в регистре 18.7: 5 (см. Раздел 4.2.14, «Регистр специальных режимов», на стр. 81) должен быть настроен на другое значение и должен быть выполнен мягкий сброс.	N / A	N / A
111	Все способны. Включено автосогласование.	X10X	1111

Контакты конфигурации оборудования MODE [2: 0] мультиплексируются с другими сигналами, как показано на Таблица 3.5.

Таблица 3.5 Имена контактов для бит режима

РЕЖИМ БИТ	ИМЯ ПИН-кода
РЕЖИМ [0]	RXD0 / <u>MODE0</u>
РЕЖИМ [1]	RXD1 / <u>РЕЖИМ1</u>
РЕЖИМ [2]	CRS_DV / <u>РЕЖИМ 2</u>

3.7.3 РЕГОФФ: Конфигурация внутреннего регулятора +1,2 В

Использование технологии flexPWR обеспечивает возможность отключения внутреннего регулятора +1,2 В. Когда регулятор отключен, на вывод VDDCR должно подаваться внешнее напряжение +1,2 В. Отключение внутреннего регулятора +1,2 В позволяет снизить общую мощность системы, поскольку внешний импульсный стабилизатор с большей эффективностью (по сравнению с внутренним линейным регулятором) может использоваться для подачи +1,2 В на схему приемопередатчика.

примечание: Поскольку РЕГОФФ ремешок конфигурации имеет общие функции с выводом LED1, необходимо также учитывать полярность светодиода. Ссылаться на [Раздел 3.8.1, «Индикаторы», на стр. 42](#) для получения дополнительной информации о связи между РЕГОФФ и полярность LED1.

3.7.3.1 Отключение внутреннего регулятора +1,2 В

Чтобы отключить внутренний регулятор +1,2 В, необходимо подключить подтягивающий резистор. РЕГОФФ ремешок конфигурации к VDD2A. При включении, когда VDDIO и VDD2A находятся в пределах спецификации, трансивер выполнит выборку РЕГОФФ чтобы определить, должен ли включаться внутренний регулятор. Если вывод измеряется при напряжении выше V_{in} , то внутренний регулятор отключен, и система должна подать +1,2 В. на вывод VDDCR. Напряжение VDDIO должно составлять не менее 80% от уровня рабочего напряжения (1,44 В при работе от 1,8 В, 2,0 В при работе от 2,5 В, 2,64 В при работе от 3,3 В) до подачи напряжения на VDDCR. Как описано в [Раздел 3.7.3.2](#), когда РЕГОФФ остается плавающим или подключен к VSS, внутренний регулятор включен, и системе не требуется подавать +1,2 В на вывод VDDCR.

3.7.3.2 Включение внутреннего регулятора +1,2 В

+1,2 В для VDDCR подается встроенным регулятором, если трансивер не настроен на режим выключенного регулятора с помощью РЕГОФФ ремешок конфигурации, как описано в [Раздел 3.7.3.1](#). По умолчанию внутренний регулятор +1,2 В включен, когда РЕГОФФ плавающий (из-за внутреннего понижающего резистора). Во время включения, если РЕГОФФ выбирается ниже $V_{илиной}$, то внутренний регулятор +1,2 В включится и будет работать с питанием от вывода VDD2A.

3.7.4 nINTSEL: nINT / REFCLKO Конфигурация

В nINTSEL ремешок конфигурации используется для выбора одного из двух доступных режимов: REF_CLK In Mode (nINT) и REF_CLK Out Mode. Настроенный режим определяет функцию вывода nINT / REFCLKO. В nINTSEL ремешок конфигурации фиксируется на порте POR и на переднем фронте nRST. По умолчанию, nINTSEL настроен на режим nINT через внутренний подтягивающий резистор.

Таблица 3.6 Конфигурация nINTSEL

ЗНАЧЕНИЕ РЕМНЯ	РЕЖИМ	REF_CLK ОПИСАНИЕ
<u>nINTSEL</u> знак равно 0	REF_CLK Out Mode	nINT / REFCLKO является источником REF_CLK.
<u>nINTSEL</u> знак равно 1	REF_CLK в режиме	nINT / REFCLKO - это выход прерывания с активным низким уровнем. REF_CLK поступает извне и должен управляться через вывод XTAL1 / CLKIN.

RMII REF_CLK - это непрерывный тактовый сигнал, который обеспечивает опорную синхронизацию для CRS_DV, RXD [1: 0], TXEN, TXD [1: 0] и RXER. Устройство использует REF_CLK в качестве сетевых часов, поэтому на пути передачи данных не требуется буферизация. Однако на пути приема данных приемник восстанавливает часы из входящего потока данных. Устройство использует буферизацию эластичности, чтобы учесть различия между восстановленными часами и локальным REF_CLK.

В режиме REF_CLK в режиме 50 МГц REF_CLK подается на вывод XTAL1 / CLKIN. Это традиционная конфигурация системы при использовании RMII, описанная в [Раздел 3.7.4.1](#). При настройке на режим вывода REF_CLK устройство генерирует REF_CLK 50 МГц, а прерывание nINT недоступно. Режим REF_CLK Out позволяет использовать недорогой кристалл 25 МГц в качестве эталона для REF_CLK. Эта конфигурация может привести к снижению стоимости системы и описана в [Раздел 3.7.4.2](#).

Примечание: Поскольку nINTSEL ремешок конфигурации имеет общие функции с выводом LED2, необходимо также учитывать полярность светодиода. Ссылаться на [Раздел 3.8.1.6, «Выбор полярности nINTSEL и LED2»](#), на стр. 46 для получения дополнительной информации о связи между nINTSEL и полярность LED2.

3.7.4.1 REF_CLK в режиме

В режиме REF_CLK в режиме 50 МГц REF_CLK подается на вывод XTAL1 / CLKIN. Источник 50 МГц для REF_CLK должен быть доступен вне устройства при использовании этого режима. Часы передаются как на MAC, так и на PHY, как показано на [Рисунок 3.7..](#)

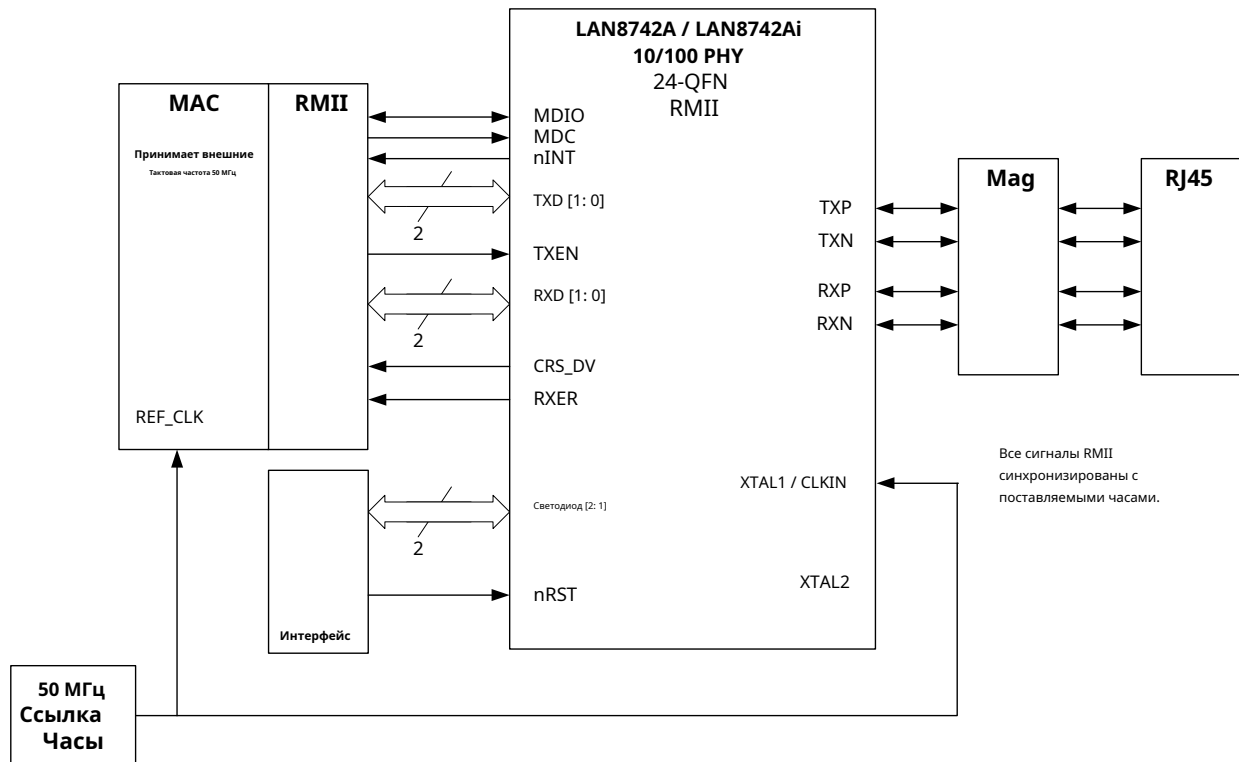


Рисунок 3.7 Внешние источники тактовой частоты 50 МГц REF_CLK

3.7.4.2 REF_CLK Out Mode

Чтобы снизить стоимость спецификации, устройство включает функцию генерации сигнала RMII REF_CLK из недорогого кварцевого резонатора с частотой 25 МГц. Этот тип кристалла стоит недорого по сравнению с 3-мя кристаллами 10-го порядка, которые обычно требуются для 50 МГц. MAC должен быть способен работать с внешними часами, чтобы воспользоваться этой функцией, как показано на [Рисунок 3.8](#).

Чтобы оптимизировать размер и стоимость корпуса, вывод REFCLKO объединен с выводом nINT. В режиме REF_CLK Out функция nINT отключена, чтобы приспособить использование REFCLKO в качестве тактовой частоты 50 МГц для MAC.

примечание: Режим вывода REF_CLK не является частью спецификации RMII. Чтобы гарантировать правильную работу системы, необходимо выполнить временной анализ MAC и LAN8742A / LAN8742Ai.

примечание: В режиме вывода REF_CLK сигнал REFCLKO не выводится, когда устройство находится в режиме пониженного энергопотребления или в общем режиме пониженного энергопотребления.

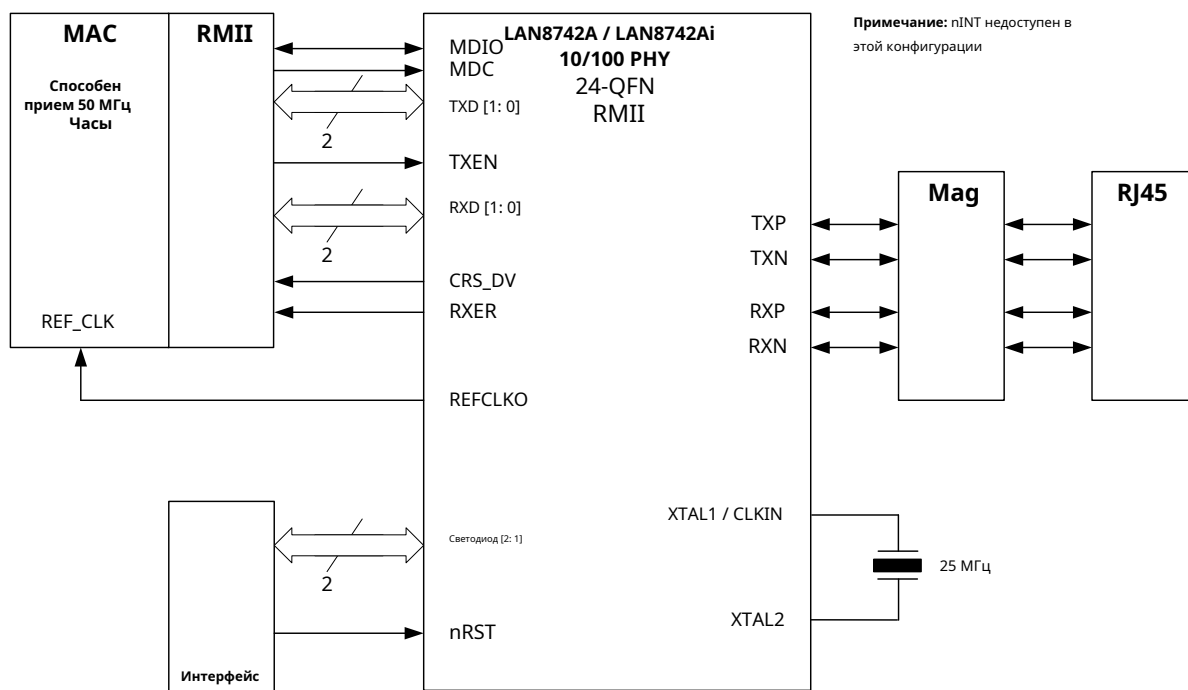


Рисунок 3.8. Источник REF_CLK от кристалла 25 МГц

В некоторых системных архитектурах доступен источник тактовой частоты 25 МГц. Устройство можно использовать для генерации REF_CLK для MAC, как показано на [Рисунок 3.9](#). Важно отметить, что в этом конкретном примере можно использовать только тактовую частоту 25 МГц (тактовая частота не может быть 50 МГц). Как и в кварцевом режиме 25 МГц, функция nINT отключена.

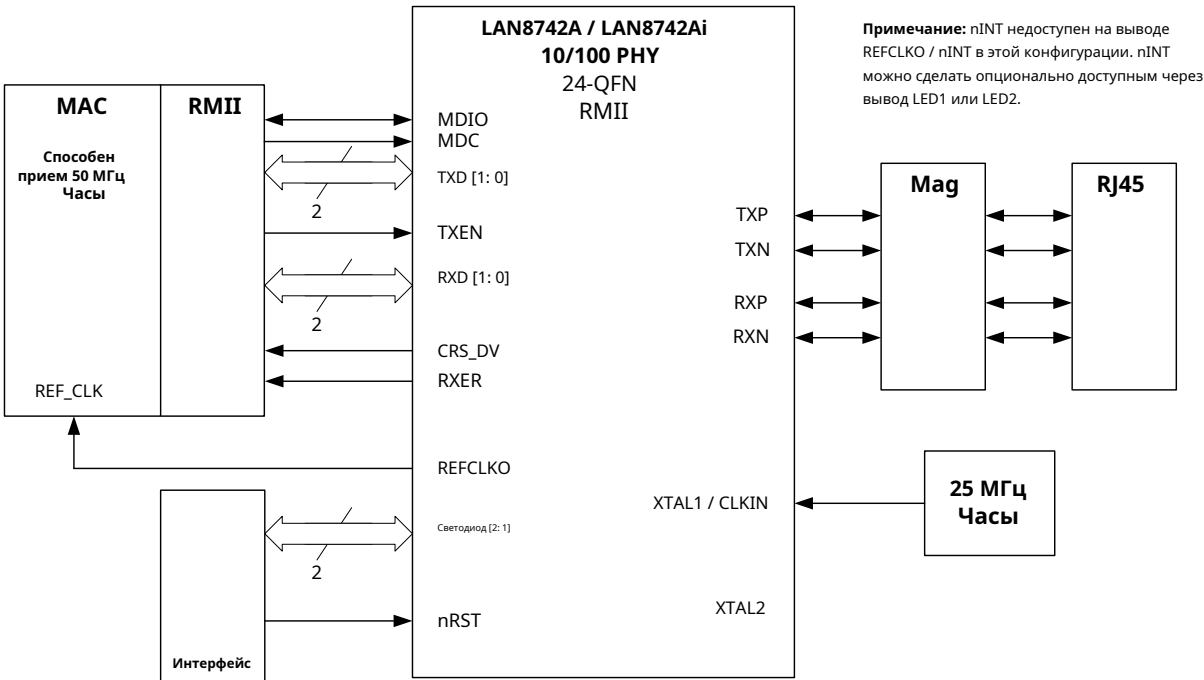


Рисунок 3.9. Получение REF_CLK от внешнего источника 25 МГц.

3.8 Разные функции

3.8.1

Светодиоды

Два светодиода используются в качестве удобного средства для индикации режима работы трансивера или могут использоваться в качестве сигналов nINT или nPME. Функции контактов LED1 и LED2 настраиваются через [LED1 Выбор функции](#) а также [LED2 Выбор функции](#) кусочки [Регистр контроля и состояния пробуждения \(WUCSR\)](#), соответственно. При использовании в качестве светодиодного индикатора светодиодные сигналы имеют активный высокий или активный низкий уровень, как описано в [Раздел 3.8.1.5, «Выбор полярности REGOFF и LED1»](#), на стр. 45 а также [Раздел 3.8.1.6, «Выбор полярности nINTSEL и LED2»](#), на стр. 46. Для получения дополнительной информации о nINT см. [Раздел 3.6, «Управление прерываниями»](#), на стр. 32. Для получения дополнительной информации о nPME см. [Раздел 3.8.4, «Пробуждение по локальной сети \(WoL\)»](#), на стр. 47.

При настройке в режиме связи / активности по умолчанию выход LED1 активируется всякий раз, когда устройство обнаруживает допустимое соединение, и мигает, когда CRS активен (высокий уровень), указывая на активность.

При настройке в режиме скорости соединения по умолчанию, выход LED2 активируется, когда рабочая скорость составляет 100 Мбит / с. Этот светодиод перестанет светиться при рабочей скорости 10 Мбит / с или во время изоляции линии.

Примечание: При подтягивании выводов LED1 и LED2 к высокому уровню они должны быть привязаны к VDD2A, НЕТ VDDIO.

3.8.1.1

Использование LED1 / nINT / nPME при отключенном внутреннем регуляторе (РЕГОФФ Высокий)

Когда LED1 / nINT / nPME / РЕГОФФ во время сброса на контакте высокий уровень, внутренний регулятор отключен. После отмены сброса этот вывод сначала будет работать как LED1 (Link Activity). После настройки он может работать как nINT или nPME. [Рисунок 3.10](#) иллюстрирует шаги, необходимые для программирования вывода LED1 как nINT или nPME с отключенным внутренним регулятором.

В этой конфигурации к этому выводу можно подключить светодиод, пока он работает как nINT или nPME в состоянии WoL. Поскольку полярность включения светодиода низкая, светодиод активности соединения не будет гореть во время ожидания события WoL.

примечание: Ссылаться на [Раздел 3.7.3, «REGOFF: Конфигурация внутреннего регулятора +1,2 В»](#), на стр. 37 для получения дополнительной информации о РЕГОФФ ремешок конфигурации.

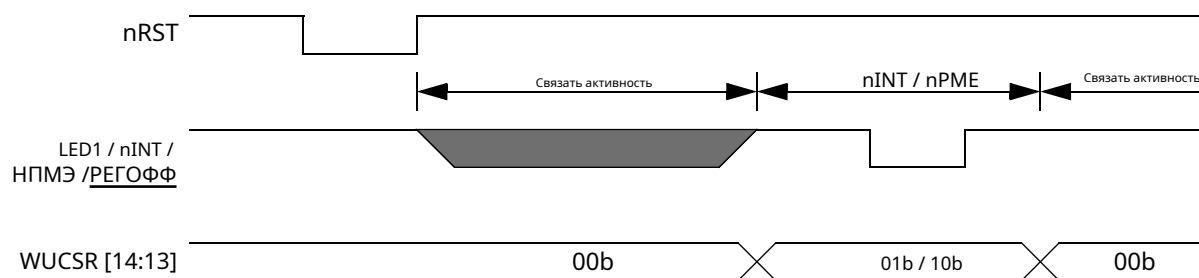


Рисунок 3.10 LED1 / nINT / nPME / РЕГОФФ с отключенным внутренним регулятором

3.8.1.2 Использование LED1 / nINT / nPME при включенном внутреннем регуляторе (РЕГОФФ Низкий)

Когда LED1 / nINT / nPME /РЕГОФФ во время сброса на выводе низкий уровень, внутренний регулятор включен. После отмены сброса этот вывод сначала будет работать как LED1 (Link Activity). После настройки он может работать как nINT или nPME. [Рисунок 3.11](#) иллюстрирует шаги, необходимые для программирования вывода LED1 как nINT или nPME с включенным внутренним регулятором.

В этой конфигурации не рекомендуется подключать светодиод к этому выводу. Поскольку этот вывод активен на высоком уровне, светодиод будет гореть в ожидании события WoL.

примечание: Ссылаться на [Раздел 3.7.3, «REGOFF: Конфигурация внутреннего регулятора +1,2 В», на стр. 37](#) для получения дополнительной информации о РЕГОФФ ремешок конфигурации.

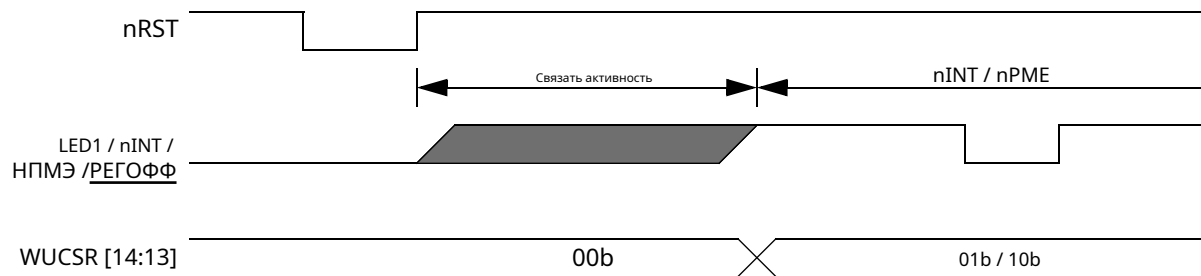


Рисунок 3.11 LED1 / nINT / nPME /РЕГОФФ с включенным внутренним регулятором

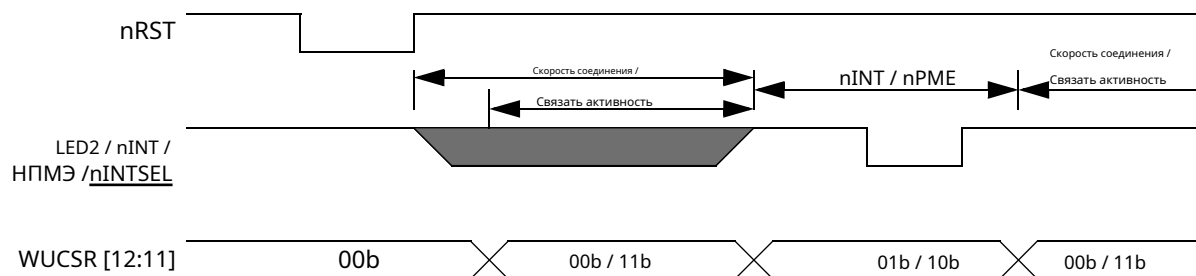
3.8.1.3 LED2 / nINT / nPME Использование с nINTSEL Включено

Когда LED2 / nINT / nPME /nINTSEL вывод высокий во время сброса, вывод nINT / REFCLKO настроен на работу как nINT. После отмены сброса этот вывод сначала будет работать как LED2 (Link Speed). После настройки он может работать как nPME. Также возможно сконфигурировать LED2 как nINT, хотя это дублирует функцию вывода nINT / REFCLKO. [Рисунок 3.12](#) иллюстрирует шаги, необходимые для программирования вывода LED2 как nINT или nPME с nINTSEL включено.

В этой конфигурации к этому выводу можно подключить светодиод, пока он функционирует как nINT или nPME в состоянии WoL. Поскольку полярность для включения светодиода низкая, светодиод Link Speed не будет гореть во время ожидания события WoL.

Чтобы обеспечить дополнительную гибкость, LED2 можно перенастроить как Link Activity, записав 11b в [LED2 Выбор функции](#) поле [Регистр контроля и состояния пробуждения \(WUCSR\)](#). Это позволяет LED2 функционировать как Link Activity, когда LED1 не может быть настроен как Link Activity. Скорость соединения может быть легко реализована на микроконтроллере с помощью GPIO.

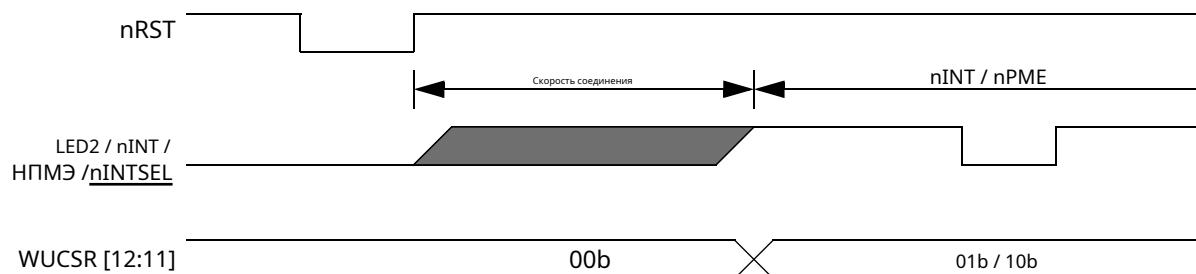
примечание: Ссылаться на [Раздел 3.7.4, «Конфигурация nINTSEL: nINT / REFCLKO» на стр. 38](#) для получения дополнительной информации о nINTSEL ремешок конфигурации.

Рисунок 3.12 LED2 / nINT / nPME с nINTSEL Включено

3.8.1.4 LED2 / nINT / nPME Использование с nINTSEL Отключено

Когда LED2 / nINT / nPME / nINTSEL во время сброса на выводе низкий уровень, вывод nINT / REFCLKO настроен на работу как REFCLKO. После отмены сброса этот вывод сначала будет работать как LED2. После настройки он может работать как nINT или nPME. [Рисунок 3.13](#) иллюстрирует шаги, необходимые для программирования вывода LED2 как nINT или nPME с nINTSEL отключен.

В этой конфигурации не рекомендуется подключать светодиод к этому выводу. Поскольку этот вывод активен на высоком уровне, светодиод будет гореть в ожидании события WoL.

Рисунок 3.13 LED2 / nINT / nPME с nINTSEL Отключено

3.8.1.5 РЕГОФФ и выбор полярности LED1

В РЕГОФФ ремешок конфигурации используется совместно с выводом LED1. Выход LED1 автоматически меняет полярность в зависимости от наличия внешнего подтягивающего резистора. Если вывод LED1 подтягивается к VDD2A с помощью внешнего подтягивающего резистора, чтобы выбрать логический высокий уровень для РЕГОФФ, тогда на выходе LED1 будет активный низкий уровень. Если на выводе LED1 внутренний понижающий резистор подтягивает низкий логический уровень, чтобы выбрать низкий логический уровень для РЕГОФФ, тогда выход LED1 будет активным высоким выходом. Рисунок 3.14 подробно описывает полярность LED1 для каждого РЕГОФФ конфигурация.

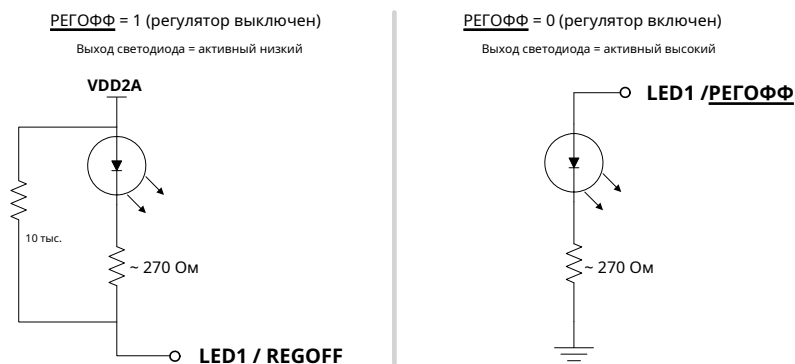


Рисунок 3.14 LED1 / РЕГОФФ Конфигурация полярности

Примечание: Ссылаться на Раздел 3.7.3, «REGOFF: Конфигурация внутреннего регулятора +1,2 В», на стр. 37 для получения дополнительной информации о РЕГОФФ ремешок конфигурации.

3.8.1.6 nINTSEL и выбор полярности LED2

В nINTSEL ремешок конфигурации используется совместно с выводом LED2. Выход LED2 автоматически меняет полярность в зависимости от наличия внешнего понижающего резистора. Если вывод LED2 подтянут к VDD2A, чтобы выбрать логический высокий уровень для nINTSEL, тогда на выходе LED2 будет низкий активный уровень. Если на выводе LED2 внешний понижающий резистор подтягивает низкий логический уровень, чтобы выбрать низкий логический уровень для nINTSEL, тогда выход LED2 будет активным высоким. [Рисунок 3.15](#) подробно описывает полярность LED2 для каждого nINTSEL конфигурация.

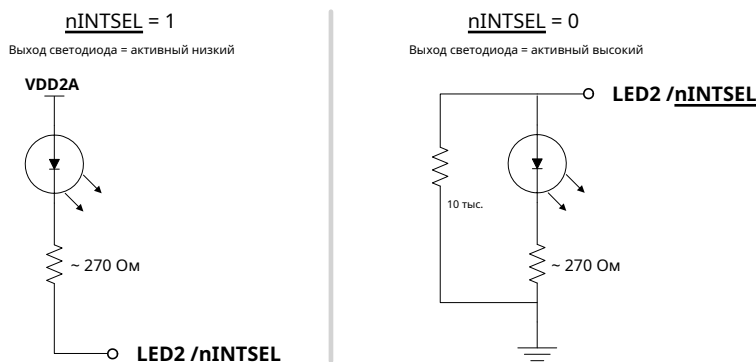


Рисунок 3.15 LED2 / nINTSEL Конфигурация полярности

примечание: Ссылаться на [Раздел 3.7.4, «Конфигурация nINTSEL: nINT / REFCLKO» на стр. 38](#) для получения дополнительной информации о nINTSEL ремешок конфигурации.

3.8.2

Вход / выход переменного напряжения

Цифровые контакты ввода / вывода устройства имеют переменное напряжение, что позволяет им воспользоваться преимуществом низкой экономии энергии за счет технологий сжатия. Эти выводы могут работать при низком напряжении ввода / вывода от +1,8 В до +3,3 В. Приложенное напряжение ввода / вывода должно поддерживать свое значение с допуском $\pm 10\%$. Изменение напряжения вверх или вниз после того, как трансивер завершил сброс при включении, может вызвать ошибки в работе трансивера. Ссылаться на [Глава 5, «Эксплуатационные характеристики», на странице 113](#) для дополнительной информации.

Примечание: Входные сигналы не должны повышаться до подачи питания на устройство.

3.8.3

Режимы отключения питания

Существует два режима отключения питания устройства: общий режим отключения питания и режим отключения питания при обнаружении энергии. Эти режимы описаны в следующих подразделах.

3.8.3.1

Общее отключение питания

Этот режим отключения питания управляется через [Выключить](#) немного [Базовый контрольный регистр](#). В этом режиме весь трансивер (кроме интерфейса управления) отключается и остается в этом режиме, пока [Выключить](#) бит равен «1». Когда [Выключить](#) бит очищается, трансивер включается и автоматически сбрасывается.

примечание: В режиме вывода REF_CLK сигнал REFCLKO не выводится, когда устройство находится в режиме общего отключения питания.

3.8.3.2

Энергетическое обнаружение отключения питания (EDPD)

Этот режим пониженного энергопотребления активируется путем установки [EDPWRDOWN](#) немного [Управление режимом / регистр состояния](#). В этом режиме, когда в линии нет энергии, трансивер отключается (за исключением интерфейса управления, схемы SQUELCH и логики ENERGYON). Логика ENERGYON используется для обнаружения наличия допустимой энергии от сигналов 100BASE-TX, 10BASE-T или автосогласования.

В этом режиме, когда [ENERGYON](#) немного [Управление режимом / регистр состояния](#) низкий, трансивер выключен и ничего не передается. Когда энергия получена через импульсы или пакеты линии связи, [ENERGYON](#) бит становится высоким, и трансивер включается. Устройство автоматически переходит в состояние до отключения питания и устанавливает прерывание nINT, если прерывание ENERGYON разрешено в [Регистр маски прерывания](#). Первый и, возможно, второй пакеты для активации ENERGYON могут быть потеряны.

Когда [EDPWRDOWN](#) немного [Управление режимом / регистр состояния](#) низкий, отключение питания при обнаружении энергии отключено.

В режиме EDPD характеристики NLP устройства могут быть изменены. Устройство можно настроить для передачи NLP в EDPD через [EDPD TX NLP Включить](#) немного [EDPD NLP / Регистр времени кроссовера](#). Если этот параметр включен, временной интервал TX NLP настраивается через [Выбор таймера EDPD TX NLP Interval Timer](#) поле [EDPD NLP / Регистр времени кроссовера](#). В режиме EDPD устройство также можно настроить для пробуждения при приеме одного или двух NLP. Установка [EDPD RX Single NLP Wake Enable](#) немного [EDPD NLP / Регистр времени кроссовера](#) позволит устройству проснуться при приеме одиночного NLP. Если [EDPD RX Single NLP Wake Enable](#) бит сброшен, максимальный интервал для обнаружения приема двух NLP для пробуждения от EDPD настраивается через [EDPD RX NLP Max Interval Detect Select](#) поле [EDPD NLP / Регистр времени кроссовера](#).

примечание: В режиме вывода REF_CLK сигнал REFCLK0 не выводится, когда устройство находится в режиме пониженного энергопотребления при обнаружении энергии.

3.8.4

Пробуждение по локальной сети (WoL)

Устройство поддерживает обнаружение событий WoL на уровне PHY для кадров Perfect DA, Broadcast, Magic Packet и Wakeup. Обнаружение WoL может быть настроено для подтверждения вывода прерывания nINT или вывода nPME, обеспечивая механизм для системы в спящем режиме, чтобы вернуться в рабочее состояние при возникновении события WoL. Эта функция особенно полезна при устранении ненужного пробуждения основной SoC в проектах, где MAC Ethernet интегрирован в SoC.

Каждый тип поддерживаемого события пробуждения (кадры Perfect DA, Broadcast, Magic Packet или Wakeup) можно индивидуально включить с помощью [Perfect DA Wakeup Enable \(PFDA_EN\)](#), [Включение широкоэвещательного пробуждения \(BCST_EN\)](#), [Magic Packet Enable \(MPEN\)](#), а также [Включение кадра пробуждения \(WUEN\)](#) кусочки [Регистр контроля и состояния пробуждения \(WUCSR\)](#), соответственно. Предусмотрены два метода для индикации события WoL внешнему устройству: nINT и nPME.

Вывод nINT может использоваться для индикации событий прерывания WoL путем установки бита 8 (WoL) [Регистр маски прерывания](#). После включения любой полученный пакет, который соответствует условиям, настроенным в [Регистр контроля и состояния пробуждения \(WUCSR\)](#) будет утверждать nINT до тех пор, пока прерывание не будет очищено. При использовании nINT для обозначения прерывания WoL, вывод может использоваться совместно с другими событиями прерывания, отличными от WoL, как настроено через [Регистр маски прерывания](#). В ожидании возникновения события WoL возможно срабатывание других прерываний. Чтобы предотвратить такие условия, все другие прерывания должны быть замаскированы системным программным обеспечением, или может использоваться альтернативный вывод nPME. Ссылаться на [Раздел 3.6, «Управление прерываниями»](#), на [стр. 32](#) для получения дополнительной информации о nINT.

В качестве альтернативы, вывод nPME может использоваться для независимой индикации событий прерывания WoL. Сигнал nPME можно настроить для вывода на любой из следующих выводов:

- LED1 / nINT / nPME / [nREGOFF](#)
- LED2 / nINT / nPME / [nINTSEL](#)

Светодиод 1 / nINT / nPME / nREGOFF или LED2 / nINT / nPME / nINTSEL вывод можно настроить для работы как nPME, настроив LED1 Выбор функции или LED2 Выбор функции кусочки Регистр контроля и состояния пробуждения (WUCSR) до 10b, соответственно. Как только вывод nPME включен, любой полученный пакет, который соответствует условиям, настроенным в Регистр контроля и состояния пробуждения (WUCSR) будет утверждать nPME до тех пор, пока биты 7: 4 WUCSR не будут сброшены системным программным обеспечением. Однако в некоторых приложениях может потребоваться самоочистка nPME. Когда nPME Self Clear немного Регистр контроля и состояния пробуждения (WUCSR) установлен, вывод nPME будет очищен по истечении времени, настроенного в Регистр различных конфигураций (MCFGFR).

После события WoL дальнейшее решение об источнике события можно получить, изучив Получен идеальный кадр DA (PFDA_FR), Получен широкоэвещательный кадр (BCAST_FR), Получен волшебный пакет (MPR), а также Получен кадр удаленного пробуждения (WUFR) биты состояния в Регистр контроля и состояния пробуждения (WUCSR).

В Регистр контроля и состояния пробуждения (WUCSR) также предоставляет WoL настроен бит, который может быть установлен программно после настройки всех регистров WoL. Поскольку программный сброс не влияет на все регистры, относящиеся к WoL, программное обеспечение может опрашивать WoL настроен бит, чтобы убедиться, что все регистры WoL полностью настроены. Это позволяет программному обеспечению пропускать перепрограммирование регистров WoL после перезагрузки из-за события WoL.

В следующих подразделах подробно описывается каждый тип соревнований WoL. Для получения дополнительной информации об основных системных прерываниях см. Раздел 3.6, «Управление прерываниями», на стр. 32.

3.8.4.1 Идеальное определение DA (адреса назначения)

Когда он включен, режим обнаружения Perfect DA позволяет запускать вывод nINT или nPME, когда фрейм с адресом назначения совпадает с адресом, хранящимся в Регистр MAC-адреса приема A (RX_ADDRA), Регистр MAC-адреса приема B (RX_ADDRB), а также Регистр MAC-адреса приема C (RX_ADDRC) получен. Кадр также должен пройти проверку FCS и длины пакета.

Например, хост-система должна выполнить следующие шаги, чтобы устройство могло утверждать nINT при обнаружении события Perfect DA WoL:

1. Установите желаемый MAC-адрес, чтобы вызвать событие пробуждения в Регистр MAC-адреса приема A (RX_ADDRA), Регистр MAC-адреса приема B (RX_ADDRB), а также Регистр MAC-адреса приема C (RX_ADDRC).
2. Установите Perfect DA Wakeup Enable (PFDA_EN) немного Регистр контроля и состояния пробуждения (WUCSR) чтобы включить обнаружение Perfect DA.
3. Установите бит 8 (индикатор события WoL) в Регистр маски прерывания чтобы позволить событиям WoL запускать подтверждение вывода прерывания nINT.

Когда запускается совпадение, будет подтвержден вывод прерывания nINT, бит 8 Регистр флага источника прерывания будет установлен, и Получен идеальный кадр DA (PFDA_FR) немного Регистр контроля и состояния пробуждения (WUCSR) будет установлен.

примечание: В качестве альтернативы, вывод LED1 / nINT / nPME или LED2 / nINT / nPME может использоваться для индикации события WoL. Ссылаться на Раздел 3.8.4, «Пробуждение по локальной сети (WoL)» для дополнительной информации.

3.8.4.2 Обнаружение трансляции

Если этот параметр включен, режим обнаружения широкоэвещательной передачи позволяет запускать вывод nINT или nPME при получении кадра со значением адреса назначения FF FF FF FF FF FF. Кадр также должен пройти проверку FCS и длины пакета.

Например, хост-система должна выполнить следующие шаги, чтобы устройство могло утверждать nINT при обнаружении события Broadcast WoL:

1. Установите [Включение широковещательного пробуждения \(BCST_EN\)](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#) чтобы включить обнаружение широковещательной рассылки.
2. Установите бит 8 (индикатор события WoL) в [Регистр маски прерывания](#) чтобы позволить событиям WoL запускать подтверждение вывода прерывания nINT.

Когда запускается совпадение, будет подтвержден вывод прерывания nINT, бит 8 [Регистр флага источника прерывания](#) будет установлен, и [Получен широковещательный кадр \(BCAST_FR\)](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#) будет установлен.

примечание: В качестве альтернативы, вывод LED1 / nINT / nPME или LED2 / nINT / nPME может использоваться для индикации события WoL. Ссылаться на [Раздел 3.8.4, «Пробуждение по локальной сети \(WoL\)»](#) для дополнительной информации.

3.8.4.3

Обнаружение волшебных пакетов

Когда он включен, режим обнаружения Magic Packet позволяет запускать вывод nINT или nPME при получении кадра Magic Packet. Magic Packet - это кадр, адресованный устройству - либо одноадресный на запрограммированный адрес, либо широковещательный - который содержит шаблон 48'h FF_FF_FF_FF_FF после поля адреса назначения и источника, за которым следуют 16 повторений желаемого MAC-адреса (загруженного в [Регистр MAC-адреса приема A \(RX_ADDRA\)](#), [Регистр MAC-адреса приема B \(RX_ADDRB\)](#), а также [Регистр MAC-адреса приема C \(RX_ADDRC\)](#)) без перерывов и перерывов. В случае перерыва в 16 повторениях адреса логика снова сканирует 48'h шаблон FF_FF_FF_FF_FF во входящем кадре. 16 повторений могут быть где угодно в кадре, но им должен предшествовать поток синхронизации. Кадр также должен пройти проверку FCS и проверку длины пакета.

Например, если желаемый адрес - 00h 11h 22h 33h 44h 55h, то логика сканирует следующую последовательность данных в кадре Ethernet:

Адрес назначения Адрес источника FF FF FF FF FF FF

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55 00 11 22 33 44 55

... FCS

Например, хост-система должна выполнить следующие шаги, чтобы устройство могло утверждать nINT при обнаружении события Magic Packet WoL:

1. Установите желаемый MAC-адрес, чтобы вызвать событие пробуждения в [Регистр MAC-адреса приема A \(RX_ADDRA\)](#), [Регистр MAC-адреса приема B \(RX_ADDRB\)](#), а также [Регистр MAC-адреса приема C \(RX_ADDRC\)](#).
2. Установите [Magic Packet Enable \(MPEN\)](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#) для включения обнаружения Magic Packet.
3. Установите бит 8 (индикатор события WoL) в [Регистр маски прерывания](#) чтобы позволить событиям WoL запускать подтверждение вывода прерывания nINT.

Когда запускается совпадение, будет подтвержден вывод прерывания nINT, бит 8 [Регистр флага источника прерывания](#) будет установлен, и [Получен волшебный пакет \(MPR\)](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#) будет установлен.

примечание: В качестве альтернативы, вывод LED1 / nINT / nPME или LED2 / nINT / nPME может использоваться для индикации события WoL. Ссылаться на [Раздел 3.8.4, «Пробуждение по локальной сети \(WoL\)»](#) для дополнительной информации.

3.8.4.4 Обнаружение кадра пробуждения

Когда он включен, режим обнаружения кадра пробуждения позволяет запускать вывод pINT или pPME при получении заранее запрограммированного кадра пробуждения. Обнаружение кадра пробуждения позволяет разработчикам системы обнаруживать настроенный шаблон в пакете с помощью программируемого фильтра кадра пробуждения. Фильтр имеет 128-битную байтовую маску, которая указывает, какие байты кадра должны сравниваться логикой обнаружения. CRC-16 вычисляется по этим байтам. Затем результат сравнивается с соответствующим CRC-16 фильтра, чтобы определить, существует ли совпадение. При получении сигнала пробуждения **Получен кадр удаленного пробуждения (WUFR)** немного **Регистр контроля и состояния пробуждения (WUCSR)** установлен.

Если этот параметр включен, фильтр также может включать сравнение между адресом назначения кадра и адресом, указанным в **Регистр MAC-адреса приема A (RX_ADDRA)**, **Регистр MAC-адреса приема B (RX_ADDRB)**, а также **Регистр MAC-адреса приема C (RX_ADDRD)**. Указанный адрес может быть одноадресным или многоадресным. Если сопоставление адресов включено, совпадением будет считаться только запрограммированный одноадресный или многоадресный адрес. Неспецифические групповые адреса и широковещательный адрес могут быть включены отдельно. Результаты сопоставления адресов объединяются логическим ИЛИ (т. е. Конкретный результат сопоставления адресов ИЛИ любой результат многоадресной рассылки ИЛИ результат широковещательной рассылки).

Включен ли фильтр и проверяется ли адрес назначения, определяется путем настройки **Регистр конфигурации фильтра пробуждения A (WUF_CFGA)**. Перед включением фильтра прикладная программа должна предоставить логике обнаружения кадр выборки и соответствующую байтовую маску. Эта информация предоставляется путем написания **Регистр конфигурации фильтра пробуждения A (WUF_CFGA)**, **регистр конфигурации фильтра пробуждения B (WUF_CFGB)**, а также **Регистры байтовой маски фильтра пробуждения (WUF_MASK)**. Начальное смещение в кадре и ожидаемый CRC-16 для фильтра определяется **Смещение шаблона фильтра** а также **Фильтр CRC-16** поля соответственно.

Если включен режим удаленного пробуждения, функция удаленного пробуждения проверяет каждый кадр на соответствие фильтру и распознает этот кадр как кадр удаленного пробуждения, если он проходит фильтрацию адреса фильтра и соответствие значения CRC.

Смещение шаблона определяет расположение первого байта, который следует проверить в кадре. Байт-маска - это 128-битное поле, которое указывает, следует ли проверять каждый из 128 смежных байтов в кадре, начиная со смещения шаблона. Если бит j в байтовой маске установлен, логика обнаружения проверяет байт (смещение шаблона + j) в кадре, в противном случае байт (смещение шаблона + j) игнорируется.

По завершении процесса проверки CRC-16, CRC-16, вычисленный с использованием смещения шаблона и байтовой маски, сравнивается с ожидаемым значением CRC-16, связанным с фильтром. В случае совпадения сигнализируется событие удаленного пробуждения. Кадр также должен пройти проверку FCS и проверку длины пакета.

Таблица 3.7 указывает случаи, которые вызывают событие пробуждения. Во всех остальных случаях событие пробуждения не генерируется.

Таблица 3.7 Случаи возникновения пробуждения

ФИЛЬТР ВКЛЮЧЕНО	РАМКА ТИП	CRC МАТЧИ	АДРЕС СООТВЕТСТВИЕ ВКЛЮЧЕНО	любой MCAST ВКЛЮЧЕНО	BCAST ВКЛЮЧЕНО	РАМКА АДРЕС МАТЧИ
да	Одноадресный	да	Нет	Икс	Икс	Икс
да	Одноадресный	да	да	Икс	Икс	да
да	Многоадресная рассылка	да	Икс	да	Икс	Икс
да	Многоадресная рассылка	да	да	Нет	Икс	да
да	Транслировать	да	Икс	Икс	да	Икс

Например, хост-система должна выполнить следующие шаги, чтобы устройство могло утверждать pINT при обнаружении события Wakeup Frame WoL:

Объявить шаблон:

1. Обновите [Регистры байтовой маски фильтра пробуждения \(WUF_MASK\)](#) чтобы указать допустимые байты для сопоставления.
2. Вычислить значение CRC-16 допустимых байтов в автономном режиме и обновить [Регистр конфигурации фильтра пробуждения В \(WUF_CFGB\)](#). CRC-16 рассчитывается следующим образом:

В начале кадра CRC-16 инициализируется значением FFFFh. CRC-16 обновляется, когда смещение шаблона и маска указывают, что полученный байт является частью вычисления контрольной суммы. Для обновления CRC-16 в это время используется следующий алгоритм:

Позволять:

обозначают исключающий оператор или.

Данные [7: 0] - это полученный байт данных, который будет включен в контрольную сумму.

CRC [15: 0] содержит вычисленную контрольную сумму CRC-16.

F0... F7 - промежуточные результаты, вычисленные, когда байт данных определен как часть CRC-16.

Рассчитать:

$F0 = CRC[15]$	Данные [0]
$F1 = CRC[14]$	$F0 \wedge \text{Данные}[1]$
$F2 = CRC[13]$	$F1 \wedge \text{Данные}[2]$
$F3 = CRC[12]$	$F2 \wedge \text{Данные}[3]$
$F4 = CRC[11]$	Данные F3 [4]
$F5 = CRC[10]$	$F4 \wedge \text{Данные}[5]$
$F6 = CRC[09]$	$F5 \wedge \text{Данные}[6]$
$F7 = CRC[08]$	$F6 \wedge \text{Данные}[7]$

CRC-32 обновляется следующим образом:

$CRC[15] = CRC[7]$	F7
$CRC[14] = CRC[6]$	
$CRC[13] = CRC[5]$	
$CRC[12] = CRC[4]$	
$CRC[11] = CRC[3]$	
$CRC[10] = CRC[2]$	
$CRC[9] = CRC[1]$	F0
$CRC[8] = CRC[0]$	F1
$CRC[7] = F0$	F2
$CRC[6] = F1$	F3
$CRC[5] = F2$	F4
$CRC[4] = F3$	F5
$CRC[3] = F4$	F6
$CRC[2] = F5$	F7
$CRC[1] = F6$	
$CRC[0] = F7$	

3. Определите шаблон смещения, при котором смещение 0 является первым байтом адреса назначения. Обновите смещение в [Поле смещения шаблона фильтра регистра А конфигурации фильтра пробуждения \(WUF_CFGA\)](#).

Определите условия сопоставления адресов:

- Определите схему сопоставления адресов на основе [Таблица 3.7](#) и обновите [Фильтр широковещания включить](#), [Фильтровать любую многоадресную рассылку](#), а также [Включить соответствие адресов](#) кусочки [Регистр конфигурации фильтра пробуждения A \(WUF_CFGA\)](#) соответственно.
- При необходимости (см. Шаг 4) установите желаемый MAC-адрес, чтобы вызвать событие пробуждения в [Регистр MAC-адреса приема A \(RX_ADDRA\)](#), [Регистр MAC-адреса приема B \(RX_ADDRB\)](#), а также [Регистр MAC-адреса приема C \(RX_ADDRC\)](#).
- Установите [Фильтр Включить](#) немного [Регистр конфигурации фильтра пробуждения A \(WUF_CFGA\)](#) чтобы включить фильтр.

Включить определение кадра пробуждения:

- Установите [Включение кадра пробуждения \(WUEN\)](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#) для включения обнаружения кадра пробуждения.
- Установите бит 8 (индикатор события WoL) в [Регистр маски прерывания](#) чтобы позволить событиям WoL запускать подтверждение вывода прерывания nINT.

Когда запускается совпадение, вывод прерывания nINT будет утвержден, а [Получен кадр удаленного пробуждения \(WUFR\)](#) немного [Регистр контроля и состояния пробуждения \(WUCSR\)](#) будет установлен. Чтобы обеспечить дополнительную наглядность программного обеспечения, [Фильтр активирован](#) немного [Регистр конфигурации фильтра пробуждения A \(WUF_CFGA\)](#) будет установлен.

примечание: В качестве альтернативы, вывод прерывания nINT / nPME или LED2 / nINT / nPME может использоваться для индикации события WoL. Ссылаться на [Раздел 3.8.4, «Пробуждение по локальной сети \(WoL\)»](#) для дополнительной информации.

3.8.5

Изолированный режим

Пути данных устройства могут быть электрически изолированы от интерфейса RMII путем установки [Изолировать](#) немного [Базовый контрольный регистр](#) на «1». В режиме изоляции трансивер не отвечает на входы TXD, TXEN и TXER, но отвечает на транзакции управления.

Изоляция позволяет нескольким приемопередатчикам подключаться к одному интерфейсу RMII без конфликтов. По умолчанию трансивер не изолирован (при включении питания ([Изолировать](#) = 0)).

3.8.6

Сбрасывает

Устройство обеспечивает две формы сброса: аппаратный и программный. Регистры устройства сбрасываются как при аппаратном, так и при программном сбросе. Биты регистра выбора, обозначенные как «NASR» в определениях регистров, не сбрасываются программным сбросом. Регистры не сбрасываются в режимах отключения питания, описанных в [Раздел 3.8.3](#).

примечание: Первые 16 мкс после выхода из состояния сброса интерфейс RMII будет работать на частоте 2,5 МГц. По истечении этого времени он переключится на 25 МГц, если включено автосогласование.

3.8.6.1

Аппаратный сброс

Аппаратный сброс подтверждается установкой на входном выводе nRST низкого уровня. Во время движения уровень nRST должен поддерживаться на низком уровне в течение минимального времени, указанного в [Раздел 5.6.3, «Время включения nRST и настройки привязки»](#) на [стр. 121](#) для обеспечения правильного сброса трансивера. Во время аппаратного сброса внешние часы **должен** подаваться на сигнал XTAL1 / CLKIN.

примечание: После включения питания требуется аппаратный сброс (утверждение nRST). Ссылаться на [Раздел 5.6.3, «Время включения nRST и настройки привязки»](#) на [стр. 121](#) для дополнительной информации.

3.8.6.2

Сброс программного обеспечения

Программный сброс активируется установкой **Мягкий сброс** немного **Базовый контрольный регистр** на «1». Все биты регистров, кроме тех, которые обозначены как «NASR» в определениях регистров, очищаются программным сбросом. В **Мягкий сброс** бит самоочищается. В соответствии со стандартом IEEE 802.3u, пункт 22 (22.2.4.1.1), процесс сброса будет завершен в течение 0,5 с после установки этого бита.

3.8.7

Чувство носителя

Контроль несущей (CRS) выводится на вывод CRS_DV. CRS - это сигнал, определенный спецификацией MII в стандарте IEEE 802.3u. Устройство заявляет CRS только на основе активности приема, когда трансивер находится в режиме ретранслятора или полнодуплексном режиме. В противном случае трансивер выдает CRS на основании активности передачи или приема.

Логика контроля оператора связи использует закодированные, нешифрованные данные для определения статуса активности оператора связи. Он активирует контроль несущей с обнаружением 2 несмежных нулей в любом 10-битном диапазоне. Контроль несущей прекращается, если перед парой / J / K / Start-of Stream Delimiter обнаруживается промежуток из 10 последовательных. Если обнаружена пара SSD, определение несущей подтверждается до тех пор, пока не будет обнаружена пара / T / R / Разделитель конца потока или пара символов IDLE. Несущая инвертируется после символа / T / или первого IDLE. Если за / T / не следует / R /, то несущая сохраняется. Несущая обрабатывается аналогично для IDLE, за которым следует некоторый не-IDLE символ.

3.8.8

Проверка целостности ссылки

Устройство выполняет тест целостности соединения, как указано в диаграмме состояний монитора соединения IEEE 802.3u (пункты 24-15). Статус канала мультиплексируется со статусом канала 10 Мбит / с для формирования **Статус ссылки** немного **Регистр базового статуса** и управлять светодиодом LINK (LED1).

DSP показывает действительную форму волны MLT-3, присутствующую в сигналах RXP и RXN, как определено стандартом ANSI X3.263 TP-PMD, для машины состояния Link Monitor, используя внутренний сигнал DATA_VALID. Когда утверждается DATA_VALID, управляющая логика переходит в состояние Link-Ready и ожидает разрешения от блока автосогласования. При получении переходит в состояние Link-Up, и становятся активными логические блоки передачи и приема. Если автосогласование отключено, логика целостности канала немедленно переходит в состояние Link-Up, когда утверждается DATA_VALID.

Чтобы позволить линии стабилизироваться, логика целостности соединения будет ждать минимум 330 мс с момента подтверждения DATA_VALID до перехода в состояние готовности соединения. Если вход DATA_VALID будет отменен в любой момент, эта логика немедленно отключит сигнал Link и перейдет в состояние Link-Down.

Когда цифровой блок 10/100 находится в режиме 10BASE-T, состояние канала определяется логикой приемника 10BASE-T.

3.8.9

Кабельная диагностика

LAN8742A / LAN8742Ai обеспечивает диагностику кабеля, которая позволяет обнаруживать обрыв / короткое замыкание и длину кабеля Ethernet. Кабельная диагностика состоит из двух основных режимов работы:

- **Диагностика кабеля для рефлектометрии во временной области (TDR)**
Диагностика кабеля TDR позволяет обнаруживать обрыв или короткое замыкание в паре TX или RX, а также оценивать длину кабеля до обрыва / короткого замыкания.
- **Диагностика согласованного кабеля**
Согласованная диагностика кабеля позволяет оценить длину кабеля, соединенного со скоростью 100 Мбит / с.

См. Следующие подразделы для получения подробной информации о правильной работе каждого режима диагностики кабеля.

3.8.9.1 Диагностика кабеля для рефлектометрии во временной области (TDR)

LAN8742A / LAN8742Ai обеспечивает диагностику кабеля TDR, которая позволяет обнаруживать обрыв или короткое замыкание в паре TX или RX, а также оценивать длину кабеля до обрыва / короткого замыкания. Чтобы использовать диагностику кабеля TDR, необходимо отключить Auto-MDIX и автосогласование, а устройство LAN8742A / LAN8742Ai должно быть переведено в полнодуплексный режим 100 Мбит / с. Эти действия необходимо выполнить перед настройкой **TDR Включить** немного в **Регистр управления / состояния TDR**. Если Auto-MDIX отключен, рефлектометр будет проверять пару TX или RX, выбранную битом регистра 27.15 (**AMDIXCTRL**). Правильное тестирование кабеля должно включать проверку каждой пары. Когда тестирование TDR будет завершено, предыдущие настройки регистра могут быть восстановлены. **Рисунок 3.16** представлена блок-схема правильного использования TDR.

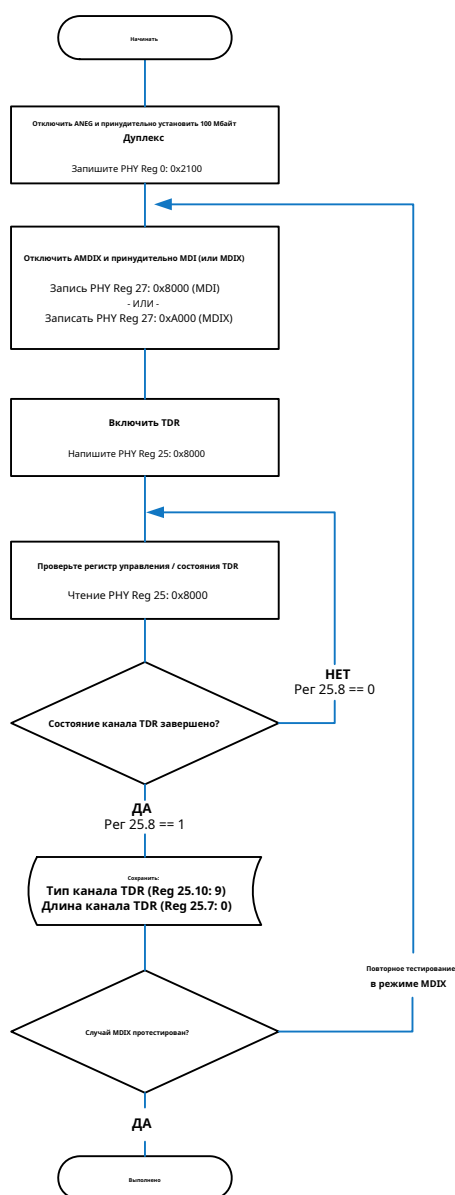


Рисунок 3.16 Блок-схема использования TDR

TDR работает, передавая импульсы по выбранной витой паре в кабеле Ethernet (TX в режиме MDI, RX в режиме MDIX). Если тестируемая пара разомкнута или закорочена, результирующая неоднородность импеданса приводит к отраженному сигналу, который может быть обнаружен LAN8742A / LAN8742Ai. LAN8742A / LAN8742Ai измеряет время между переданным сигналом и полученным отражением и отображает результаты в **Длина канала TDR** поле **Регистр управления / состояния TDR**. В **Длина канала TDR** поле указывает «электрическую» длину кабеля и может быть умножено на соответствующую постоянную распространения в **Таблица 3.8** для определения приблизительного физического расстояния до места повреждения.

Примечание: Функция TDR обычно используется, когда канал не работает. Однако при работе TDR активный канал будет отключен.

Поскольку рефлектометр основан на отраженном сигнале от неправильно оконцованного кабеля, существует несколько факторов, которые могут повлиять на точность оценки физической длины. Это включает:

- 1. Тип кабеля (CAT 5, CAT5e, CAT6):** Электрическая длина каждого типа кабеля немного отличается из-за скручивания на метр внутренних сигнальных пар и различий в скоростях распространения сигнала. Если тип кабеля известен, оценку длины можно рассчитать более точно, используя постоянную распространения, соответствующую типу кабеля (см. **Таблица 3.8**). Во многих реальных приложениях тип кабеля неизвестен или может представлять собой сочетание кабелей разных типов и длины. В этом случае используйте постоянную распространения для «неизвестного» типа кабеля.
- 2. Пара TX и RX:** Для каждого типа кабеля стандарты EIA определяют разные скорости скручивания (витков на метр) для каждой пары сигналов в кабеле Ethernet. Это приводит к различным измерениям для пары RX и TX.
- 3. Фактическая длина кабеля:** Разница между расчетной длиной кабеля и фактической длиной кабеля увеличивается по мере увеличения физической длины кабеля, при этом наиболее точные результаты составляют менее примерно 100 м.
- 4. Открытый / короткий футляр:** Для случаев разомкнутого и закороченного состояния будут возвращены разные значения длины канала TDR (электрические длины) для одного и того же физического расстояния до места повреждения. Компенсация этого достигается за счет использования различных постоянных распространения для расчета физической длины кабеля.

Для случая «Открытый» расчетное расстояние до разлома можно рассчитать следующим образом:

Расстояние до открытого разлома в метрах \approx **Длина канала TDR** * Поткрытым

Где: Поткрытым постоянная распространения, выбранная из **Таблица 3.8**

Для случая короткого замыкания приблизительное расстояние до места повреждения можно рассчитать следующим образом:

Расстояние до открытого разлома в метрах \approx **Длина канала TDR** * Пкороткая

Где: Пкороткая постоянная распространения, выбранная из **Таблица 3.8**

Таблица 3.8 Константы распространения TDR

РАСПРОСТРАНЕНИЕ TDR ПОСТОЯННЫЙ	ТИП КАБЕЛЯ			
	НЕИЗВЕСТНЫЙ	CAT 6	CAT 5E	CAT 5
ПОТКРЫТЫМ	0,769	0,745	0,76	0,85
ПКОРОТКАЯ	0,793	0,759	0,788	0,873

Типичная погрешность измерения длины кабеля для случаев разомкнутого и закороченного состояния зависит от выбранного типа кабеля и расстояния разомкнутого / закороченного кабеля от устройства. **Таблица 3.9** а также **Таблица 3.10** подробно опишите типичную погрешность измерения для разомкнутого и закороченного корпусов соответственно.

Таблица 3.9 Типичная погрешность измерения открытого кабеля (+/- метры)

ФИЗИЧЕСКОЕ РАССТОЯНИЕ К НЕИСПРАВНОСТИ	ВЫБРАННАЯ КОНСТАНТА РАСПРОСТРАНЕНИЯ			
	поткрытым знак равно Неизвестный	поткрытым знак равно CAT 6	поткрытым знак равно CAT 5E	поткрытым знак равно CAT 5
Кабель CAT 6, 0-100 м	9	6		
Кабель CAT 5E, 0-100 м	5		5	
Кабель CAT 5, 0-100 м	13			3
Кабель CAT 6, 101-160 м	14	6		
Кабель CAT 5E, 101-160 м	8		6	
Кабель CAT 5, 101-160 м	20			6

Таблица 3.10 Типичная ошибка измерения для закороченного кабеля (+/- метры)

ФИЗИЧЕСКОЕ РАССТОЯНИЕ К НЕИСПРАВНОСТИ	ВЫБРАННАЯ КОНСТАНТА РАСПРОСТРАНЕНИЯ			
	пкороткая знак равно Неизвестный	пкороткая знак равно CAT 6	пкороткая знак равно CAT 5E	пкороткая знак равно CAT 5
Кабель CAT 6, 0-100 м	8	5		
Кабель CAT 5E, 0-100 м	5		5	
Кабель CAT 5, 0-100 м	11			2
Кабель CAT 6, 101-160 м	14	6		
Кабель CAT 5E, 101-160 м	7		6	
Кабель CAT 5, 101-160 м	11			3

3.8.9.2 Диагностика согласованного кабеля

Согласованная диагностика кабеля позволяет оценить длину кабеля, соединенного со скоростью 100 Мбит / с, до 120 метров. Если есть активный канал 100 Мбит, приблизительное расстояние до партнера по каналу можно оценить с помощью [Регистр длины кабеля](#). Если кабель правильно заделан, но нет активного канала 100 Мбит (партнер по каналу отключен, нефункционален, канал составляет 10 Мбит и т. Д.), Длина кабеля не может быть оценена и [Регистр длины кабеля](#) следует игнорировать. Расчетное расстояние до партнера по ссылке можно определить с помощью [Длина кабеля \(CBLN\)](#) таблица поиска, представленная в [Таблица 3.11](#). Типичная погрешность измерения длины кабеля для согласованного корпуса кабеля составляет +/- 20 м. Допустимая погрешность согласованной длины кабеля одинакова для всех типов кабелей от 0 до 120 м.

Таблица 3.11 Таблица поиска оценочной длины кабеля (CBLN) для случая совпадения

ПОЛЕВОЕ ЗНАЧЕНИЕ CBLN	РАСЧЕТНАЯ ДЛИНА КАБЕЛЯ
0-3	0
4	6
5	17
6	27
7	38
8	49
9	59
10	70
11	81 год
12	91
13	102
14	113
15	123

примечание: Для правильно заделанного кабеля (Match case) отраженный сигнал отсутствует. В этом случае [Длина канала TDR](#) поле недействительно и должно быть проигнорировано.

3.8.10 Работа по шлейфу

Устройство может быть сконфигурировано для кольцевой проверки на ближнем и дальнем конце. Эти режимы обратной связи подробно описаны в следующих подразделах.

3.8.10.1 Петля на ближнем конце

В режиме обратной связи на ближнем конце цифровые данные передачи передаются обратно сигналам приема данных для целей тестирования, как показано синими стрелками на рис. [Рисунок 3.17](#). Режим обратной петли на ближнем конце включается установкой **Петля** немного **Базовый контрольный регистр** на «1». Большой процент цифровых схем работает в режиме обратной петли на ближнем конце, потому что данные маршрутизируются через уровни PCS и PMA на подуровень PMD, прежде чем они будут возвращены обратно. Передатчики отключаются независимо от состояния TXEN.

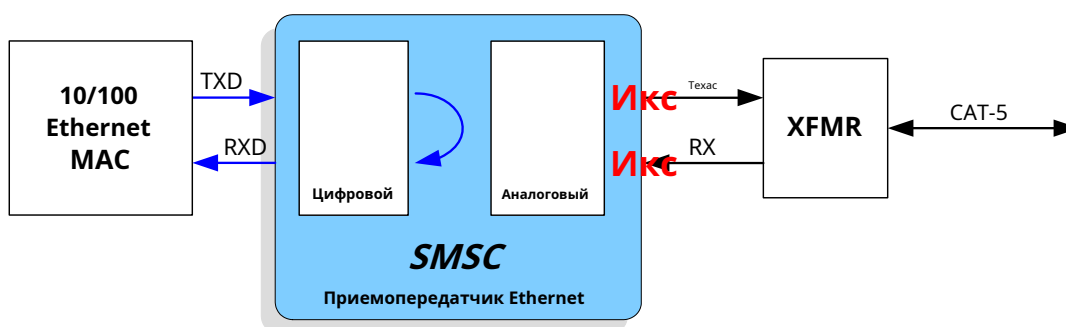


Рисунок 3.17 Блок-схема кольцевой проверки на ближнем конце

3.8.10.2 Дальний шлейф

Дальний шлейф - это специальный тестовый режим для MDI (аналогового) шлейфа, на что указывают синие стрелки на рисунке. [Рисунок 3.18](#). Режим дальней петли включается установкой **FARLOOPBACK** немного **Управление режимом / регистр состояния** на «1». В этом режиме данные, полученные от партнера по каналу на MDI, возвращаются обратно партнеру по каналу связи. Сигналы цифрового интерфейса на локальном MAC-интерфейсе изолированы.

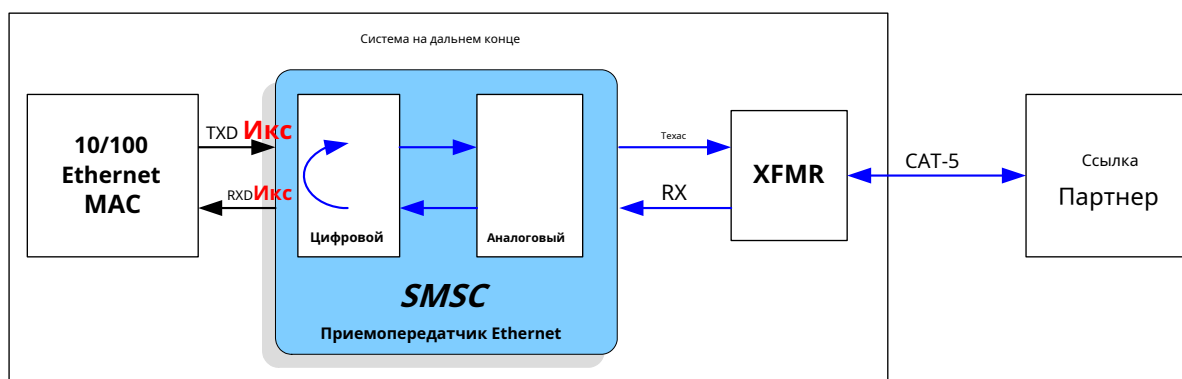


Рисунок 3.18 Блок-схема дальней обратной петли

3.8.10.3 Соединительный шлейф

Устройство обеспечивает надежную передачу по очень коротким кабелям и может быть протестировано с помощью шлейфа коннектора, как показано на [Рисунок 3.19](#). Кабель обратной связи RJ45 может использоваться для маршрутизации сигналов передачи с выхода трансформатора обратно на входы приемника. Шлейф работает как на скорости 10, так и на 100 Мбит / с.

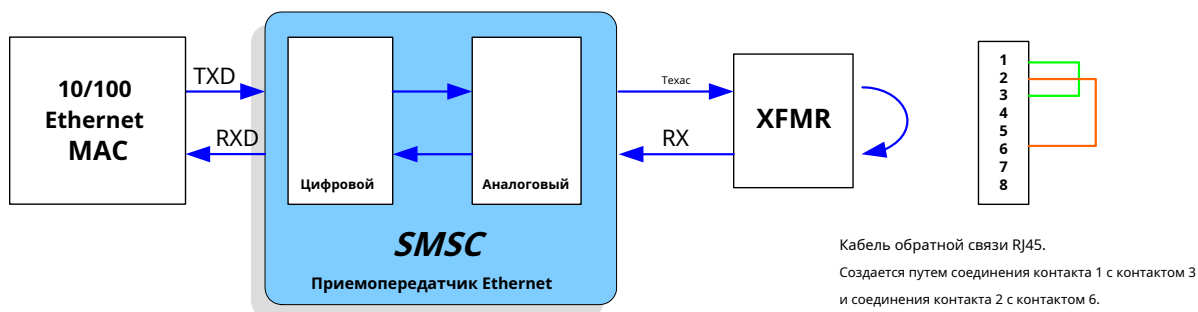


Рисунок 3.19 Блок-схема коннектора с обратной связью

3.9 Диаграммы приложений

В этом разделе представлены типовые схемы приложений для следующего:

- Упрощенная схема приложения на системном уровне
- Схема источника питания (1,2 В от внутреннего регулятора)
- Схема источника питания (1,2 В от внешнего источника) Схема
- интерфейса витой пары (один источник питания) Схема
- интерфейса витой пары (два источника питания)

3.9.1 Упрощенная схема приложения на системном уровне

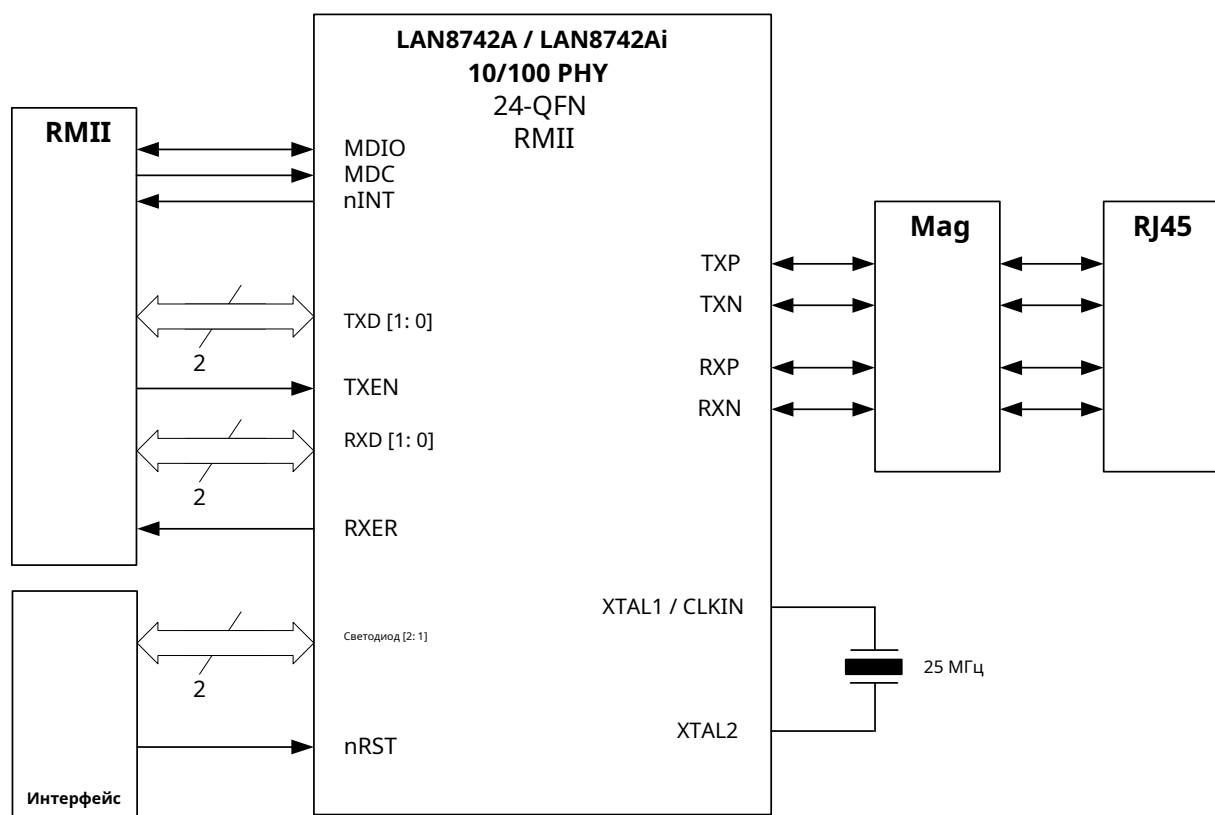


Рисунок 3.20 Упрощенная диаграмма приложений на уровне системы

3.9.2 Схема источника питания (1,2 В от внутреннего регулятора)

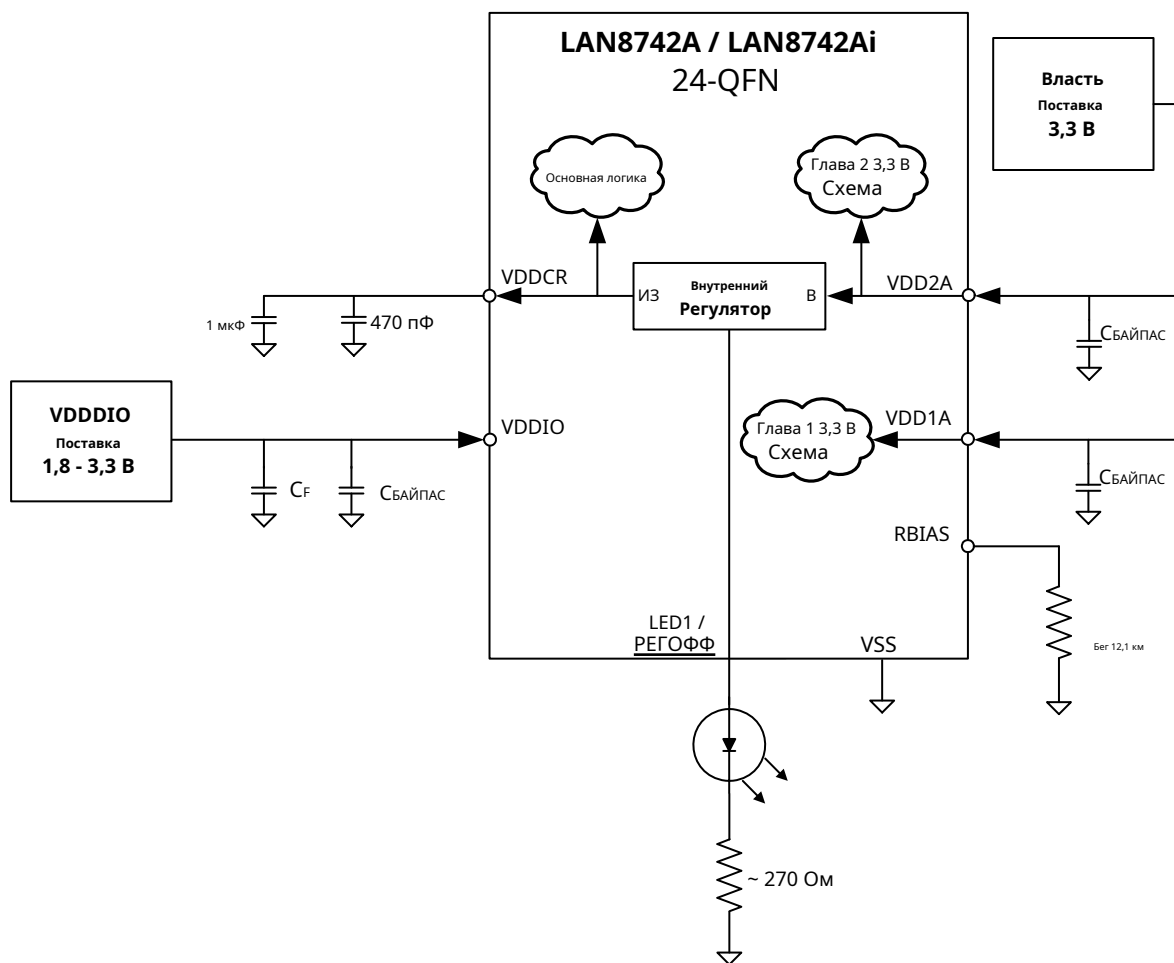


Рисунок 3.21 Схема источника питания (1,2 В от внутреннего регулятора)

3.9.3 Схема источника питания (1,2 В от внешнего источника)

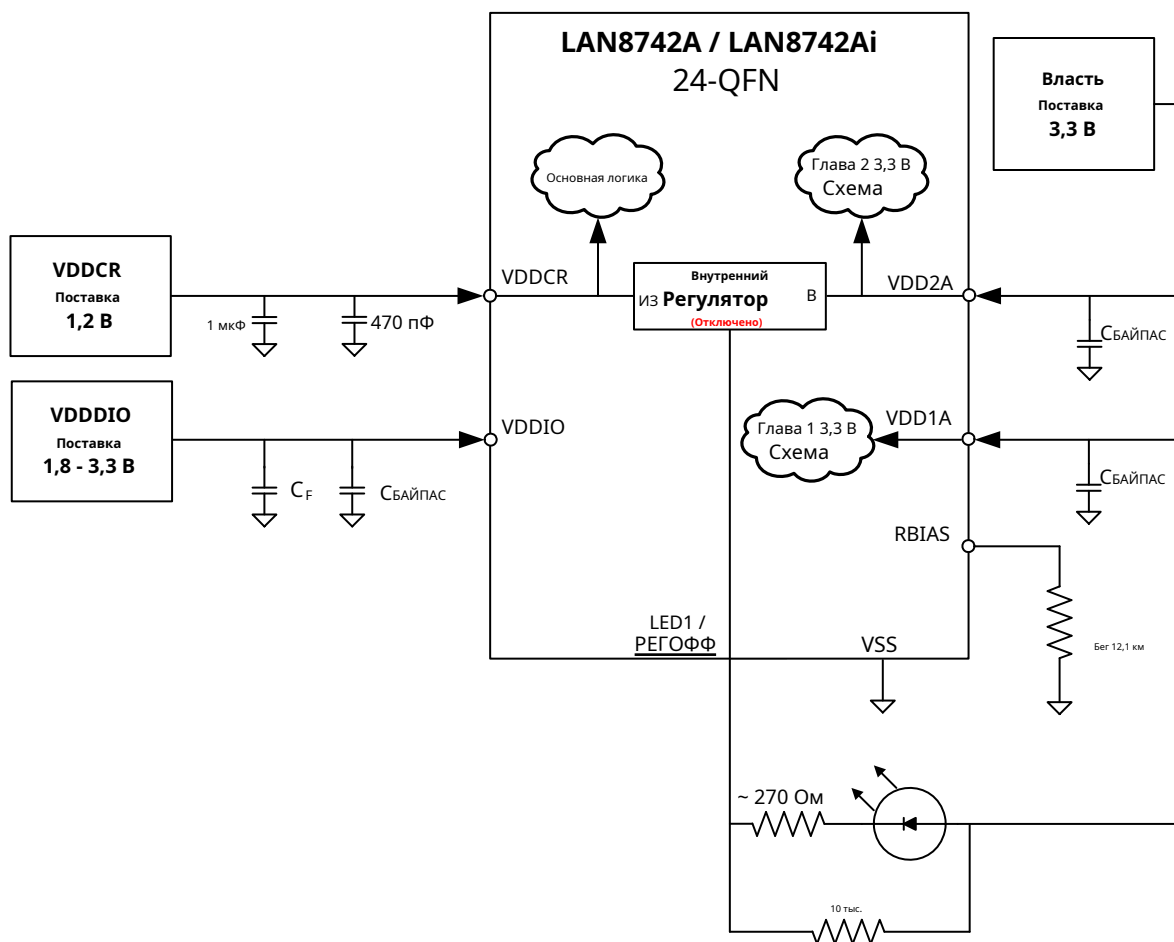


Рисунок 3.22 Схема источника питания (1,2 В от внешнего источника)

3.9.4 Схема интерфейса витой пары (одиночный источник питания)

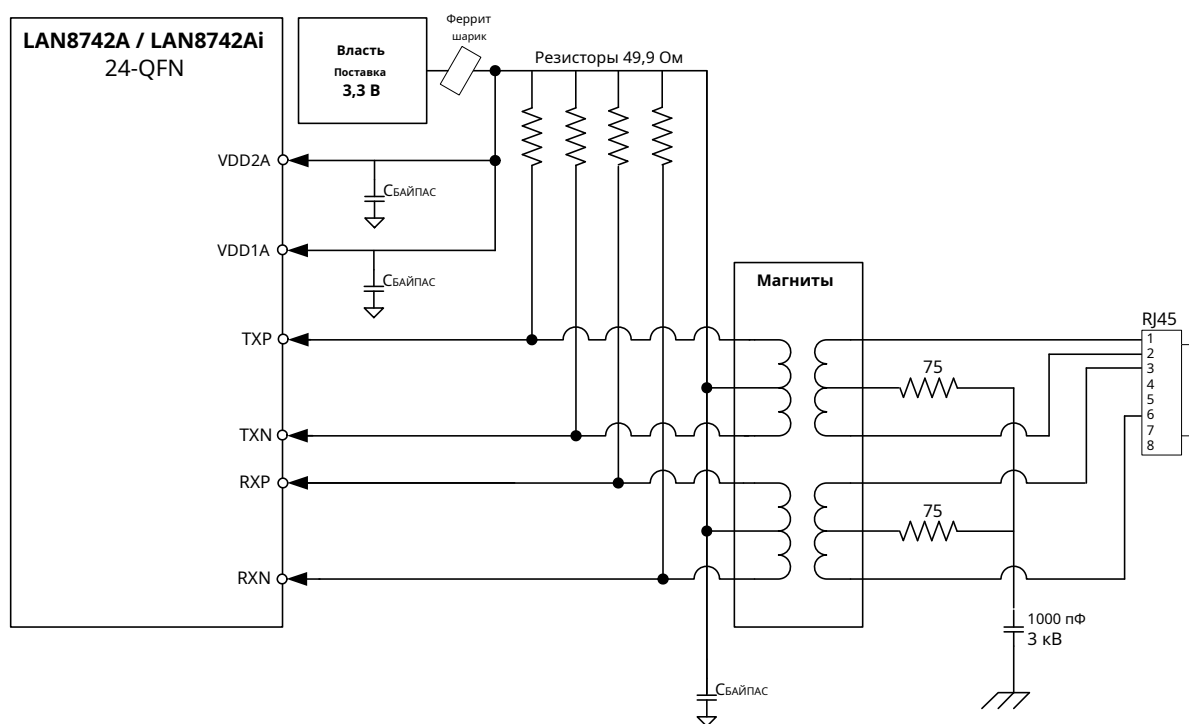


Рисунок 3.23. Схема интерфейса витой пары (одиночный источник питания)

3.9.5 Схема интерфейса витой пары (два источника питания)

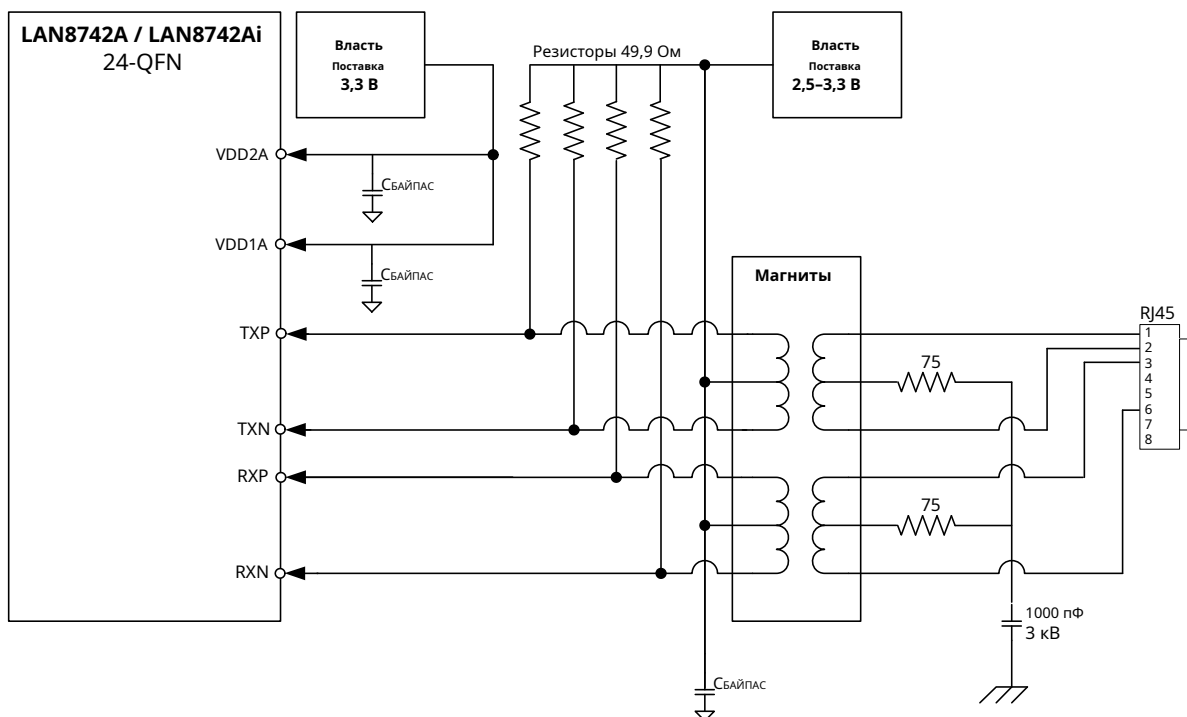


Рисунок 3.24. Схема интерфейса витой пары (два источника питания)

Глава 4 Описание регистров

В этой главе описываются различные [Регистры управления и состояния \(CSR\)](#) и [Регистры управляемого устройства MDIO \(MMD\)](#). CSR следуют набору регистров управления IEEE 802.3 (пункт 22.2.4). Регистры MMD соответствуют *IEEE 802.3-2008 45.2 Регистры интерфейса MDIO* Технические характеристики. Все функции и определения бит соответствуют этим стандартам. Указанный индекс регистра IEEE 802.3 (в десятичном формате) включен в каждое определение CSR, что позволяет адресовать эти регистры через протокол последовательного интерфейса управления (SMI). Доступ к регистрам MMD осуществляется косвенно через [Регистр контроля доступа MMD](#) а также [Адрес доступа MMD / регистр данных CSR](#).

4.1 Регистрационная номенклатура

Таблица 4.1. описывает нотацию атрибутов регистрового бита, используемую в этом документе.

Таблица 4.1 Типы битов регистров

РЕГИСТРАЦИОННЫЙ БИТ ТИП ОБОЗНАЧЕНИЕ	РЕГИСТРАЦИОННЫЙ БИТ ОПИСАНИЕ
р	Читать: Можно прочесть регистр или бит с этим атрибутом.
W	Напишите: Можно записать регистр или бит с этим атрибутом.
RO	Только чтение: Записи не действуют.
WO	Только пишете: Если регистр или бит предназначены только для записи, при чтении будут возвращены неопределенные данные.
Туалет	Напишите один, чтобы очистить: Запись единицы очищает значение. Запись нуля не имеет никакого эффекта
BAK	Напишите что-нибудь, чтобы очистить: Запись чего-либо очищает значение.
RC	Прочтите, чтобы очистить: После прочтения содержимое очищается. Записи не действуют.
LL	Защелка низкая: Очистить при чтении реестра.
LH	Защелка высокая: Очистить при чтении реестра.
SC	Самоочистка: После установки содержимое самоочищается. Нулевые записи не действуют. Содержание можно прочесть.
SS	Самостоятельная установка: После очистки содержимое устанавливается автоматически. Записи одного не действуют. Содержание можно прочесть.
RO / LH	Только чтение, высокая защелка: Биты с этим атрибутом будут оставаться на высоком уровне до тех пор, пока бит не будет прочитан. После считывания бит либо останется на высоком уровне, если состояние высокого уровня сохраняется, либо перейдет в низкий уровень, если состояние высокого уровня было удалено. Если бит не был прочитан, бит останется на высоком уровне независимо от перехода в высокое состояние. Этот режим используется в некоторых регистрах Ethernet PHY.
NACP	Не зависит от программного сброса. Состояние битов NASR не изменяется при подтверждении программного сброса.
ЗАРЕЗЕРВИРОВАННЫЙ	Зарезервированное поле: Зарезервированные поля должны быть записаны нулями для обеспечения совместимости в будущем. Значение зарезервированных битов не гарантируется при чтении.

- Многие из этих битовых обозначений регистров можно комбинировать. Некоторые примеры этого показаны ниже:
- **R / W:** Можно написать. Вернет текущую настройку при чтении.
 - **R / WAC:** Вернет текущую настройку при чтении. Запись чего-либо очищает бит.

4.2 Регистры управления и состояния

Таблица 4.2. предоставляет список поддерживаемых регистров. Подробная информация о регистрах, включая определения битов, представлена в следующих подразделах.

Таблица 4.2 Карта регистров SMI

РЕГИСТРАЦИОННЫЙ ИНДЕКС (ДЕСЯТИЧНЫЙ)	РЕГИСТРАЦИЯ ИМЯ	ГРУППА
0	Базовый контрольный регистр	Базовый
1	Регистр базового статуса	Базовый
2	Регистр PHY-идентификатора 1	Расширенный
3	Регистр PHY-идентификатора 2	Расширенный
4	Регистрация объявления автосогласования	Расширенный
5	Регистрация возможностей партнера для автосогласования	Расширенный
6	Регистр расширения автосогласования	Расширенный
7	Автосогласование Следующая страница Регистр TX	Расширенный
8	Автосогласование Следующая страница Регистр RX	Расширенный
13	Регистр контроля доступа MMD	Расширенный
14	Адрес доступа MMD / регистр данных	Расширенный
16	EDPD NLP / Регистр времени кроссовера	Зависит от поставщика
17	Управление режимом / регистр состояния	Зависит от поставщика
18	Регистр специальных режимов	Зависит от поставщика
24	Шаблоны TDR / Регистр управления задержкой	Зависит от поставщика
25	Регистр управления / состояния TDR	Зависит от поставщика
26	Регистр счетчика ошибок символа	Зависит от поставщика
27	Специальный регистр индикации контроля / состояния	Зависит от поставщика
28 год	Регистр длины кабеля	Зависит от поставщика
29	Регистр флага источника прерывания	Зависит от поставщика
30	Регистр маски прерывания	Зависит от поставщика
31 год	PHY Special Control / Регистр состояния	Зависит от поставщика

4.2.1 Базовый контрольный регистр

Индекс (в десятичном формате): 0

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Мягкий сброс 1 = Программный сброс. Бит самоочищается. При установке этого бита не устанавливайте другие биты в этом регистре. Примечание: Конфигурация (как описано в Раздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима», на стр. 36) устанавливается из значений битов регистра, а не из выводов режима.	R / W SC	0b
14	Петля 0 = нормальная работа 1 = режим обратной связи	R / W	0b
13	Выбор скорости 0 = 10 Мбит / с 1 = 100 Мбит / с Примечание: Игнорируется, если включено автосогласование (0,12 = 1).	R / W	Примечание 4.1.
12	Включить автосогласование 0 = отключить процесс автосогласования 1 = включить процесс автосогласования (отменяет 0,13 и 0,8)	R / W	Примечание 4.1.
11	Выключить 0 = нормальная работа 1 = Общий режим отключения питания	R / W	0b
10	Изолировать 0 = нормальная работа 1 = Гальваническая развязка PHY от RMII	R / W	0b
9	Перезапустить автосогласование 0 = нормальная работа 1 = перезапустить процесс автосогласования Примечание: Бит самоочищается.	R / W SC	0b
8	Дуплексный режим 0 = полудуплекс 1 = полный дуплекс Примечание: Игнорируется, если включено автосогласование (0,12 = 1).	R / W	Примечание 4.1.
7: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

Примечание 4.1. Значение этого бита по умолчанию определяется параметрами конфигурации MODE [2: 0]. Ссылаться на [Раздел 3.7.2, «РЕЖИМ \[2: 0\]: конфигурация режима», на стр. 36](#) для дополнительной информации.

4.2.2 Регистр базового статуса

Индекс (в десятичном формате): 1

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	100BASE-T4 0 = Нет способности T4 1 = Способен T4	RO	0b
14	100BASE-TX полный дуплекс 0 = нет возможности полнодуплексной передачи 1 = передача в полнодуплексном режиме	RO	1b
13	100BASE-TX полудуплекс 0 = нет возможности полудуплексной передачи 1 = передача с полудуплексом	RO	1b
12	10BASE-T полный дуплекс 0 = Нет 10 Мбит / с с возможностью полного дуплекса 1 = 10 Мбит / с с полным дуплексом	RO	1b
11	10BASE-T полудуплекс 0 = Нет 10 Мбит / с с полудуплексом 1 = 10 Мбит / с с полудуплексом	RO	1b
10	100BASE-T2 полный дуплекс 0 = PHY не может выполнять полнодуплексный режим 100BASE-T2 1 = PHY может выполнять полнодуплексный режим 100BASE-T2	RO	0b
9	100BASE-T2 полудуплекс 0 = PHY не может выполнять полудуплекс 100BASE-T2 1 = PHY может выполнять полудуплекс 100BASE-T2	RO	0b
8	Расширенный статус 0 = Нет расширенной информации о состоянии в регистре 15 1 = Расширенная информация о состоянии в регистре 15	RO	0b
7: 6	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
5	Автосогласование завершено 0 = процесс автосогласования не завершен 1 = процесс автосогласования завершен	RO	0b
4	Удаленная неисправность 1 = Обнаружена удаленная неисправность 0 = Удаленная неисправность отсутствует	RO / LH	0b
3	Возможность автосогласования 0 = Невозможно выполнить функцию автосогласования 1 = Возможно выполнение функции автосогласования	RO	1b
2	Статус ссылки 0 = Ссылка не работает. 1 = Ссылка установлена.	РУЛОН	0b
1	Обнаружение jabber 0 = jabber не обнаружен. 1 = Обнаружено состояние jabber.	RO / LH	0b

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
0	Расширенные возможности 0 = не поддерживает регистры расширенных возможностей 1 = поддерживает регистры расширенных возможностей	RO	1b

Индекс (в десятичном формате): 2

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	RHY ID номер Присваивается с 3-го по 18-й биты Организационного уникального идентификатора (OUI) соответственно.	R / W	0007h

4.2.4 Регистр RNY-идентификатора 2

Индекс (в десятичном формате): 3

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:10	RNY ID номер Назначается с 19-го по 24-й биты OUI.	R / W	C130h
9: 4	Номер модели Шестибитный номер модели производителя	R / W	
3: 0	Номер ревизии Четырехбитный номер ревизии производителя	R / W	

примечание: Значение по умолчанию в поле Номер версии может варьироваться в зависимости от номера версии микросхемы.

4.2.5 Регистрация объявления автосогласования

Индекс (десятичный): 4

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Следующая Страница 0 = Нет возможности перехода к следующей странице 1 = Возможность перехода к следующей странице	R / W	0b
14	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
13	Удаленная неисправность 0 = удаленной неисправности нет 1 = Обнаружена удаленная неисправность	R / W	0b
12	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
11:10	Приостановить операцию 00 = без паузы 01 = Симметричная ПАУЗА 10 = Асимметричная ПАУЗА по направлению к партнеру по ссылке 11 = объявить о поддержке как симметричной паузы, так и асимметричной паузы для локального устройства Примечание: Если установлены как симметричная ПАУЗА, так и асимметричная ПАУЗА, устройство будет настроено только на один из двух параметров после завершения автосогласования.	R / W	00b
9	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
8	100BASE-TX полный дуплекс 0 = нет возможности полнодуплексной передачи 1 = передача в полнодуплексном режиме	R / W	Примечание 4.2.
7	100BASE-TX 0 = нет возможности передачи 1 = возможность передачи	R / W	1b
6	10BASE-T полный дуплекс 0 = Нет 10 Мбит / с с возможностью полного дуплекса 1 = 10 Мбит / с с полным дуплексом	R / W	Примечание 4.2.
5	10BASE-T 0 = нет возможности 10 Мбит / с 1 = возможность 10 Мбит / с	R / W	Примечание 4.2.
4: 0	Поле выбора 00001 = IEEE 802.3	R / W	00001b

Примечание 4.2. Значение этого бита по умолчанию определяется параметрами конфигурации MODE [2: 0]. Ссылаться на Раздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима», на стр. 36 для дополнительной информации.

4.2.6 Регистрация возможностей партнера для автосогласования

Индекс (десятичный): 5

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Следующая Страница 0 = Нет возможности перехода к следующей странице 1 = Возможность перехода к следующей странице	RO	0b
14	Сознавать 0 = кодовое слово ссылки еще не получено 1 = кодовое слово ссылки получено от партнера	RO	0b
13	Удаленная неисправность 0 = удаленной неисправности нет 1 = Обнаружена удаленная неисправность	RO	0b
12	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
11:10	Приостановить операцию 00 = ПАУЗА не поддерживается партнерской станцией 01 = Симметричная ПАУЗА поддерживается партнерской станцией 10 = Асимметричная ПАУЗА поддерживается партнерской станцией 11 = И симметричная ПАУЗА, и асимметричная ПАУЗА поддерживаются партнерской станцией.	RO	00b
9	100BASE-T4 0 = Нет способности T4 1 = Способен T4 Примечание: Это устройство не поддерживает T4.	RO	0b
8	100BASE-TX полный дуплекс 0 = нет возможности полнодуплексной передачи 1 = передача в полнодуплексном режиме	RO	0b
7	100BASE-TX 0 = нет возможности передачи 1 = возможность передачи	RO	0b
6	10BASE-T полный дуплекс 0 = Нет 10 Мбит / с с возможностью полного дуплекса 1 = 10 Мбит / с с полным дуплексом	RO	0b
5	10BASE-T 0 = нет возможности 10 Мбит / с 1 = возможность 10 Мбит / с	RO	0b
4: 0	Поле выбора 00001 = IEEE 802.3	RO	00001b

4.2.7 Регистр расширения автосогласования

Индекс (десятичный): 6

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 7	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
6	Возможность получения следующей страницы 0 = место хранения полученной следующей страницы не указано битом 6.5 1 = место хранения полученной следующей страницы указано битом 6.5	RO	1b
5	Место хранения полученной следующей страницы 0 = следующие страницы партнера по ссылке сохраняются в Партнер ссылки автосогласования Регистр способностей (Регистр PHY 5) 1 = Следующие страницы партнера по ссылке хранятся в Автосогласование Следующая страница Регистр RX (PHY регистр 8)	RO	1b
4	Ошибка параллельного обнаружения 0 = Неисправность не обнаружена параллельной логикой обнаружения 1 = Неисправность обнаружена параллельной логикой обнаружения	RO / LH	0b
3	Ссылка партнера на следующую страницу возможность 0 = Партнер по ссылке не имеет возможности перехода на следующую страницу. 1 = Партнер по ссылке имеет возможность перехода на следующую страницу.	RO	0b
2	Следующая страница Возможность 0 = локальное устройство не поддерживает следующую страницу. 1 = Локальное устройство имеет возможность перехода на следующую страницу.	RO	1b
1	Страница получена 0 = новая страница еще не получена 1 = новая страница получена	RO / LH	0b
0	Возможность автосогласования партнера по ссылке 0 = Партнер по ссылке не имеет возможности автоматического согласования. 1 = Партнер по ссылке имеет возможность автоматического согласования.	RO	0b

4.2.8 Автосогласование Следующая страница Регистр TX

Индекс (десятичный): 7

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Следующая Страница 0 = Нет возможности перехода к следующей странице 1 = Возможность перехода к следующей странице	R / W	0b
14	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
13	Страница сообщения 0 = неформатированная страница 1 = страница сообщения	R / W	1b
12	Подтвердить 2 0 = Устройство не может передать сообщение. 1 = Устройство будет соответствовать сообщению.	R / W	0b
11	Переключать 0 = предыдущее значение было ВЫСОКОЕ. 1 = Предыдущее значение было НИЗКОЕ.	RO	0b
10: 0	Код сообщения Сообщение / поле неформатированного кода	R / W	000 0000 0001b

4.2.9 Автосогласование Следующая страница Регистр RX

Индекс (десятичный): 8

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Следующая Страница 0 = Нет возможности перехода к следующей странице 1 = Возможность перехода к следующей странице	RO	0b
14	Сознавать 0 = кодовое слово ссылки еще не получено от партнера = кодовое слово ссылки получено от партнера	RO	0b
13	Страница сообщения 0 = неформатированная страница 1 = страница сообщения	RO	0b
12	Подтвердить 2 0 = Устройство не может передать сообщение. 1 = Устройство будет соответствовать сообщению.	RO	0b
11	Переключать 0 = предыдущее значение было ВЫСОКОЕ. 1 = Предыдущее значение было НИЗКОЕ.	RO	0b
10: 0	Код сообщения Сообщение / поле неформатированного кода	RO	000 0000 0000b

4.2.10 Регистр управления доступом MMD

Индекс (десятичный): 13

Размер: 16 бит

Этот регистр в сочетании с [Адрес доступа MMD / регистр данных](#) обеспечивает косвенный доступ к регистрам управляемого устройства MDIO (MMD). Ссылаться на [Раздел 4.3, «Регистры управляемого устройства MDIO \(MMD\)»](#), на [стр. 90](#) для получения дополнительных сведений.

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:14	Функция MMD Это поле используется для выбора желаемой функции MMD: 00 = Адрес 01 = Данные, без пост-инкремента 10 = ЗАрезервировано 11 = ЗАБРОНИРОВАНО	R / W	00b
13: 5	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
4: 0	Адрес устройства MMD (DEVAD) Это поле используется для выбора желаемого адреса устройства MMD. (3 = шт.)	R / W	0ч

4.2.11 Адрес доступа / регистр данных MMD

Индекс (десятичный): 14

Размер:

16 бит

Этот регистр в сочетании с [Регистр контроля доступа MMD](#) обеспечивает косвенный доступ к регистрам управляемого устройства MDIO (MMD). Ссылаться на [Раздел 4.3, «Регистры управляемого устройства MDIO \(MMD\)», на стр. 90](#) для получения дополнительных сведений.

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Адрес / данные регистра MMD Если Функция MMD поле Регистр контроля доступа MMD равно «00», это поле используется для указания адреса регистра MMD для чтения / записи устройства, указанного в Адрес устройства MMD (DEVAD) поле. В противном случае этот регистр используется для чтения / записи данных с / на ранее указанный адрес MMD.	R / W	0000ч

4.2.12 Регистр времени EDPD NLP / Crossover

Индекс (десятичный): 16

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	EDPD TX NLP Включить В режиме пониженного энергопотребления (EDPD) при обнаружении энергии (EDPWRDOWN = 1), этот бит разрешает передачу одиночных TX NLP в интервале, определяемом параметром Выбор таймера EDPD TX NLP Interval Timer поле. 0 = TX NLP отключен 1 = TX NLP включен в режиме EDPD	R / W HACP	0b
14:13	Выбор таймера EDPD TX NLP Interval Timer В режиме пониженного энергопотребления (EDPD) при обнаружении энергии (EDPWRDOWN = 1) и EDPD TX NLP Включить равно 1, это поле определяет интервал, используемый для отправки одиночных TX NLP. 00 = 1 секунда (по умолчанию) 01 = 768 мс 10 = 512 мс 11 = 256 мс	R / W HACP	00b
12	EDPD RX Single NLP Wake Enable В режиме пониженного энергопотребления (EDPD) при обнаружении энергии (EDPWRDOWN = 1), этот бит позволяет активировать PHY при приеме одного RX NLP. 0 = пробуждение RX NLP отключено 1 = TX NLP wake включен в режиме EDPD	R / W HACP	0b
11:10	EDPD RX NLP Max Interval Detect Select В режиме пониженного энергопотребления (EDPD) при обнаружении энергии (EDPWRDOWN = 1) и EDPD RX Single NLP Wake Enable равно 0, это поле определяет максимальный интервал для обнаружения двух RX NLP для выхода из режима EDPD. 00 = 64 мс (по умолчанию) 01 = 256 мс 10 = 512 мс 11 = 1 секунда	R / W HACP	00b
9: 2	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
1	Кроссовер EDPD Extend В режиме пониженного энергопотребления (EDPD) при обнаружении энергии (EDPWRDOWN = 1), установка этого бита в 1 увеличивает время кроссовера на 2976 мс. 0 = продление времени кроссовера отключено 1 = Продление времени кроссовера разрешено (2976 мс)	R / W HACP	0b
0	Расширение ручного 10/100 Auto-MDIX Crossover Time Когда Auto-MDIX включен и PHY находится в ручном режиме 10BASE-T или 100BASE-TX, установка этого бита в 1 увеличивает время кроссовера на 1984 мс, чтобы разрешить соединение с PHY партнера по каналу с автосогласованием. 0 = продление времени кроссовера отключено 1 = Расширение времени кроссовера включено (1984 мс)	R / W HACP	1b

4.2.13 Управление режимом / Регистр состояния

Индекс (десятичный): 17

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:14	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
13	EDPWRDOWN Включите режим отключения питания при обнаружении энергии (EDPD): 0 = отключение питания при обнаружении энергии отключено. 1 = отключение питания при обнаружении энергии включено. Примечание: В режиме EDPD характеристики NLP устройства могут быть изменены с помощью EDPD NLP / Регистр времени кроссовера .	R / W	0b
12:10	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
9	FARLOOPBACK Включает режим дальней петли (т. Е. Все полученные пакеты отправляются обратно одновременно (только в 100BASE-TX)). Этот режим работает, даже если установлен бит изоляции (0.10). 0 = Дальний режим обратной петли отключен. 1 = Режим дальней петли включен. Ссылаться на Раздел 3.8.10.2, «Дальний шлейф», на стр. 58 для дополнительной информации.	R / W	0b
8: 7	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
6	ALTINT Альтернативный режим прерывания: 0 = Основная система прерываний активирована (по умолчанию) 1 = Альтернативная система прерываний активирована Ссылаться на Раздел 3.6, «Управление прерываниями», на стр. 32 для дополнительной информации.	R / W	0b
5: 2	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
1	ENERGYON Указывает, обнаружена ли энергия. Этот бит переходит в «0», если в течение 256 мс не обнаруживается действительная энергия. Он сбрасывается на «1» аппаратным сбросом и не зависит от программного сброса. Ссылаться на Раздел 3.8.3.2, «Отключение питания при обнаружении энергии (EDPD)», на стр. 47 для дополнительной информации.	RO	1b
0	ЗАРЕЗЕРВИРОВАННЫЙ	R / W	0b

4.2.14 Регистр специальных режимов

Индекс (десятичный): 18

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 8	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
7: 5	РЕЖИМ Режим работы трансивера. Ссылаться наРаздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима», на стр. 36 для получения дополнительных сведений.	R / W HACP	Примечание 4.3
4: 0	PHYAD PHY-адрес. PHY-адрес используется для адреса SMI и для инициализации ключа шифрования (скремблера). Ссылаться наРаздел 3.7.1, «PHYAD [0]: конфигурация физического адреса», на стр. 35 для получения дополнительных сведений.	R / W HACP	Примечание 4.4

- Примечание 4.3

Значение этого поля по умолчанию определяется параметрами конфигурации РЕЖИМ [2: 0]. Ссылаться наРаздел 3.7.2, «РЕЖИМ [2: 0]: конфигурация режима», на стр. 36 для дополнительной информации.
- Примечание 4.4

Значение этого поля по умолчанию определяется конфигурацией PHYAD [0]. Ссылаться наРаздел 3.7.1, «PHYAD [0]: конфигурация физического адреса», на стр. 35 для дополнительной информации.

4.2.15 Шаблоны TDR / Регистр управления задержкой

Индекс (десятичный): 24

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Задержка TDR 0 = время разрыва строки составляет 2 мс. 1 = устройство использует Счетчик разрывов линии TDR для увеличения времени разрыва строки перед запуском TDR.	R / W HASP	0b
14:12	Счетчик разрывов линии TDR Когда Задержка TDR равно 1, в этом поле указывается увеличение времени разрыва строки с шагом 256 мс, до 2 секунд.	R / W HASP	000b
11: 6	Шаблон TDR: высокий В этом поле указывается шаблон данных, отправленный в режиме TDR для высокого цикла.	R / W HASP	101110b
5: 0	Шаблон TDR: низкий В этом поле указывается шаблон данных, отправленный в режиме TDR для низкого цикла.	R / W HASP	011101b

4.2.16 Регистр управления / состояния TDR

Индекс (в десятичном формате): 25

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	TDR Включить 0 = режим TDR отключен 1 = режим TDR включен Примечание: Этот бит очищается автоматически по завершении TDR (Состояние канала TDR идет высоко)	R / W HACP SC	0b
14	Включение аналогово-цифрового фильтра TDR0 = аналогово-цифровой фильтр TDR отключен 1 = аналого-цифровой фильтр TDR включен (снижает выбросы шума во время импульсов TDR)	R / W HACP	0b
13:11	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
10: 9	Тип кабеля канала TDR Указывает тип кабеля, определенный тестом TDR. 00 = По умолчанию 01 = Закороченное состояние кабеля 10 = Разрыв кабеля 11 = Соответствие состоянию кабеля	R / W HACP	00b
8	Состояние канала TDR Когда этот бит высокий, этот бит указывает, что операция TDR завершена. Этот бит будет оставаться в высоком уровне до тех пор, пока не будет сброшен или не будет перезапущен режим TDR (TDR Включить = 1)	R / W HACP	0b
7: 0	Длина канала TDR Это восьмибитное значение указывает длину канала TDR при коротком замыкании или обрыве кабеля. Ссылаться на Раздел 3.8.9.1, «Диагностика кабеля для рефлектометрии во временной области (TDR)», на стр. 54 для получения дополнительной информации об использовании этого поля. Примечание: Это поле недействительно при условии соответствия кабеля. В Регистр длины кабеля должен использоваться для определения длины кабеля при отсутствии разрыва / короткого замыкания (совпадения). Ссылаться на Раздел 3.8.9, «Диагностика кабеля», на стр. 53 для дополнительной информации.	R / W HACP	00ч

Индекс (десятичный): 26

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	<p>Счетчик ошибок символа (SYM_ERR_CNT)</p> <p>Этот счетчик ошибок на основе приемника 100BASE-TX увеличивается, когда принимается недопустимый кодовый символ, включая символы IDLE. Счетчик увеличивается только один раз для каждого пакета, даже если полученный пакет содержит более одной ошибки символа. Это поле подсчитывает до 65 536 и сбрасывается до 0, если увеличивается больше максимального значения.</p> <p>Примечание: Этот регистр очищается при сбросе, но не очищается при чтении регистра. Он не увеличивается в режиме 10BASE-T.</p>	RO	0000ч

4.2.18 Специальный регистр управления / индикации состояния

Индекс (десятичный): 27

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	AMDIXCTRL Элемент управления HP Auto-MDIX: 0 = включить Auto-MDIX 1 = отключить Auto-MDIX (используйте 27.13 для управления каналом)	R / W HACP	0b
14	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
13	CH_SELECT Выбор канала вручную: 0 = MDI (TX передает, RX принимает) 1 = MDIX (TX принимает, RX передает)	R / W HACP	0b
12	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
11	SQEOFF Отключить тест SQE (Heartbeat): 0 = тест SQE включен 1 = тест SQE отключен	R / W HACP	0b
10: 5	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
4	XPOL Состояние полярности 10BASE-T: 0 = нормальная полярность 1 = обратная полярность	RO	0b
3: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

4.2.19 Регистр длины кабеля

Индекс (десятичный): 28

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:12	<p>Длина кабеля (CBLN)</p> <p>Это четырехбитное значение указывает длину кабеля. Ссылаться на Раздел 3.8.9.2, «Диагностика согласованного кабеля», на стр. 57 для получения дополнительной информации об использовании этого поля.</p> <p>Примечание: В этом поле указывается длина кабеля для подключенных устройств 100BASE-TX, у которых нет обрыва / короткого замыкания на кабеле. Чтобы определить состояние обрыва / короткого замыкания кабеля, Шаблоны TDR / Регистр управления задержкой а также Регистр управления / состояния TDR должны быть использованы. Длина кабеля не поддерживается для каналов 10BASE-T. Ссылаться на Раздел 3.8.9, «Диагностика кабеля», на стр. 53 для дополнительной информации.</p>	RO	0000b
11:0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

4.2.20 Регистр флага источника прерывания

Индекс (в десятичном формате): 29 Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 9	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
8	INT8 0 = не источник прерывания 1 = обнаружено событие пробуждения по локальной сети (WoL)	RO / LH	0b
7	INT7 0 = не источник прерывания 1 = генерируется ENERGYON	RO / LH	0b
6	INT6 0 = не источник прерывания 1 = автосогласование завершено	RO / LH	0b
5	INT5 0 = не источник прерывания 1 = обнаружена удаленная неисправность	RO / LH	0b
4	INT4 0 = не источник прерывания 1 = Ссылка не работает (статус ссылки отменен)	RO / LH	0b
3	INT3 0 = не источник прерывания 1 = Подтверждение LP с автосогласованием	RO / LH	0b
2	INT2 0 = не источник прерывания 1 = сбой параллельного обнаружения	RO / LH	0b
1	INT1 0 = не источник прерывания 1 = страница автосогласования получена	RO / LH	0b
0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	0b

4.2.21 Регистр маски прерывания

Индекс (десятичный): 30

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 9	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
8: 1	Биты маски Эти биты маскируют соответствующие прерывания в Регистр флага источника прерывания . 0 = источник прерывания замаскирован. 1 = источник прерывания включен.	R / W	00000000b
0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

4.2.22 Специальный регистр управления / состояния PNU

Индекс (десятичный): 31

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:13	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
12	Autodone Индикация завершения автосогласования: 0 = автосогласование не выполнено или отключено (или не активно). 1 = автосогласование выполнено.	RO	0b
11: 5	ЗАПИСАНО - записывать как 0000010b, игнорировать при чтении.	R / W	0000010b
4: 2	Индикация скорости Значение HCDSPEED: 001 = полудуплекс 10BASE-T 101 = полудуплекс 10BASE-T 010 = полудуплекс 100BASE-TX 110 = полнодуплексный 100BASE-TX	RO	XXXb
1: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

4.3 Регистры управляемого устройства MDIO (MMD)

Регистры MMD устройства соответствуют *IEEE 802.3-2008 45.2 Регистры интерфейса MDIO* Технические характеристики. Регистры MMD не отображаются в памяти. Доступ к этим регистрам осуществляется косвенно через [Регистр контроля доступа MMD](#) а также [Адрес доступа MMD / регистр данных](#). Поддерживаемые адреса устройств MMD: 3 (PCS) и 30 (зависит от производителя). [Таблица 4.3, «Регистры MMD»](#) подробно описывает поддерживаемые регистры в каждом устройстве MMD.

Таблица 4.3 Регистры MMD

УСТРОЙСТВО MMD АДРЕС (в десятичном числе)	ПОКАЗАТЕЛЬ (в десятичном числе)	РЕГИСТРАЦИЯ ИМЯ
3 (ШТ)	5	Устройства PCS MMD присутствуют 1 Регистрация
	6	PCS MMD Devices Present 2 Register
	32784	Регистр контроля и состояния пробуждения (WUCSR)
	32785	Регистр конфигурации фильтра пробуждения A (WUF_CFGA)
	32786	Регистр конфигурации фильтра пробуждения B (WUF_CFGB)
	32801	Регистры байтовой маски фильтра пробуждения (WUF_MASK)
	32802	
	32803	
	32804	
	32805	
	32806	
	32807	
	32808	
	32865	Регистр MAC-адреса приема A (RX_ADDRA)
	32866	Регистр MAC-адреса приема B (RX_ADDRB)
	32867	Регистр MAC-адреса приема C (RX_ADDRC)
	32868	Регистр различных конфигураций (MCFGR)

Таблица 4.3 Регистры MMD (продолжение)

УСТРОЙСТВО MMD АДРЕС (В ДЕСЯТИЧНОМ ЧИСЛЕ)	ПОКАЗАТЕЛЬ (В ДЕСЯТИЧНОМ ЧИСЛЕ)	РЕГИСТРАЦИЯ ИМЯ
30 (Зависит от поставщика)	2	Зависит от производителя MMD 1 Регистр ID устройства 1
	3	Регистр ID устройства 2 MMD 1, зависящий от производителя
	5	Зависит от производителя 1 Устройства MMD присутствуют 1 Регистр
	6	Зависит от производителя 1 Наличие устройств MMD 2 Регистрация
	8	Регистр состояния MMD 1, зависящий от поставщика
	11	Регистр порогового значения соответствия TDR
	12	Регистр коротких / открытых пороговых значений TDR
	14	Зависит от поставщика MMD 1 ID пакета 1 Регистр
	15	Зависит от поставщика MMD 1 ID пакета 2 Регистрация

Для чтения или записи регистра MMD необходимо соблюдать следующую процедуру:

1. Напишите [Регистр контроля доступа MMD](#) с 00b (адрес) для [Функция MMD](#) поле и желаемое устройство MMD (3 для PCS) для [Адрес устройства MMD \(DEVAD\)](#) поле.
2. Напишите [Адрес доступа MMD / регистр данных](#) с 16-битным адресом желаемого регистра MMD для чтения / записи в ранее выбранном устройстве MMD (PCS или автосогласование).
3. Напишите [Регистр контроля доступа MMD](#) с 01b (данные) для [Функция MMD](#) поле и выберите ранее выбранное устройство MMD (3 для PCS) для [Адрес устройства MMD \(DEVAD\)](#) поле.
4. Если вы читаете, прочтите [Адрес доступа MMD / регистр данных](#), который содержит выбранное содержимое регистра MMD. Если пишете, напишите [Адрес доступа MMD / регистр данных](#) с содержимым регистра, предназначенным для ранее выбранного регистра MMD.

4.3.1 Устройства PCS MMD присутствуют 1 Регистрация

Индекс (в десятичном формате): 3,5

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 8	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
7	Присутствует автосогласование 0 = автосогласование отсутствует в пакете 1 = автосогласование присутствует в пакете	RO	1b
6	TC Present 0 = TC отсутствует в пакете 1 = TC присутствует в пакете	RO	0b
5	DTE XS Настоящее 0 = DTE XS отсутствует в упаковке 1 = DTE XS присутствует в упаковке	RO	0b
4	PHY XS присутствует 0 = PHY XS отсутствует в пакете 1 = PHY XS присутствует в пакете	RO	0b
3	PCS Present 0 = PCS отсутствует в упаковке 1 = PCS присутствует в упаковке	RO	1b
2	WIS Настоящее 0 = WIS отсутствует в пакете 1 = WIS присутствует в пакете	RO	0b
1	PMD / PMA присутствует 0 = PMD / PMA отсутствует в упаковке 1 = PMD / PMA присутствует в упаковке	RO	0b
0	Пункт 22 Наличие регистров 0 = Регистры Раздела 22 отсутствуют в пакете 1 = Регистры Раздела 22 присутствуют в пакете	RO	0b

Индекс (в десятичном формате): 3,6

Размер:

16 бит

SMSC LAN8742A / LAN8742Ai

4.3.3 Регистр контроля и состояния пробуждения (WUCSR)

Индекс (в десятичном формате): 3,32784

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Отключение интерфейса 0 = интерфейс RMII включен 1 = интерфейс RMII отключен. Выходы снижены до низкого уровня, а входы игнорируются.	R / W HACP	0b
14:13	LED1 Выбор функции 00 = LED1 функционирует как Link / Activity. 01 = LED1 функционирует как nINT. 10 = LED1 работает как nPME. 11 = LED1 функционирует как скорость соединения. Примечание: Ссылаться на Раздел 3.8.1, «Индикаторы», на стр. 42 для дополнительной информации.	R / W HACP	0b
12:11	LED2 Выбор функции 00 = LED2 функционирует как скорость соединения. 01 = LED2 функционирует как nINT. 10 = LED2 работает как nPME. 11 = LED2 функционирует как Link / Activity. Примечание: Ссылаться на Раздел 3.8.1, «Индикаторы», на стр. 42 для дополнительной информации.	R / W HACP	0b
10	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
9	nPME Self Clear 0 = вывод nPME не очищается автоматически. 1 = вывод nPME самоочищается. Примечание: Когда установлено, задержка отмены утверждения сигнала nPME контролируется Задержка утверждения nPME немного Регистр различных конфигураций (MCFGR) . Ссылаться на Раздел 3.8.4, «Пробуждение по локальной сети (WoL)», на стр. 47 для дополнительной информации.	R / W HACP	0b
8	WoL настроен Этот бит может быть установлен программно после настройки регистров WoL. Этот липкий бит (и все другие биты регистров, относящиеся к WoL) сбрасываются только с помощью цикла включения питания или сброса вывода, что позволяет программному обеспечению пропустить программирование регистров WoL в ответ на событие WoL. Примечание: Ссылаться на Раздел 3.8.4, «Пробуждение по локальной сети (WoL)», на стр. 47 для дополнительной информации.	R / W / HACP	0b
7	Получен идеальный кадр DA (PFDA_FR) MAC устанавливает этот бит при получении допустимого кадра с адресом назначения, который соответствует физическому адресу.	R / WC / HACP	0b
6	Получен кадр удаленного пробуждения (WUFR) MAC устанавливает этот бит после получения действительного удаленного кадра пробуждения.	R / WC / HACP	0b
5	Получен волшебный пакет (MPR) MAC устанавливает этот бит после получения действительного Magic Packet.	R / WC / HACP	0b
4	Получен широковещательный кадр (BCAST_FR) MAC устанавливает этот бит при получении допустимого широковещательного кадра.	R / WC / HACP	0b

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
3	Perfect DA Wakeup Enable (PFDA_EN) Когда он установлен, режим удаленного пробуждения включен, и MAC может пробуждаться при получении кадра с адресом назначения, который совпадает с физическим адресом устройства. Физический адрес хранится в Регистр MAC-адреса приема A (RX_ADDRA), Регистр MAC-адреса приема B (RX_ADDRB) а также Регистр MAC-адреса приема C (RX_ADDRC).	R / W / HASP	0b
2	Включение кадра пробуждения (WUEN) Если установлен, режим удаленного пробуждения включен, и MAC способен обнаруживать кадры пробуждения, как запрограммировано в фильтре пробуждения.	R / W / HASP	0b
1	Magic Packet Enable (MPEN) Если установлено, режим пробуждения Magic Packet включен.	R / W / HASP	0b
0	Включение ширококестельного пробуждения (BCST_EN) Если этот параметр установлен, включен режим удаленного пробуждения, и MAC может пробуждаться из ширококестельного кадра.	R / W / HASP	0b

4.3.4 Регистр конфигурации фильтра пробуждения A (WUF_CFGA)

Индекс (в десятичном формате): 3,32785

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Фильтр Включить 0 = фильтр отключен 1 = фильтр включен	R / W / HACP	0b
14	Фильтр активирован 0 = Фильтр не срабатывает 1 = Фильтр срабатывает	R / WC / HACP	0b
13:11	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
10	Включить соответствие адресов Если установлено, адрес назначения должен совпадать с запрограммированным адресом. Если этот параметр отключен, принимается любой одноадресный пакет. Ссылаться на Раздел 3.8.4.4, «Обнаружение кадра пробуждения», на стр. 50 для дополнительной информации.	R / W / HACP	0b
9	Фильтровать любую многоадресную рассылку Если установлено, любой многоадресный пакет, кроме широковещательного, вызовет совпадение адреса. Ссылаться на Раздел 3.8.4.4, «Обнаружение кадра пробуждения», на стр. 50 для дополнительной информации. Примечание: Этот бит имеет приоритет над 10-м битом этого регистра.	R / W / HACP	0b
8	Фильтр широковещания включить Если установлено, любой широковещательный кадр вызовет совпадение адреса. Ссылаться на Раздел 3.8.4.4, «Обнаружение кадра пробуждения», на стр. 50 для дополнительной информации. Примечание: Этот бит имеет приоритет над 10-м битом этого регистра.	R / W / HACP	0b
7: 0	Смещение шаблона фильтра Задаёт смещение первого байта в кадре, с которого начинается проверка CRC для распознавания кадра пробуждения. Смещение 0 - это первый байт адреса назначения входящего кадра.	R / W / HACP	00ч

4.3.5 Регистр конфигурации фильтра пробуждения В (WUF_CFGB)

Индекс (в десятичном формате): 3,32786 Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Фильтр CRC-16 В этом поле указывается ожидаемое 16-битное значение CRC для фильтра, которое должно быть получено с использованием смещения шаблона и байтовой маски, запрограммированных для фильтра. Это значение сравнивается с CRC, вычисленным для входящего кадра, и совпадение указывает на получение кадра пробуждения.	R / W / НАСП	0000ч

4.3.6 Регистры байтовой маски фильтра пробуждения (WUF_MASK)

Индекс (в десятичном формате): 3,32801

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [127: 112]	R / W / HASP	0000ч

Индекс (в десятичном формате):

3,32802

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [111: 96]	R / W / HASP	0000ч

Индекс (в десятичном формате):

3,32803

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [95:80]	R / W / HASP	0000ч

Индекс (в десятичном формате):

3,32804

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [79:64]	R / W / HASP	0000ч

Индекс (в десятичном формате): 3,32805

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [63:48]	R / W / HASP	0000ч

Индекс (в десятичном формате): 3,32806

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [47:32]	R / W / HASP	0000ч

Индекс (в десятичном формате): 3,32807

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [31:16]	R / W / HASP	0000ч

Индекс (в десятичном формате): 3,32808

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Байтовая маска фильтра пробуждения [15: 0]	R / W / HASP	0000ч

4.3.7 Регистр MAC-адреса приема A (RX_ADDRA)

Индекс (в десятичном формате): 3,32865

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Физический адрес [47:32]	R / W / HACP	FFFFh

примечание: MAC-адрес должен быть загружен в регистры RX_ADDRA, RX_ADDRB и RX_ADDRC в правильном порядке байтов. Например, MAC-адрес 12: 34: 56: 78: 9A: BC должен быть загружен в эти регистры следующим образом:
RX_ADDRA = BC9Ah
RX_ADDRB = 7856h
RX_ADDRC = 3412h

4.3.8 Регистр MAC-адреса приема В (RX_ADDRB)

Индекс (в десятичном формате): 3,32866

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Физический адрес [31:16]	R / W / HACP	FFFFh

Примечание: MAC-адрес должен быть загружен в регистры RX_ADDRA, RX_ADDRB и RX_ADDRC в правильном порядке байтов. Например, MAC-адрес 12: 34: 56: 78: 9A: BC должен быть загружен в эти регистры следующим образом:
RX_ADDRA = BC9Ah
RX_ADDRB = 7856h
RX_ADDRC = 3412h

4.3.9 Регистр MAC-адреса приема C (RX_ADDRC)

Индекс (в десятичном формате): 3,32867

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Физический адрес [15: 0]	R / W / HACP	FFFFh

примечание: MAC-адрес должен быть загружен в регистры RX_ADDRA, RX_ADDRB и RX_ADDRC в правильном порядке байтов. Например, MAC-адрес 12: 34: 56: 78: 9A: BC должен быть загружен в эти регистры следующим образом:
RX_ADDRA = BC9Ah
RX_ADDRB = 7856h
RX_ADDRC = 3412h

4.3.10 Регистр различных конфигураций (MCFGR)

Индекс (в десятичном формате): 3,32868

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	Задержка утверждения nPME Этот регистр управляет задержкой времени отмены утверждения nPME, когда nPME Self Clear немного Регистр контроля и состояния пробуждения (WUCSR) установлен. Каждый счет эквивалентен задержке 20 мкс. Максимальная задержка составляет 1,31 секунды. Время = (значение регистра + 1) x 20 мкс.	R / W / НАСП	1000ч

4.3.11 Регистр ID устройства 1 MMD 1, зависящий от поставщика

Индекс (в десятичном формате): 30,2 Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	0000ч

4.3.12 Регистр ID устройства 2 MMD 1, зависящий от поставщика

Индекс (в десятичном формате): 30,3 Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	0000ч

4.3.13 Конкретный поставщик 1 устройств MMD присутствует 1 регистр

Индекс (в десятичном формате): 30,5

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 8	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
7	Присутствует автосогласование 0 = автосогласование отсутствует в пакете 1 = автосогласование присутствует в пакете	RO	1b
6	TC Present 0 = TC отсутствует в пакете 1 = TC присутствует в пакете	RO	0b
5	DTE XS Настоящее 0 = DTE XS отсутствует в упаковке 1 = DTE XS присутствует в упаковке	RO	0b
4	PHY XS присутствует 0 = PHY XS отсутствует в пакете 1 = PHY XS присутствует в пакете	RO	0b
3	PCS Present 0 = PCS отсутствует в упаковке 1 = PCS присутствует в упаковке	RO	1b
2	WIS Настоящее 0 = WIS отсутствует в пакете 1 = WIS присутствует в пакете	RO	0b
1	PMD / PMA присутствует 0 = PMD / PMA отсутствует в упаковке 1 = PMD / PMA присутствует в упаковке	RO	0b
0	Пункт 22 Наличие регистров 0 = Регистры Раздела 22 отсутствуют в пакете 1 = Регистры Раздела 22 присутствуют в пакете	RO	0b

4.3.14 Регистр наличия 2 устройств MMD, зависящий от поставщика 1

Индекс (в десятичном формате): 30,6

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15	Наличие устройства 2 от производителя 0 = Устройство 2 от производителя отсутствует в упаковке 1 = Устройство 2 от производителя присутствует в упаковке	RO	0b
14	Наличие устройства 1 от производителя 0 = Устройство 1 от производителя отсутствует в упаковке 1 = Устройство 1 от производителя присутствует в упаковке	RO	1b
13	Пункт 22 Присутствует расширение 0 = Расширение по разделу 22 отсутствует в пакете 1 = Расширение по разделу 22 присутствует в пакете	RO	0b
12: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

Индекс (в десятичном формате): 30,8

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:14	<p>Устройство присутствует</p> <p>00 = Ни одно устройство не отвечает по этому адресу</p> <p>01 = Ни одно устройство не отвечает по этому адресу</p> <p>10 = Устройство отвечает по этому адресу 11 = Ни одно устройство не отвечает по этому адресу</p>		10b
13: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-

4.3.16 Регистр порогового значения соответствия TDR

Индекс (в десятичном формате): 30,11 Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:10	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
9: 5	TDR Match High Threshold Устанавливает верхний порог для обнаружения совпадающего кабеля.	R / W	5'h12 Примечание 4.5
4: 0	Нижний порог соответствия TDR Устанавливает нижний порог для обнаружения совпадающего кабеля.	R / W	5 часов 09 минут Примечание 4.5

Примечание 4.5 Программный сброс переводит значения этого регистра по умолчанию в неопределенное состояние. Для правильной работы TDR верхний порог согласования TDR и нижний порог согласования TDR должны быть установлены на 5'h12 и 5'h09 соответственно.

4.3.17 Регистр короткого / открытого порога TDR

Индекс (в десятичном формате): 30,12

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15:10	ЗАРЕЗЕРВИРОВАННЫЙ	RO	-
9: 5	Короткий нижний порог TDR Устанавливает нижний порог обнаружения короткого кабеля.	R / W	5 часов 09 минут Примечание 4.6
4: 0	TDR Open High Threshold (Верхний порог открытия TDR) Устанавливает верхний порог обнаружения обрыва кабеля.	R / W	5'h12 Примечание 4.6

Примечание 4.6

Программный сброс переводит значения этого регистра по умолчанию в неопределенное состояние.
Для правильной работы TDR необходимо установить значение TDR Short Low Threshold и TDR Open High Threshold на 5'h09 и 5'h12 соответственно.

4.3.18 Регистр идентификатора пакета 1 MMD 1, зависящего от поставщика

Индекс (в десятичном формате): 30,14

Размер: 16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	0000ч

4.3.19 Регистр идентификатора пакета 2 MMD 1, зависящего от поставщика

Индекс (в десятичном формате): 30,15

Размер:

16 бит

БИТЫ	ОПИСАНИЕ	ТИП	ДЕФОЛТ
15: 0	ЗАРЕЗЕРВИРОВАННЫЙ	RO	0000ч

Глава 5 Эксплуатационные характеристики

5.1 Абсолютные максимальные рейтинги*

Напряжение питания (VDDIO, VDD1A, VDD2A) (Примечание 5.1).	От -0,5 В до +3,6 В
Напряжение питания цифрового ядра (VDDCR) (Примечание 5.1).	От -0,5 В до +1,5 В
Напряжение питания Ethernet Magnetics.	От -0,5 В до +3,6 В
Положительное напряжение на выводах входного сигнала относительно земли (Примечание 5.2).	VDDIO + 2,0 В
Отрицательное напряжение на выводах входного сигнала относительно земли (Примечание 5.3).	-0,5 В
Положительное напряжение на XTAL1 / CLKIN относительно земли.	3,6 В
Температура хранения.	-55°C до +150°C
Диапазон температур свинца.	См. JEDEC Spec. J-STD-020
HBM ESD Performance.	JEDEC Класс 3A

Примечание 5.1 При питании этого устройства от лабораторных или системных источников питания важно, чтобы не превышались абсолютные максимальные значения, иначе устройство может выйти из строя. Некоторые блоки питания демонстрируют скачки напряжения на своих выходах при включении или выключении переменного тока. Кроме того, на выходе постоянного тока могут появляться переходные процессы напряжения в линии питания переменного тока. Если такая возможность существует, рекомендуется использовать схему фиксации.

Примечание 5.2 Этот рейтинг не распространяется на следующие выводы: XTAL1 / CLKIN, XTAL2, RBIAS.

Примечание 5.3. Этот рейтинг не распространяется на следующие выводы: RBIAS.

* Напряжения, превышающие указанные в этом разделе, могут привести к необратимому повреждению устройства. Это только рейтинг стресса. Воздействие условий абсолютного максимума номинальных значений в течение продолжительного времени может повлиять на надежность устройства. Функциональная работа устройства при любых условиях, превышающих указанные в [Раздел 5.2, «Условия эксплуатации **»](#) или любой другой применимый раздел данной спецификации не подразумевается. Обратите внимание, что сигналы устройства *НЕТ* Допуск 5,0 В, если не указано иное.

5.2 Условия эксплуатации**

Напряжение питания (VDDIO). От +1,62 В до +3,6 В

Напряжение питания аналогового порта (VDD1A, VDD2A). От +3,0 В до +3,6 В

Напряжение питания цифрового ядра (VDDCR). От +1,14 В до +1,26 В

Напряжение питания Ethernet Magnetics. От +2,25 В до +3,6 В

Рабочая температура окружающей среды в неподвижном воздухе (T_A). [Примечание 5.4](#)

Примечание 5.4 От 0 °С до +70 °С для коммерческого исполнения, от -40 °С до +85 °С для промышленного исполнения.

* * Правильная работа устройства гарантируется только в пределах диапазонов, указанных в этом разделе. После того, как устройство завершило включение питания, VDDIO и источник питания магнитного поля должны поддерживать свой уровень напряжения с точностью ± 10%. Изменение напряжения более чем на ± 10% после завершения работы устройства может вызвать ошибки в работе устройства.

Примечание: Не подавайте входные сигналы без подачи питания на устройство.

5.3 Тепловые характеристики упаковки

Таблица 5.1 Тепловые параметры корпуса

ПАРАМЕТР	условное обозначение	ЦЕНТЬ	единицы	КОММЕНТАРИИ
Термическое сопротивление	Θ _{JA}	55,3	оС / W	Измеряется в неподвижном воздухе от фильеры до окружающего воздуха
От соединения к верхней части пакета	Ψ _{JT}	0,9	оС / W	Измерено в неподвижном воздухе

примечание: Тепловые параметры измеряются или оцениваются для устройств на многослойной печатной плате 2S2P в соответствии с JESD51.

5,4 Потребляемая мощность

В этом разделе подробно описаны измерения мощности устройства, выполненные в различных условиях эксплуатации. Если не указано иное, все измерения проводились с источниками питания с номинальными значениями (VDDIO, VDD1A, VDD2A = 3,3 В, VDDCR = 1,2 В). Видеть [Раздел 3.8.3, «Режимы выключения питания»](#), на стр. 46 для описания режимов отключения питания.

5.4.1 REF_CLK в режиме

5.4.1.1 Регулятор отключен

Таблица 5.2 Потребление тока и рассеиваемая мощность (REF_CLK In, Reg. Disabled)

ГРУППА СИЛОВЫХ ПИН		УСТРОЙСТВО 3,3 В ТЕКУЩИЙ (мА)	УСТРОЙСТВО 1,2 В ТЕКУЩИЙ (мА)	УСТРОЙСТВО 3,3 В CURRENTW / МАГНИТНОСТЬ (мА)	ОБЩИЙ УСТРОЙСТВО ВЛАСТЬ (мВт)
nRESET	Типичный	9,8	11	9,8	50
100BASE-TX / W ТРАФИК	Типичный	27	20	70	124
10BASE-T / W ДВИЖЕНИЕ	Типичный	10	13	114	54
ОБНАРУЖЕНИЕ ЭНЕРГИИ ВЫКЛЮЧИТЬ	Типичный	4.6	2.1	4.6	19
ОБЩЕЕ ВЫКЛЮЧЕНИЕ ПИТАНИЯ	Типичный	0,8	1.9	0,7	5,3

5.4.1.2 Регулятор включен

Таблица 5.3 Потребление тока и рассеиваемая мощность (REF_CLK In, Reg. Enabled)

ГРУППА СИЛОВЫХ ПИН		УСТРОЙСТВО ТЕКУЩИЙ (мА)	УСТРОЙСТВО CURRENTW / МАГНИТНОСТЬ (мА)	ОБЩИЙ УСТРОЙСТВО ВЛАСТЬ (мВт)
nRESET	Типичный	21 год	21 год	71
100BASE-TX / W ТРАФИК	Типичный	50	92	163
10BASE-T / W ДВИЖЕНИЕ	Типичный	24	129	81 год
ОБНАРУЖЕНИЕ ЭНЕРГИИ ВЫКЛЮЧИТЬ	Типичный	6,8	6.9	23
ОБЩЕЕ ВЫКЛЮЧЕНИЕ ПИТАНИЯ	Типичный	3.5	3.5	12

5.4.2 REF_CLK Out Mode

5.4.2.1 Регулятор отключен

Таблица 5.4 Потребление тока и рассеиваемая мощность (REF_CLK Out, Reg. Disabled)

ГРУППА СИЛОВЫХ ПИН		УСТРОЙСТВО 3,3 В ТЕКУЩИЙ (мА)	УСТРОЙСТВО 1,2 В ТЕКУЩИЙ (мА)	УСТРОЙСТВО 3,3 В CURRENTW / МАГНИТНОСТЬ (мА)	ОБЩИЙ УСТРОЙСТВО ВЛАСТЬ (мВт)
nRESET	Типичный	20	11	20	86
100BASE-TX / W ТРАФИК	Типичный	37	20	79	160
10BASE-T / W ДВИЖЕНИЕ	Типичный	20	13	124	88
ОБНАРУЖЕНИЕ ЭНЕРГИИ ВЫКЛЮЧИТЬ	Типичный	4.5	1,7	4.4	18
ОБЩЕЕ ВЫКЛЮЧЕНИЕ ПИТАНИЯ	Типичный	1.0	1.3	0,9	6.4

5.4.2.2 Регулятор включен

Таблица 5.5 Потребляемый ток и рассеиваемая мощность (REF_CLK Out, Reg. Enabled)

ГРУППА СИЛОВЫХ ПИН		УСТРОЙСТВО ТЕКУЩИЙ (мА)	УСТРОЙСТВО CURRENTW / МАГНИТНОСТЬ (мА)	ОБЩИЙ УСТРОЙСТВО ВЛАСТЬ (мВт)
nRESET	Типичный	31 год	31 год	103
100BASE-TX / W ТРАФИК	Типичный	59	102	195
10BASE-T / W ДВИЖЕНИЕ	Типичный	34	139	112
ОБНАРУЖЕНИЕ ЭНЕРГИИ ВЫКЛЮЧИТЬ	Типичный	6.5	6.4	21 год
ОБЩЕЕ ВЫКЛЮЧЕНИЕ ПИТАНИЯ	Типичный	3.2	3.2	11

5.5

Характеристики постоянного тока

Таблица 5.6 подробно описывает неизменяемые характеристики буфера ввода / вывода. Эти типы буферов не поддерживают работу с переменным напряжением.Таблица 5.7 подробно описывает характеристики буфера ввода / вывода с переменным напряжением. Типовые значения приведены для корпусов VDDIO 1,8 В, 2,5 В и 3,3 В.

Таблица 5.6 Характеристики неизменяемого буфера ввода / вывода

ПАРАМЕТР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Входной буфер типа IS, низкий уровень входного сигнала	Vили	- 0,3			V	Триггер Шмитта Триггер Шмитта Примечание 5.5
Высокий входной уровень	VинI			3,6	V	
Отрицательный порог	VилT	1.01	1.19	1,39	V	
Положительный порог	VинT	1,39	1,59	1,79	V	
Гистерезис триггера Шмитта (VинT - VилT)	VнYS	336	399	459	мВ	
Входная утечка (Vв = VSS или VDDIO)	яИH	- 10		10	мкА	
Входная емкость	Св			2	пФ	
Буферы типа O12						яПР = 12 мА яОЙ = -12 мА
Низкий выходной уровень	Vпр			0,4	V	
Высокий выходной уровень	Vой	VDD2A - 0,4			V	
Буфер типа ICLK (Вход XTAL1)						Примечание 5.6
Низкий входной уровень	Vили	- 0,3		0,35	V	
Высокий входной уровень	VинI	VDDCR-0.35		3,6	V	

Примечание 5.5

Эта спецификация применима ко всем входам и двунаправленным контактам с тремя указателями. Внутренние подтягивающие и повышающие резисторы добавляют ± 50 мкА на вывод (типично).

Примечание 5.6

XTAL1 / CLKIN может дополнительно управляться несимметричным тактовым генератором 25 МГц.

Таблица 5.7 Характеристики переменного буфера ввода / вывода

ПАРАМЕТР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	MIN	1,8 В ТИП	2,5 В ТИП	3,3 В ТИП	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Входной буфер типа VIS, низкий уровень входного сигнала	VILI	- 0,3					V	Триггер Шмитта Триггер Шмитта Примечание 5.7
Высокий входной уровень	VINI					3,6	V	
Отрицательный порог	VILT	0,64	0,83	1,15	1,41	1,76	V	
Pos-Going Threshold	VINT	0,81	0,99	1,29	1,65	1,90	V	
Триггер Шмитта Гистерезис (VINT - VILT)	VHYS	102	158	136	138	288	мВ	
Входная утечка (V _B = VSS или VDDIO)	яIH	- 10				10	мКА	
Входная емкость	Св					2	ПФ	
Буферы типа VO8								
Низкий выходной уровень	Vпр					0,4	V	япр = 8 мА
Высокий выходной уровень	VOY	VDDIO - 0,4					V	яой = -8 мА
Буфер типа VOD8								
Низкий выходной уровень	Vпр					0,4	V	япр = 8 мА

Примечание 5.7 Эта спецификация применима ко всем входам и двунаправленным контактам с тремя указателями. Внутренние подтягивающие и повышающие резисторы добавляют ± 50 мКА на вывод (типично).

Таблица 5.8 Характеристики трансивера 100BASE-TX

ПАРАМЕТР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Высокое пиковое дифференциальное выходное напряжение	VppH	950	-	1050	мВпик	Примечание 5.8
Низкое пиковое дифференциальное выходное напряжение	VppL	- 950	-	- 1050	мВпик	Примечание 5.8
Симметрия амплитуды сигнала	VSS	98	-	102	%	Примечание 5.8
Время нарастания и спада сигнала	ТрФ	3.0	-	5.0	нс	Примечание 5.8
Симметрия подъема и падения	TRFS	-	-	0,5	нс	Примечание 5.8
Искажение рабочего цикла	DCD	35 год	50	65	%	Примечание 5.9
Перерегулирование и перерегулирование	VOперационные системы	-	-	5	%	
Джиттер				1.4	нс	Примечание 5.10

Примечание 5.8 Измерено на стороне линии трансформатора, линия заменена резистором 100 Ом ($\pm 1\%$).

Примечание 5.9 Смещение от ширины импульса 16 нс при 50% пика импульса.

Примечание 5.10 Измеряется дифференциально.

Таблица 5.9 Характеристики трансивера 10BASE-T

ПАРАМЕТР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Пиковое дифференциальное выходное напряжение передатчика	V_{IZ}	2.2	2,5	2,8	V	Примечание 5.11
Порог дифференциального шумоподавления приемника	V_{DS}	300	420	585	мВ	

Примечание 5.11 Гарантированное минимальное / максимальное напряжение при измерении с резистивной нагрузкой 100 Ом.

5,6

Характеристики переменного тока

В этом разделе подробно описаны различные временные характеристики устройства переменного тока.

5.6.1

Эквивалентная испытательная нагрузка

Характеристики выходной синхронизации предполагают испытательную нагрузку, эквивалентную 25 пФ, если не указано иное, как показано на Рисунок 5.1. ниже.

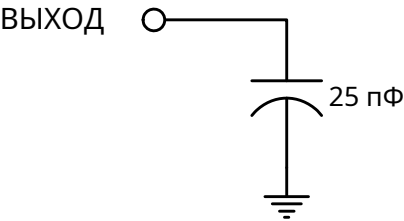


Рисунок 5.1 Выходная эквивалентная испытательная нагрузка

5.6.2 Синхронизация последовательности мощности

Эта диаграмма иллюстрирует требования к последовательности питания устройства. Источники питания VDDIO, VDD1A, VDD2A и Magnetic могут включаться в любом порядке при условии, что все они достигают рабочих уровней в течение указанного периода времени $t_{\text{пон}}$. Источники питания устройства могут отключаться в любом порядке при условии, что все они достигают 0 В в течение указанного периода времени t_{poff} .

Допустимо, чтобы источник питания VDD1A / VDD2A оставался включенным, в то время как источники питания VDDCR и VDDIO находятся под нулевым напряжением в течение периода, не превышающего 750 мс. В этом случае nRESET должен быть активирован, когда VDDCR и / или VDDIO выключены, и должен оставаться активным в течение минимум 50 мс после того, как VDDCR и VDDIO достигнут рабочего уровня. Кроме того, VDDIO должен поставляться с VDDCR или после него. Ремни конфигурации должны соответствовать требованиям, указанным в [Раздел 5.6.3, «Время включения nRST и настройки привязки»](#) на стр. 121.

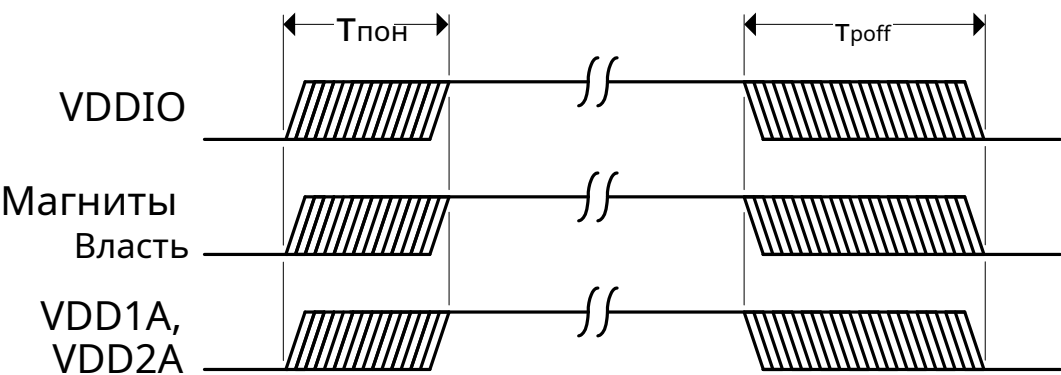


Рисунок 5.2 Временная диаграмма последовательности питания

Таблица 5.10 Временные значения последовательности питания

условное обозначение	ОПИСАНИЕ	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ
Tпон	Время включения источника питания			50	PC
Tрoff	Время выключения источника питания			500	PC

примечание: Когда внутренний регулятор отключен, существует взаимосвязь последовательности включения между VDDCR и источником питания 3,3 В. Для получения дополнительной информации см. [Раздел 3.7.3, «REGOFF: Конфигурация внутреннего регулятора +1,2 В»](#), на стр. 37.

5.6.3 NRST при включении и время настройки

Эта диаграмма иллюстрирует требования к синхронизации перемены для сброса nRST и настройки в зависимости от включения питания. После включения питания требуется аппаратный сброс (утверждение nRST). Для правильной работы nRST должен быть подтвержден не менее чем на t_{rstia} . Вывод nRST может быть активирован в любое время, но не должен быть деактивирован до t_{Purstd} после того, как все внешние источники питания вышли на рабочий уровень. Для того, чтобы при включении считывались допустимые значения конфигурационной планки, t_{css} и t_{csh} временные ограничения должны соблюдаться. Ссылаться на [Раздел 3.8.6, «Сброс», на стр. 52](#) для дополнительной информации.

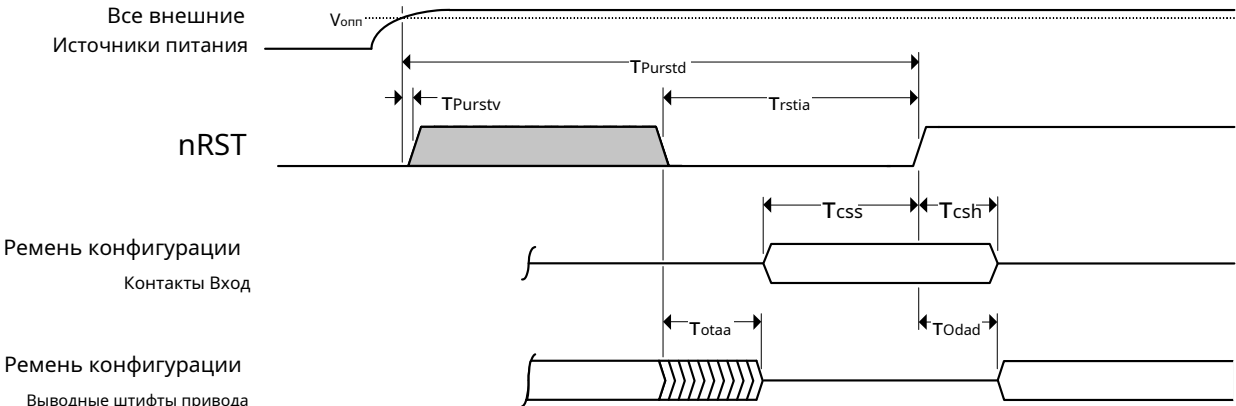


Рисунок 5.3. NRST при включении и время настройки.

Таблица 5.11 Значения времени включения nRST и привязки конфигурации

УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ОПИСАНИЕ	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ
TPurstd	Внешние источники питания на рабочем уровне до отключения nRST	25			PC
TPurstv	Внешние источники питания на рабочем уровне до nRST действительны	0			HC
Trstia	Время утверждения входа nRST	100			МКС
Tcss	Настройка контактов ремешка конфигурации для деактивации nRST	200			HC
Tcsh	Контакты ремешка конфигурации удерживаются после отмены nRST	1			HC
Totaa	Вывод трех состояний после утверждения nRST			50	HC
tOdad	Выходной вал после сброса nRST	2		800	HC

(Примечание 5.12)

Примечание: Отмена утверждения nRST должна быть монотонной.

примечание: Планки конфигурации устройства защелкиваются в результате утверждения nRST. Ссылаться на [Раздел 3.7, «Конфигурационные ремни», на стр. 35](#) для подробностей. Ремни конфигурации можно тянуть только высоко или низко, и их нельзя использовать в качестве входов.

Примечание 5.12 20 тактовых циклов для 25 МГц или 40 тактовых циклов для 50 МГц

5.6.4 Синхронизация интерфейса RMII

5.6.4.1 Время RMII (режим REF_CLK Out)

Синхронизация REF_CLK OUT 50 МГц применяется к случаю, когда $\overline{\text{INTSEL}}$ тянут низко. В этом режиме на контакты XTAL1 / CLKIN и XTAL2 должен подаваться кварцевый или тактовый генератор 25 МГц. Для получения дополнительной информации о режиме выхода REF_CLK см. [Раздел 3.7.4.2, «Режим REF_CLK Out», на стр. 39](#).

примечание: Вывод CRS_DV выполняет функции контроля несущей и проверки данных. CRS_DV устанавливается асинхронно при обнаружении несущей из-за критериев, относящихся к рабочему режиму. Если у PHY есть дополнительные биты, которые должны быть представлены на RXD [1: 0] после первоначального отключения CRS_DV, то устройство будет подтверждать CRS_DV в циклах REF_CLK, которые представляют второй бит каждого полубайта, и отменять CRS_DV в циклах REF_CLK, которые представляют собой первый бит полубайта. Для получения дополнительной информации см. Спецификацию RMII.

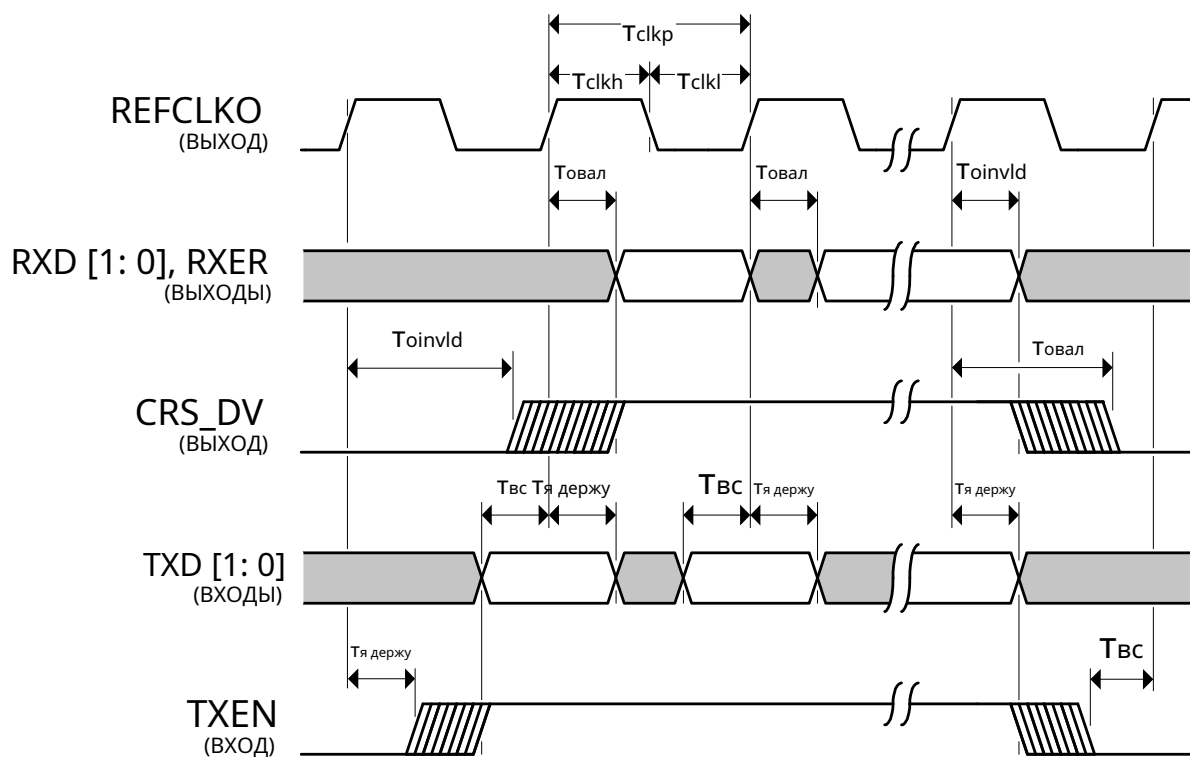


Рисунок 5.4 Время RMII (режим выхода REF_CLK)

Таблица 5.12 Временные значения RMII (режим REF_CLK Out)

УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ОПИСАНИЕ	MIN	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Tclkp	Период REFCLKO	20		нс	
Tclkh	REFCLKO самое время	Tclkp* 0,4	Tclkp* 0,6	нс	
Tckl	REFCLKO низкое время	Tclkp* 0,4	Tclkp* 0,6	нс	
Товал	Выход RXD [1: 0], RXER, CRS_DV действителен с нарастающего фронта REFCLKO		7.0	нс	Примечание 5.13
Toinvid	RXD [1: 0], RXER, выход CRS_DV недействителен из-за переднего фронта REFCLKO	3.0		нс	Примечание 5.13
Твс	TXD [1: 0], время настройки TXEN до нарастающего фронта REFCLKO	7,5		нс	Примечание 5.13
тя держу	TXD [1: 0], время удержания входа TXEN после нарастающего фронта REFCLKO	2.0		нс	Примечание 5.13

Примечание 5.13 Время рассчитано для нагрузки системы от 10 до 25 пФ.

5.6.4.2 RMII Timing (REF_CLK в режиме)

Синхронизация REF_CLK IN 50 МГц применяется к случаю, когда nINTSEL плавают или тянет высоко. В этом режиме тактовая частота 50 МГц должна быть введена на вывод CLKIN. Для получения дополнительной информации о REF_CLK в режиме см. [Раздел 3.7.4, «Конфигурация nINTSEL: nINT / REFCLKO» на стр. 38.](#)

примечание: Вывод CRS_DV выполняет функции контроля несущей и проверки данных. CRS_DV устанавливается асинхронно при обнаружении несущей из-за критериев, относящихся к рабочему режиму. Если у PHY есть дополнительные биты, которые должны быть представлены на RXD [1: 0] после первоначального отключения CRS_DV, то устройство будет подтверждать CRS_DV в циклах REF_CLK, которые представляют собой второй бит каждого полубайта, и отменять CRS_DV в циклах REF_CLK, которые представляют собой первый бит полубайта. Для получения дополнительной информации см. Спецификацию RMII.

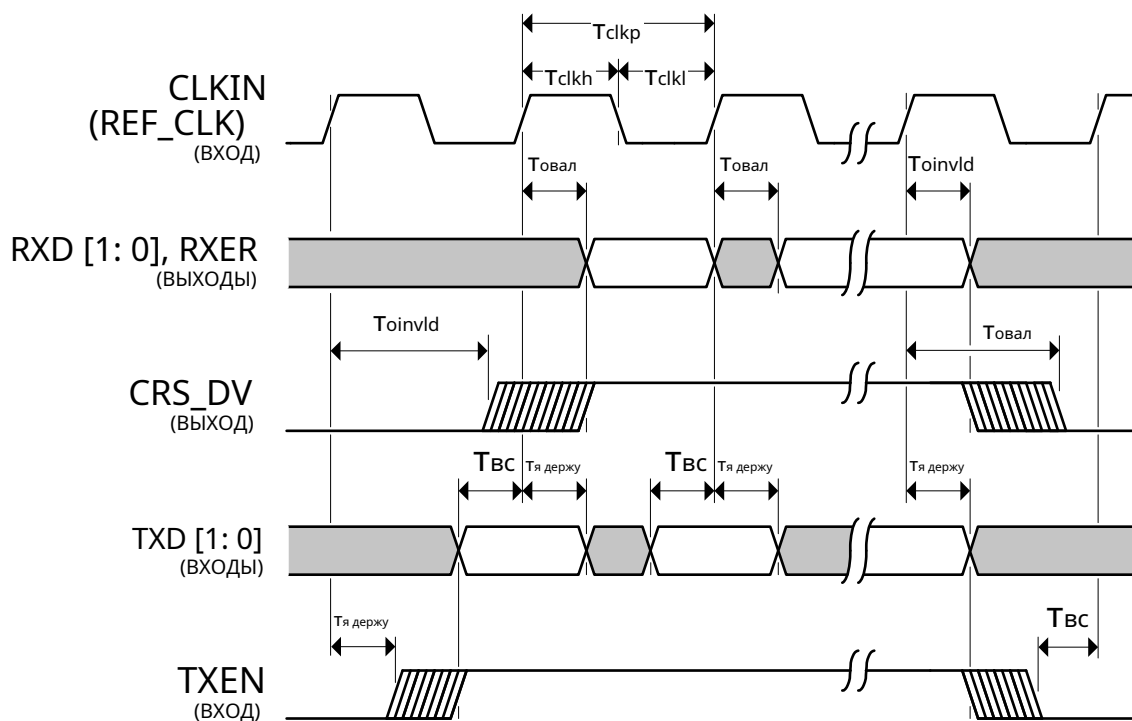


Рисунок 5.5 Синхронизация RMII (REF_CLK в режиме)

Таблица 5.13 Временные значения RMII (REF_CLK в режиме)

УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ОПИСАНИЕ	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Tclkp	Период CLKIN	20			нс	
Tclkh	CLKIN самое время	Tclkp * 0,35		Tclkp * 0,65	нс	
Tckl	CLKIN низкое время	Tclkp * 0,35		Tclkp * 0,65	нс	
Товал	Выход RXD [1: 0], RXER, CRS_DV действителен с нарастающего фронта CLKIN			15.0	нс	Примечание 5.14
Toinvd	RXD [1: 0], RXER, выход CRS_DV недействителен из-за переднего фронта CLKIN	3.0			нс	Примечание 5.14
Твс	TXD [1: 0], время настройки TXEN до нарастающего фронта CLKIN	4.0			нс	Примечание 5.14
тя держу	TXD [1: 0], время удержания входа TXEN после нарастающего фронта CLKIN	1.5			нс	Примечание 5.14

Примечание 5.14 Синхронизация была рассчитана на нагрузку системы от 10 до 25 пФ.

5.6.4.3 Требования к RMII CLKIN

Таблица 5.14 Временные значения RMII CLKIN (REF_CLK)

ПАРАМЕТР	MIN	ТИП	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Частота CLKIN		50		МГц	
Дрейф частоты CLKIN			± 50	промилле	
Рабочий цикл CLKIN	40		60	%	
CLKIN Джиттер			150	пс	pp - не RMS

5.6.5 SMI Timing

В этом разделе указывается синхронизация SMI устройства. Пожалуйста, обратитесь кРаздел 3.5, «Последовательный интерфейс управления (SMI)», на стр. 31 для получения дополнительных сведений.

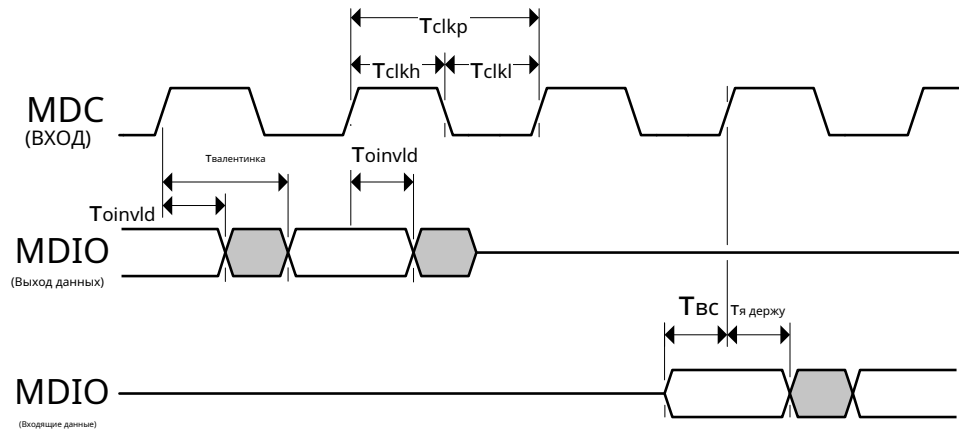


Рисунок 5.6 Время SMI

Таблица 5.15 Значения времени SMI

УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ОПИСАНИЕ	MIN	МАКСИМУМ	ЕДИНИЦЫ
Tclkp	Период MDC	400		нс
Tclkh	MDC пора	160 (80%)		нс
Tckl	Низкое время MDC	160 (80%)		нс
Tвалентинка	Выход MDIO (считывается с PHY) действителен с нарастающего фронта MDC		300	нс
Toinvld	Выход MDIO (чтение из PHY) недействителен из нарастающего фронта MDC	0		нс
Tвс	Время настройки MDIO (запись в PHY) до нарастающего фронта MDC	10		нс
Tядержу	Время удержания входа MDIO (запись в PHY) после нарастающего фронта MDC	10		нс

5,7 Цепь часов

Устройство может работать с кварцевым резонатором 25 МГц или несимметричным тактовым генератором 25 МГц (± 50 ppm). Если реализован метод несимметричного тактового генератора, XTAL2 должен быть оставлен неподключенным, а XTAL1 / CLKIN должен управляться тактовым сигналом, который соответствует спецификациям, изложенным повсюду. [Глава 5, Эксплуатационные характеристики](#). Видеть [Таблица 5.16](#) для рекомендованных характеристик кристалла.

Таблица 5.16 Технические характеристики кристалла

ПАРАМЕТР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	MIN	NOM	МАКСИМУМ	ЕДИНИЦЫ	ПРИМЕЧАНИЯ
Хрустальная огранка	АТ, тип					
Кристаллический режим колебаний	Фундаментальный режим					
Режим калибровки кристалла	Параллельно-резонансный режим					
Частота	F _{фонд}	-	25 000	-	МГц	
Допуск по частоте при 25°C	F _{тол}	-	-	± 50	промилле	Примечание 5.15
Стабильность частоты при превышении температуры	F _{темп}	-	-	± 50	промилле	Примечание 5.15
Отклонение частоты с течением времени	F _{возраст}	-	± 3 до 5	-	промилле	Примечание 5.16
Общий допустимый бюджет PPM		-	-	± 50	промилле	Примечание 5.17
Емкость шунта	C _о	-	7 тип	-	ПФ	
Емкость нагрузки	C _L	-	20 тип.	-	ПФ	
Уровень вождения	pW	300	-	-	мкВт	
Эквивалентное последовательное сопротивление	r ₁	-	-	30	Ω	
Диапазон рабочих температур		Примечание 5.18	-	Примечание 5.19	°C	
Емкость выводов XTAL1 / CLKIN		-	3 тип	-	ПФ	Примечание 5.20
XTAL2 Pin Емкость		-	3 тип	-	ПФ	Примечание 5.20

Примечание 5.15 Максимально допустимые значения частотного допуска и частотной стабильности: зависит от приложения. Поскольку любое конкретное приложение должно соответствовать общему бюджету IEEE ± 50 ppm, комбинация этих двух значений должна составлять приблизительно ± 45 ppm (с учетом старения).

Примечание 5.16 Отклонение частоты с течением времени также называется старением.

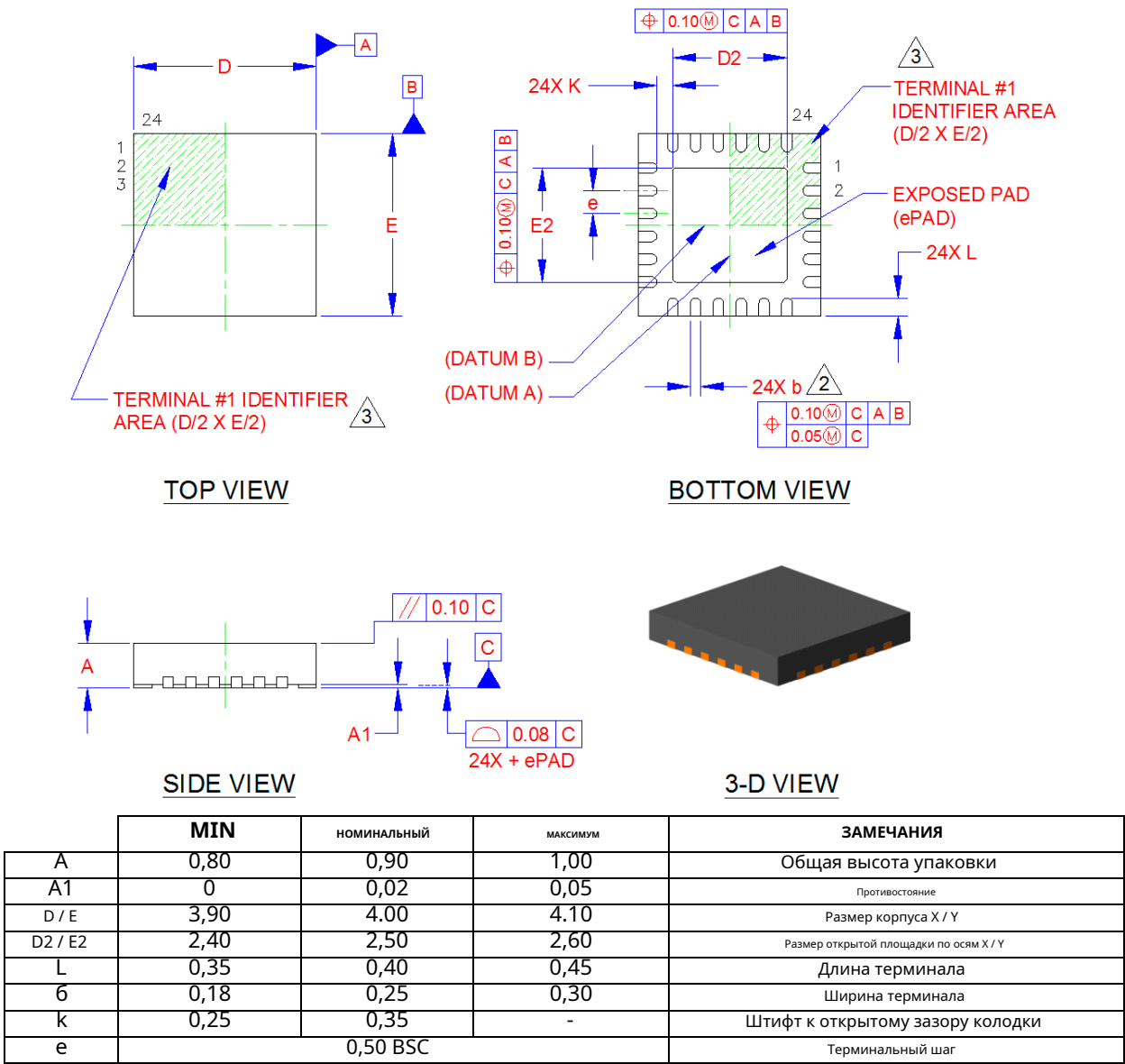
Примечание 5.17 **Общее отклонение тактовой частоты передатчика определено IEEE 802.3u как ± 100 ppm.**

Примечание 5.18 0 ° C для коммерческой версии, -40 ° C для промышленной версии

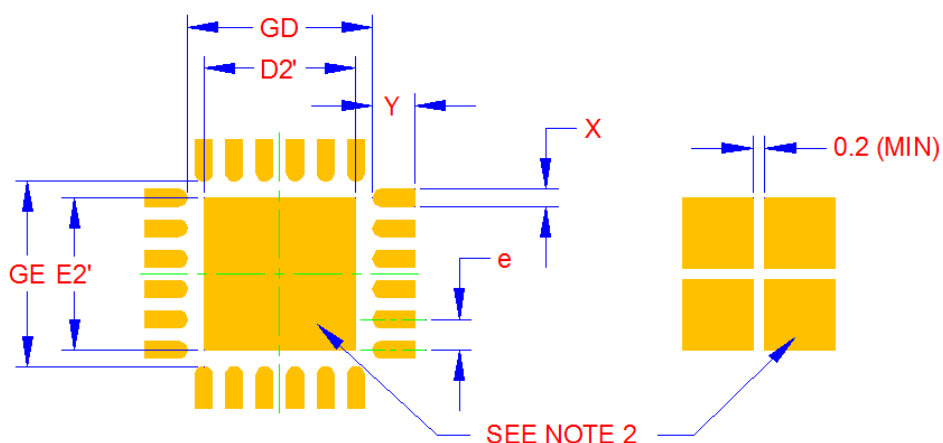
Примечание 5.19 + 70 ° C для коммерческой версии, + 85 ° C для промышленной версии

Примечание 5.20 Это количество включает площадку, соединительный провод и выводную рамку. Емкость печатной платы не входит в это значение. Значения емкости выводов XTAL1 / CLKIN, XTAL2 и печатной платы необходимы для точного расчета значения двух внешних нагрузочных конденсаторов. Общая емкость нагрузки должна быть эквивалентна той, которую кристалл ожидает увидеть в цепи, чтобы кварцевый генератор работал на частоте 25000 МГц.

Глава 6 Описание пакета



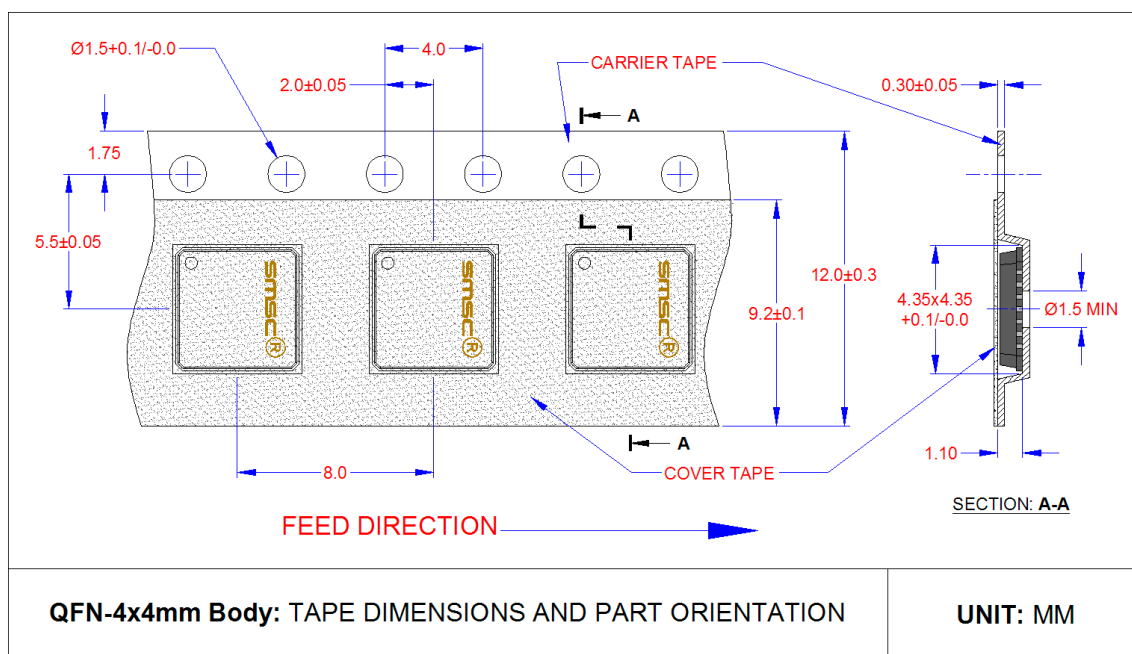
- Примечания:
- 1. Все размеры указаны в миллиметрах, если не указано иное.
 - 2. Размер «b» относится к металлическим клеммам и измеряется на расстоянии 0,15–0,30 мм от наконечника клеммы.
 - 3. Идентификатор контакта 1 может отличаться, но всегда находится в указанной зоне.

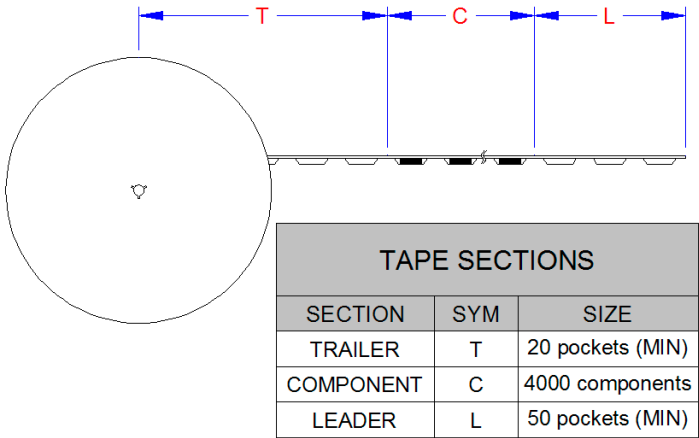
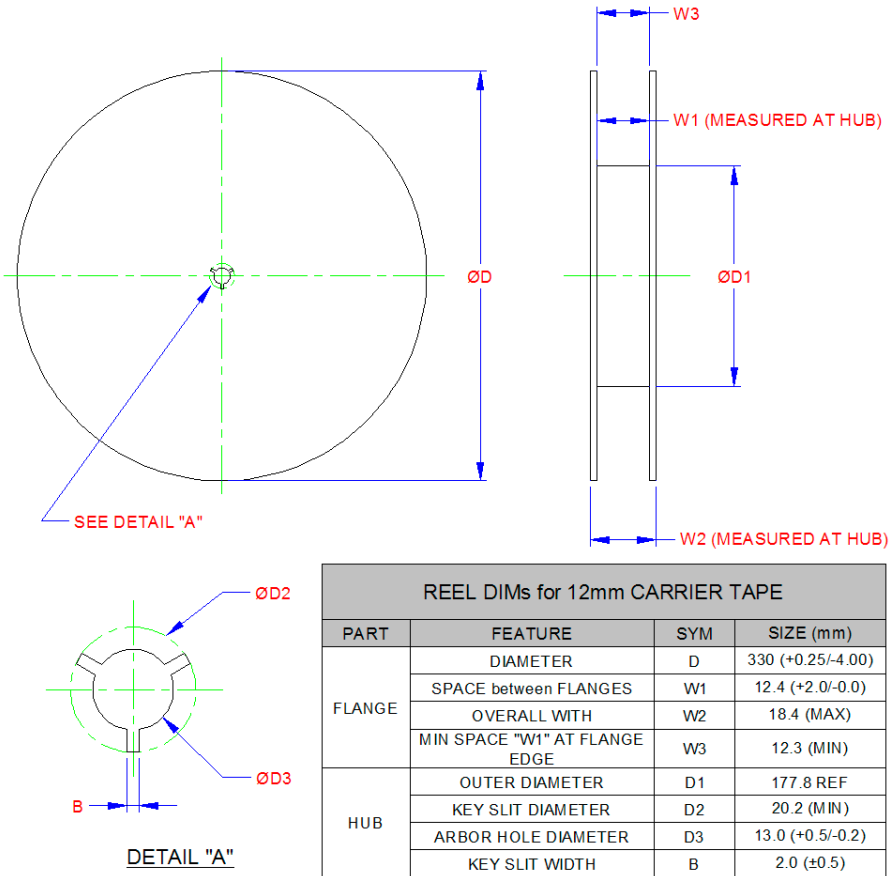


LAND PATTERN DIMENSIONS				
SYMBOL	MIN	NOM	MAX	
GD/GE	3.05	-	3.10	
D2'/E2'	-	2.50	2.50	
Pad: X	-	0.28	0.28	
Pad: Y	-	0.69	-	
e		0.50		

NOTES:

1. THE USER MAY MODIFY THE PCB LAND PATTERN DESIGN AND DIMENSIONS BASED ON THEIR EXPERIENCE AND/OR PROCESS CAPABILITY
2. EXPOSED SOLDERABLE COPPER AREA OF THE CENTER PAD CAN BE EITHER SOLID OR SEGMENTED
3. MAXIMUM THERMAL AND ELECTRICAL PACKAGE PERFORMANCE IS ACHIEVED WHEN AN ARRAY OF SOLID VIAS IS INCORPORATED IN THE CENTER LAND PATTERN

PCB LAND PATTERN



Примечание: Стандартный размер бобины - 4000 штук на бобину.

Глава 7 История изменений

Таблица 7.1 История изменений заказчиком

УРОВЕНЬ ПЕРЕСМОТРА & ДАТА	РАЗДЕЛ / РИСУНОК / ВХОД	ИСПРАВЛЕНИЕ
Ред. 1.1 (05-21-13)	Общий	<ul style="list-style-type: none"> Изменены номера деталей с «LAN8742 / LAN8742i» на «LAN8742A / LAN8742Ai». Обновленная информация для заказа Обновленные цифры
	Глава 2, Описание и конфигурация контактов, Таблица 2.3, «Контакты последовательного интерфейса управления (SMI)», на стр. 15	<ul style="list-style-type: none"> Добавлен запрос к описанию типа буфера MDIO. Изменено «VIS / VOD8 (PU)» на «VIS / VO8 (PU)».
	Раздел 3.1.2.9, «Прием данных 100М через интерфейс RMII», на стр. 25	Обновлено описание
	Раздел 3.3, «Поддержка HP Auto-MDIX», на стр. 29	Изменено «100BASE-T» на «100BASE-TX»
	Раздел 3.4.1.1, «CRS_DV - Проверка несущей / получение данных действительны», на стр. 30	Изменено «100BASE-X» на «100BASE-TX»
	Раздел 3.5, «Последовательный интерфейс управления (SMI)», на стр. 31	Удалено предложение «Неподдерживаемые регистры (например, от 7 до 15) будут читаться как шестнадцатеричные FFFF».
	Раздел 3.7.4.2, «Режим REF_CLK Out», на стр. 39	Добавлено примечание: «В режиме вывода REF_CLK сигнал REFCLKO не будет выводиться, когда устройство находится в режиме отключения питания с определением энергии или в общем режиме отключения питания».
	Раздел 3.8.3.1, «Общее отключение питания», на стр. 46	Добавлено примечание: «В режиме вывода REF_CLK сигнал REFCLKO не выводится, когда устройство находится в режиме общего отключения питания».
	Раздел 3.8.3.2, «Отключение питания при обнаружении энергии (EDPD)», на стр. 47	Добавлено примечание: «В режиме вывода REF_CLK сигнал REFCLKO не выводится, когда устройство находится в режиме пониженного энергопотребления».
	Раздел 3.8.9, «Диагностика кабеля», на стр. 53	Обновлен раздел с дополнительными деталями операции
	Глава 4, «Описания регистров», на странице 65	Удаленный <ul style="list-style-type: none"> - Регистр максимального порога канала TDR - Регистр порогового значения счетчика ожидания TDR - Регистр делителя генератора шаблонов TDR TX
	Раздел 4.2.2, «Регистр базового состояния», на стр. 68	Обновленные определения битов 10: 8
	Раздел 4.2.18, «Регистр специального управления / индикации состояния», на стр. 85	Обновлено определение бита 11

Таблица 7.1 История изменений, сделанных заказчиком (продолжение)

УРОВЕНЬ ПЕРЕСМОТРА & ДАТА	РАЗДЕЛ / РИСУНОК / ВХОД	ИСПРАВЛЕНИЕ
Ред. 1.1 (05-21-13)	Раздел 4.3, «Регистры управляемого устройства MDIO (MMD)», на стр. 90	Добавлены дополнительные описания регистров MMD для конкретных поставщиков.
	Раздел 4.3.7, «Регистр MAC-адреса приема A (RX_ADDRA)»	Добавлено примечание
	Раздел 4.3.8, «Регистр MAC-адреса приема B (RX_ADDRB)»	Добавлено примечание
	Раздел 4.3.9, «Регистр MAC-адреса приема C (RX_ADDRC)»	Добавлено примечание
	Раздел 5.1, «Абсолютные максимальные рейтинги *» на стр. 113	Изменено: положительное напряжение на XTAL1 / CLKIN по отношению к земле с «VDDCR» на «+ 3,6В».
	Раздел 5.3, Таблица 5.1, «Тепловые параметры корпуса», на странице 114	Обновленные значения тепловых характеристик пакета
	Раздел 5.4, «Энергопотребление» на стр. 115	Обновленные номера мощности
	Раздел 5.5, «Технические характеристики постоянного тока», на стр. 117	Изменено VIN макс. буфера типа ICLK от «VDDCR» до «3,6»
	Раздел 5.6, «Характеристики переменного тока», на стр. 119	Удалены две заметки RMII в начале раздела.
	Раздел 5.6.2, «Синхронизация последовательности включения питания», на стр. 120	Обновленные требования к последовательности питания
	Раздел 5.6.4, «Синхронизация интерфейса RMII», на стр. 122	Добавлена примечание, детализирующее поведение CRS_DV как действительность как несущей, так и данных. Разделение режимов REF_CLK In и REF_CLK Out на два подраздела и обновленные таблицы синхронизации RMII Обновленная таблица синхронизации MII
Ред. 1.0 (05-07-12)	Первый выпуск	